

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 19 日現在

機関番号：14301

研究種目：挑戦的萌芽研究

研究期間：2011～2013

課題番号：23656288

研究課題名(和文)FPGAによる高速並列計算型ハイブリッドシミュレーションの実現

研究課題名(英文)Implementation of High-Speed Parallel Processing Hybrid Simulation Using FPGA

研究代表者

五十嵐 晃(Igarashi, Akira)

京都大学・防災研究所・教授

研究者番号：80263101

交付決定額(研究期間全体)：(直接経費) 2,900,000円、(間接経費) 870,000円

研究成果の概要(和文)：多自由度系モデルを用いた地震応答の検証のための実時間ハイブリッドシミュレーションシミュレーションを行うことを目的として、高速動的応答解析を行うための論理回路を設計しFPGAへ実装することで実験制御システムを構築する方法に関する開発検討を行った。演算数および並列化を考慮したFPGAの計算処理能力限界の検討により、消費LE数が計算能力のボトルネックであることと、リソース共有化が限界自由度数の拡大に効果的であることを示した。自由度の大きな構造モデルを用いた実時間ハイブリッドシミュレーションを上記で開発したFPGAベースのシステムで行うための周辺実装技術の検討を行い、実験手法の実現性を確認した。

研究成果の概要(英文)：In order to achieve real-time dynamic simulation of MDOF structural systems, investigation of the method such that a logic circuit that performs the step-by-step numerical time integration of the equations of motion of the system is created, and is implemented to an FPGA-based system. Case study on several types of linear and nonlinear MDOF system models shows that use of resource sharing in logic synthesis is crucial for effective application of FPGA to real-time dynamic simulation. Implementation of required functional elements for the real-time hybrid simulation using a model with large number of DOF is also investigated to illustrate the applicability of the methodology to dynamic testing.

研究分野：工学

科研費の分科・細目：土木工学、構造工学・地震工学・維持管理工学

キーワード：実時間シミュレーション 並列演算 論理回路 時刻歴応答解析 高速演算

1. 研究開始当初の背景

(1) リアルタイムで構造物の動的応答を実験的に評価する手法として、想定構造系の一部を実験供試体として振動台等による動的実験と、残りの部分の応答の数値モデルによる計算で得て、オンラインで接続された振動台と計算機により実時間で同時に進行させることで実験を遂行する手法は「実時間ハイブリッドシミュレーション」と呼ばれている。ハイブリッドシミュレーション技術は現在、構造実験技術の中でも特に注目されている技術として日米欧地域においてその高度化の研究が活発に行われている。

(2) ハイブリッドシミュレーションにおける数値モデル部分構造に、より現実的な構造物への適合性を高めた多自由度数を取り入れたモデルを非線形性を含む形で取り入れるためには、実時間応答計算の能力を現状で用いられているものよりも増強する必要がある。実時間システムとして実現されているものは、実情として自由度数は 10 を下回るものに限られ、それを超える自由度において、対象構造物の破壊現象まで追跡する場合のように、非線形性および特性変化が極度に大きく振動台の動特性を時変システムとして扱う必要があるような実時間ハイブリッドシミュレーションの技術は、未知の領域である。

2. 研究の目的

動的載荷実験と数値計算を高速かつ実時間で連携して実行するハイブリッドシミュレーション手法を、リアルタイム性を確保しながら現状よりも自由度数の大きな数値計算部分構造を適用できるシステムを実現するには、実時間計算能力の確保の方法が課題となる。本研究は、近年半導体集積回路素子として著しい発達を示している FPGA (Field Programmable Gate Array) を用いることにより、高速並列計算を実現する論理回路を実装し、かつ動的載荷実験装置の制御に適用することにより、能力を大幅に向上させたより効率的な実時間ハイブリッドシミュレーションシステムを実現し、従来試みられてこなかったような大規模な構造物の地震応答の実験的検証問題に適用しようとするものである。

3. 研究の方法

(1) 通常の実時間応答シミュレーションは、図 1 に示すように DSP を数値計算シミュレータとして動的試験装置と組み合わせることで実現されるが、本研究では数値演算を行う論理回路を構築することにより実現する手法を用いる。論理回路の設計は、HDL として広く利用されている Verilog-HDL を用いて行った。論理回路で数値を扱う際の記述として IEEE 754 規格による単精度 32 ビット浮動小数点形式のデータベースを基本とし、併せて

16 ビット形式 (指数部 5 ビット、仮数部 10 ビット) の場合も検討している。本研究では、論理回路設計及び論理回路を評価する開発ソフトウェアとして Quartus web- edition ver 9.2 を使用した。また、論理回路のシミュレーションには ModelSim ver 9.2 を用いた。

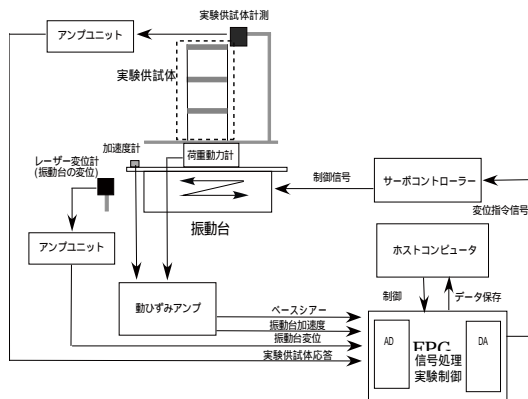


図 1 振動台を用いたハイブリッドシミュレーションの実験システム例

(2) FPGA において数値計算を行う上で必要不可欠となるのが、基本となる四則演算を行う回路である。これら個別に製作した四則演算回路をトップモジュールと呼ばれる上位モジュールにおいて関連付けることで、応答計算を実現する。回路は浮動小数点の指数部、仮数部のビット数によって消費される LE 数等が変化する。そこで、本研究では、既存の四則演算回路を参考に、指数部と仮数部のビット数を任意に変更可能であるように一般化した四則演算回路を作成した。作成した四則演算回路の代表として、加算器の回路の構成を図 2 に示す。

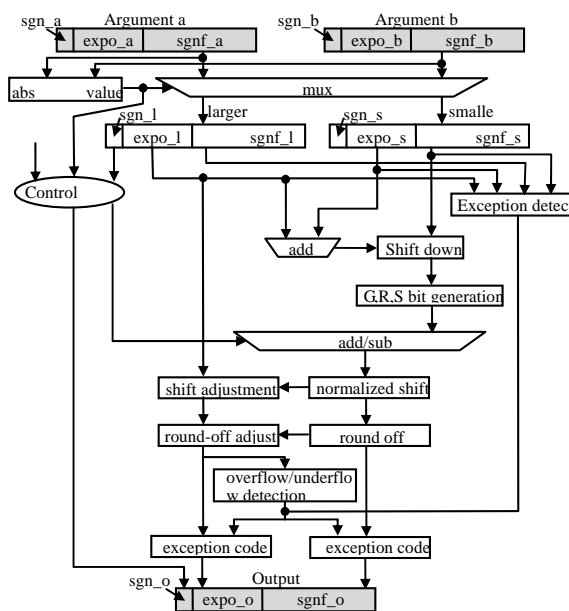


図 2 加減算器のブロック図

(3) 実時間応答シミュレーションに必要な、運動方程式の数値積分の演算を論理回路で実現する場合、積分法の公式に現れる加算

や乗算などの四則演算を行う加算器・乗算器等と、中間データ保持用のレジスタの間を数値データを含む情報を伝達する結線で繋いだ構成の回路として構成する。本研究では、数値積分法として安定性に優れ必要計算時間が短いため、ハイブリッドシミュレーションに広く用いられている operator splitting 法 (OS 法) を採用した。OS 法の計算手順を FPGA 上の論理回路に実装するため、同期リセット付き単相クロック同期回路として有限オートマトンを構成する方法を採用した。回路の全体的な動作の状態遷移図を図 3 に示す。1 時刻ステップ開始時に state 信号をリセットし、計算の進行に応じて状態 (state) 信号をカウントアップし、その値に応じた動作を指定する回路とする。1 時間ステップ終了の後の state 信号のリセットタイミングを变

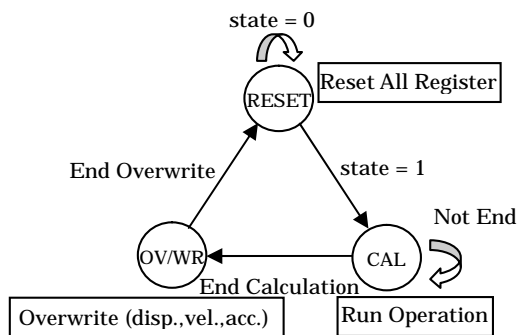


図 3 論理回路の状態遷移図

更することで、時間ステップ進行のタイミングを調整することができる。

(4) 論理回路の FPGA ボード実機における動作検証には、Altera 社の FPGA である Cyclone EP2C70 を搭載した DE2-70 ボード (図 4) を実装対象とした。設計した論理回路の実機での演算結果と通常の数値計算による応答解析結果の一致や、ハイブリッドシミュレーションの実装に必要な機能の実現の確認を行う。

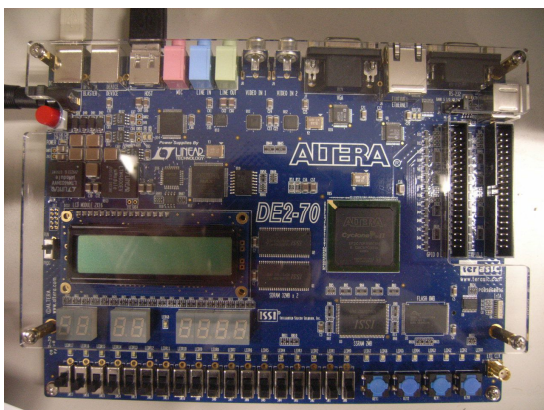


図 4 実装の対象とした Altera DE2-70 ボード

4. 研究成果

(1) FPGA をデバイス単体で使用した場合の処理能力限界を検討した。取り扱いデータビット数として 32 ビット精度、16 ビット精度

の場合を考え、対象モデルに非線形多自由度系モデルの場合、質量・減衰・剛性マトリクスが密行列である場合を想定した。限界 LE 数としては、現存するデバイスを参照し、544880 個を想定した。なお、大自由度数における消費 LE 数の算出は、実際に設計した回路情報を元に行った。最短時間で処理を行う場合の調査結果を図 5 に示す。最短で処理を行う場合、高速処理が可能である一方で消費 LE 数が多くなり、適応範囲が狭くなってしまふ。そこで次にリソースの共有化 (RS: Resource Sharing) を考え、演算器を繰り返し使用することで消費 LE 数を節約し、適用範囲拡大を考えた。図 6 に加算器、乗算器をそ

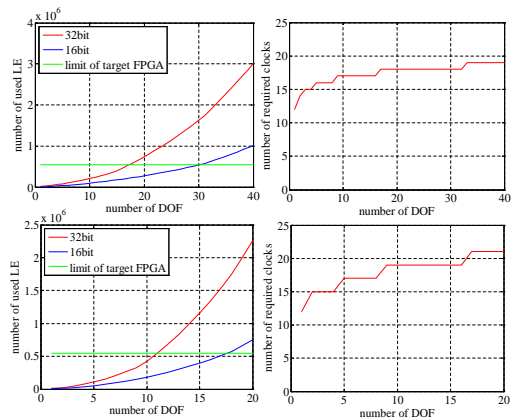


図 5 最短処理を行う場合 (上:非線形,下:密行列)

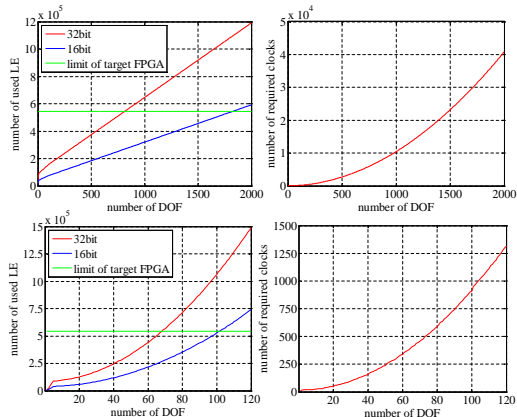


図 6 RS を行った場合 (上:非線形,下:密行列) それぞれ 100 個に限定した場合の結果を示す。

非線形多自由度モデルの場合 1600 自由度程度まで、密行列モデルの場合、100 自由度程度まで対応できることが分かった。(RS 使用・16 ビット精度)

(2) 実時間ハイブリッドシミュレーションシステムとしての実装の検討においては、ボードに搭載されているオーディオ・コーデック (WM8731, Wolfson 社) を外部インターフェースとして利用した。最大 96kHz のステレオアナログ信号の入出力が可能であり、時間刻みとして想定する $t=1\text{ms}$ に十分な仕様を持つ。アナログ電圧信号と 24bit リニア PCM 形式で符号化されたデジタル信号の間の変換を入力、出力各々 2 チャンネルについて行い、

入力地震動加速度信号と、実験部分からの計測荷重信号に、出力は実験装置の変位制御信号およびモニタ用信号に用いることができるものとした。FPGA においては、上述の浮動小数点数とリニア PCM 形式の間の変換を介して、地震応答計算機能に接続される。

また実時間の進行に合わせたハイブリッドシミュレーションの時間管理を実現するため、供給される基本クロック信号 (18.432MHz) および複数の分周クロック信号を用いて、運動方程式の時間積分演算およびオーディオ・コーデックによる入出力信号の時間制御を行う。このようにして 1ms のタイミングごとに、(1) 試験装置への制御信号の出力 (2) 地震動加速度の入力および実験部分からの荷重計測値の取り込み (3) 次ステップの数値時間積分の計算と試験装置への制御信号の算出 (4) 出力値の保持と待機、の 4 つの状態を時間に合わせて管理するようシステムを構成することができた。

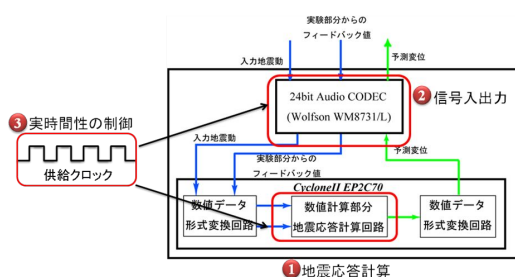


図 7 実時間ハイブリッドシミュレーションシステムの要素の実装

(3) 実時間ハイブリッド実験システムにおいて必要となる、動的載荷装置の位相遅れの補償の機能の実現方法の検討を行った。そのための手法として、想定される載荷装置の遅れ時間後の載荷加振目標値を予測式を用いて外挿し、加振装置に入力する手順を採用した。ここでは、最も単純な 1 次関数による入力信号の外挿式を用いて遅れ時間分の将来を予測している。検証の結果、FPGA を用いたシステムによる位相遅れ補償が実装可能であることが示された。

5. 主な発表論文等

〔雑誌論文〕(計 2 件)

A.Igarashi: Logic circuit design for high-speed computing of dynamic response in real-time hybrid simulation using FPGA-based system, Smart Structures and Systems, 査読あり, 2014 (印刷中).

五十嵐晃, 間嶋純一: 構造モデルの並列演算型実時間動的応答シミュレータの FPGA への実装, 構造工学論文集, 査読あり, Vol.58A, pp.162-169, 2012. JOI: DN/JST.JSTAGE/structcivil/58A.162

〔学会発表〕(計 4 件)

平井幹, 五十嵐晃: FPGA を用いた動的載荷装置の位相遅れ補償に関する基礎的

検討, 平成 26 年度土木学会関西支部年次学術講演会, 講演番号 I-46, 大阪産業大学, 5/31, 2014.

五十嵐晃, 長谷川直哉: FPGA ボードによる実時間ハイブリッドシミュレーションシステム構築の検討, 土木学会第 67 回年次学術講演会, 講演番号 1-392, pp.783-784, 名古屋大学, 9/5-7, 2012.

五十嵐晃, 長谷川直哉: FPGA による高速並列計算型実時間ハイブリッドシミュレーションシステムの構築, 平成 24 年度土木学会関西支部年次学術講演会, 講演番号 I-61, 神戸高専, 6/9, 2012.

A.Igarashi, J.Mashima: Application of FPGA for high-speed dynamic response simulator for large-scale MDOF systems, 8th International Conference on Structural Dynamics (Eurodyn2011), pp.2103-2109, Leuven, Belgium, 7/4-6, 2011.

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

なし

6. 研究組織

(1) 研究代表者

五十嵐 晃 (IGARASHI, Akira)

京都大学・防災研究所・教授

研究者番号: 8 0 2 6 3 1 0 1

(2) 研究分担者

なし

(3) 連携研究者

なし