

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 9 日現在

機関番号：10106

研究種目：若手研究(B)

研究期間：2011～2013

課題番号：23700049

研究課題名(和文) MIMO-OFDM無線通信における低消費電力適応型MIMO検出器LSIの開発

研究課題名(英文) LSI Development of a Low Power Adaptive MIMO Detector for MIMO-OFDM Wireless Communication

研究代表者

吉澤 真吾 (Shingo, Yoshizawa)

北見工業大学・工学部・准教授

研究者番号：20447080

交付決定額(研究期間全体)：(直接経費) 1,900,000円、(間接経費) 570,000円

研究成果の概要(和文)：マルチパスフェージング環境下で伝搬路の時間変動が大きい時にはパケット毎に伝搬路推定とMIMOチャネルの逆行列計算を行い、時間変動が小さいときには前のパケットで計算した逆行列を再利用する動的MIMO検出手法を実現した。動的MIMO検出回路をベクトル演算やCORDICに特化した特定用途プロセッサで回路設計し、クロック周波数・動作電圧可変制御により検出回路の消費電力を低減した。

研究成果の概要(英文)：The dynamic MIMO detection that performs channel estimation and inverse matrix calculation of MIMO channels in every packet for the large time variation of channels and reuses the inverse matrix calculated in the last packet for the small time variation of channels under multipath fading channels has been realized. The dynamic MIMO detector has been designed by application specific instruction processor (ASIP) with vector operation and CORDIC and reduced its power consumption by the variable control of clock frequency and operating voltage.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：回路とシステム 低消費電力

## 1. 研究開始当初の背景

ブロードバンド・ワイヤレスシステムとして MIMO 技術を用いた IEEE802.11n 無線 LAN や WiMAX、LTE が注目され、実用化が進んでいる。しかし、MIMO 技術は膨大な演算量を必要とし、それに伴う消費電力の増大は避けられず、モバイル無線端末に MIMO 技術を搭載するには MIMO 処理の低消費電力化が必要不可欠である。MIMO 検出処理の従来研究はアルゴリズムにおける低演算量化の研究が大半であり、実際の LSI 上での動作については考慮されていなかった。

例えば、順序付け順次復号(OSIC)の低演算量化が行われているが、実際に LSI 設計を行った事例は無く、演算量比較のみに留まり、処理手順が複雑化するデメリットもある。処理手順の複雑さによっては LSI 実装時に演算処理効率が大幅に低下する場合もあり、必ずしも低演算量化が高速計算や低消費電力を達成するとは限らない。また、MIMO チャネル逆行列計算の代わりに、LMS もしくは RLS アルゴリズムによる適応推定を用いることで低演算量化している。ただし、上記の手法は長時間のトレーニングシンボルを必要とし、IEEE802.11n 規格等の現行の無線システムには適用できない問題がある。

一方、MIMO 検出器 LSI 設計の研究では基本アルゴリズムの LSI 化など既存手法の導入に留まっている。MSE MIMO 検出器 LSI 設計などの研究事例があるが、QR 分解などの基本的なアルゴリズムに留まっている。LSI アーキテクチャの面では高速化が不十分であり、サブキャリア毎に対して独立した MIMO 検出処理を実行する必要がある MIMO-OFDM に対しては、完全なりリアルタイム処理が実現できていない。また、低消費電力化の検討は行われていなかった。

## 2. 研究の目的

モバイル無線端末では時々刻々変化する通信環境に追従する必要があり、MIMO 検出処理の高速化は必要不可欠である。ただし、端末を移動しない時間帯では通信環境がさほど変動しないので MIMO 検出処理の回数を減らしたり、処理時間の遅延制約を緩和することで通信性能を犠牲にせずに低消費電力化が可能である。これまでに設計した MMSE MIMO 検出器回路を発展させて、回路動作速度や動作電圧を動的に変化させる機構と適応アルゴリズムが動作する制御回路を導入して電力制御を行う。適切な電圧や回路動作速度パラメータを与えるアルゴリズム開発や LSI 化を行い、アルゴリズムと LSI アーキテクチャのクロス技術による新規の MIMO 検出器 LSI 低消費電力化手法を確立させることを目的とする。

## 3. 研究の方法

ユーザ無線端末が高速で移動する状況では時々刻々と無線伝搬路が変化し、それに対応するために受信したパケット内で伝搬路推定、MIMO 検出処理、MIMO 復号の全てを行う必要がある。応募者の設計した MMSE MIMO 検出器は完全パイプライン化した LSI アーキテクチャを導入し、上記のリアルタイム処理を実現している。MIMO 検出処理ではパケット先頭のプリアンブルから MIMO チャネル行列を推定し、逆行列を計算する。

伝搬路の時間変動が大きい場合はパケット毎に伝搬路推定と逆行列計算を行う。伝搬路の時間変動が小さい場合は前のパケットで計算した逆行列を再利用することが可能であり、MIMO 検出処理の遅延時間制約を数十マイクロ秒から数百マイクロ秒～数ミリ秒に大幅に緩和することができる。処理時間を延長することでクロック速度や動作電圧を低下させて電力を削減すること可能であり、その動作を適応型 MIMO 検出器 LSI で実現する。

MIMO 検出時間に応じて最適なクロック動作周波数と動作電圧を算出し、MIMO 検出器 LSI に適用した場合の消費電力を解析する。消費電力解析は、電圧を可変とした基本ゲート回路の消費電力値をモデルパラメータ化し、論理ゲートレベルで電力見積りを行う。

## 4. 研究成果

(1) 無線伝搬路状況に応じて MIMO 検出速度を可変とする動的 MIMO 検出器の回路構成を図 1 に示す。無線伝搬路の時間変動によって逆行列計算の処理時間を動的に変更する。伝搬路の時間変動が大きい場合は、各々のパケット内で逆行列計算処理が完了することが必要であり、高速動作させる。伝搬路の時間変動が小さい場合は、複数パケット間で伝搬路がほとんど変動しないことを前提として、逆行列計算を数パケットおきに更新する。行列計算器の動作速度はクロック周波数に依存するが、クロック周波数に応じて最低限必要な動作電圧も変動することに注意すると、低速動作時にはクロック周波数低下に応じた分だけ動作電圧を下げるができる。LSI の消費電力は動作周波数に比例し、動作電圧に対しては 2 乗オーダの関係になるので、動作周波数と動作電圧を低下させる分だけ消費電力削減を行うことができる。

動的 MIMO 検出を実現するため、何パケットおきに逆行列計算を省略することができるかをフェージング環境下でのシミュレーションにより評価した。パケット毎伝搬路推定を行う場合と比べてほとんど BER が劣化しない基準で最適なパケットスキップ数を調査した。その結果、ドップラー周波数 2~40Hz の条件で可能なスキップ数は 1~16 という結

果が得られた。動的 MIMO 検出を MIMO 検出回路に導入したときの消費電力を評価した結果が表 1 である。クロック周波数固定の従来方式と比べて、ドップララー周波数条件にもよるが従来の消費電力を 1/6 ~ 1/11 に削減する結果が得られている。

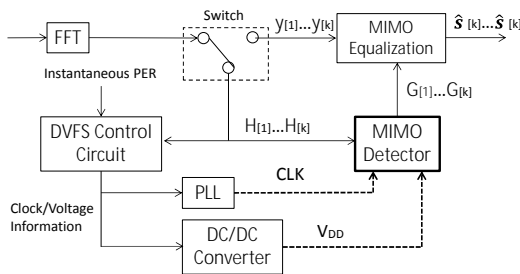


図 1 動的 MIMO 検出器の回路構成

表 1 MIMO 検出回路の消費電力評価

MIMO Detection Type	Clock Frequency (MHz)	Operating Voltage (V)	Power Consumption (mW)		
			Dynamic	Leakage	Total
Static	40	1	13.45	4.49	17.94
Dynamic (Proposed)	14	0.45	0.93	2.02	2.96
	2	0.39	0.20	1.75	1.95
	1	0.33	0.04	1.48	1.52

(2) MIMO では、送受信アンテナを増やすほど通信容量を増やすことができるが、それに伴いストリーム間での干渉が増加することによって通信品質が劣化してしまうという問題がある。この問題の解決策として、特異値分解(Singular Value Decomposition, SVD)に基づく MIMO が有効であることが知られている。SVD-MIMO では MIMO チャネル行列を特異値分解によりウェイト行列を計算し、これを送受信機で用いることで、ストリーム間干渉の影響を抑制し、通信品質を改善することが可能となる。SVD-MIMO に対応した MIMO 検出器は特異値分解計算のみならずフィードバック行列の圧縮・再構成などの処理も必要とするため、特異値分解のみに専用ハードウェアを適用すると回路面積利用効率が低下する問題が生じる。そこで汎用性と処理効率の両方に優れた特定用途プロセッサ(Application Specific Instruction-set Processor, ASIP)を基にした MIMO 検出器を設計し、前述の動的 MIMO 検出を用いて消費電力削減を行った。

MIMO 検出用 ASIP はデータと命令をそれぞれメモリに格納し、命令を順に実行するというものであり、パイプライン処理により効率的な演算が可能である。図 2 に ASIP 演算部の回路構成を示す。

(3) MIMO-OFDM サブキャリアの SN 比に着目した消費電力削減方法についても検討し、その消費電力削減効果を評価した。信号のダイナ

ミックレンジは通信環境によって異なり、最適な語長は通信環境によって決まる。マルチパスの影響が小さいと低演算精度でデジタル復調は可能であるが、マルチパスの影響が強いと高演算精度が必要となる。従来の可変語長ではパケット受信成功回数及び失敗回数に基づいて語長を 1 ずつ減らす(増やす)方法を用いていたが、通信環境が時々刻々変化するフェージング環境に追従できず通信性能を劣化させる問題があった。提案の可変語長では OFDM サブキャリアごとの SN 比を測定し、最小 SN 比としきい値を比較することで OFDM パケットごとに語長を変化させるようにした。それにより、固定語長と同一のパケット誤り率特性を維持しながら消費電力を削減することが可能である。FFT プロセッサに提案の可変語長を導入してベースバンドシミュレーション上で評価した結果、固定語長と比較して消費電力を 20 ~ 30%削減する効果が得られた。

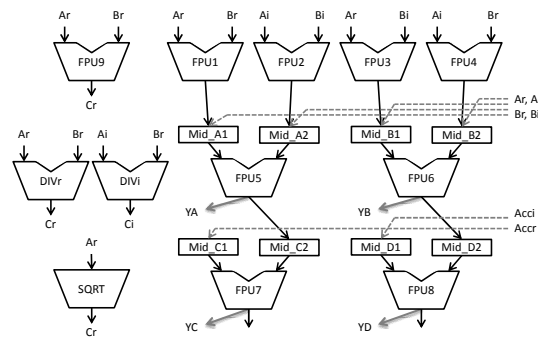


図 2 ASIP 演算部の構成

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 5 件)

Nozomi Miyazaki, Shingo Yoshizawa, Yoshikazu Miyazaki, ``Low-Power Dynamic MIMO Detection for a 4x4 MIMO-OFDM Receiver,`` IEICE Trans., Vol.E97-A, No.1, pp.306-312, Jan. 2014. (査読有)

Kosuke Shimazaki, Shingo Yoshizawa, Yasuyuki Hatakawa, Tomoko Matsomoto, Satoshi Konishi, Yoshikazu Miyazaki, ``A VLSI Design of a Tomlinson-Harashima Precoder for MU-MIMO Systems Using Arrayed Pipelined Processing,`` IEICE Trans., Vol.E96-A, pp.2114-2119, No.11, Nov. 2013. (査読有)

Hiroki Iwaizumi, Shingo Yoshizawa, Yoshikazu Miyazaki, ``A High-speed and Low-energy-consumption Processor for

SVD-MIMO-OFDM Systems,' ' Hindawi, VLSI Design, Volume 2013, Article ID 625019, pp.1-10, Mar. 2013. (査読有)

Jaeseong Kim, Shingo Yoshizawa, Yoshikazu Miyanaga, ``Variable Wordlength Soft-Decision Viterbi Decoder for Power-Efficient Wireless LAN,' ' Integration, the VLSI Journal, Vol.45 Issue 2, pp.132-140, Feb. 2012. (査読有)

Shingo Yoshizawa, Yoshikazu Miyanaga, ``Design of Area- and Power-Efficient Pipeline FFT Processors for 8x8 MIMO-OFDM Systems,' ' IEICE Trans., Vol.E95-A, No.2, pp.550-558, Feb. 2012. (査読有)

[学会発表](計 5 件)

Daichi Sasaki, Shingo Yoshizawa, Hiroshi Tanimoto, ``A Low Power Consumption OFDM Receiver with Automatic Wordlength Selection,' ' RISP International Workshop on Nonlinear Circuits and Signal Processing (NCSP'14), pp.393-396, Mar.2014.

Shingo Yoshizawa, Yasuyuki Hatakawa, Tomoko Matsomoto, Satoshi Konishi, Yoshikazu Miyanaga, ``Hardware Implementation of an Interference Canceller for IDMA Wireless Communications,' ' IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp.645-650, Nov. 2013.

Jaeseong Kim, Shingo Yoshizawa, Yoshikazu Miyanaga, ``A Low-Power MMSE MIMO Detector Using Dynamic Voltage Wordlength Scaling for 4x4 MIMO-OFDM Systems,' ' IEEE International Symposium on Circuits and Systems (ISCAS), pp.2793-2796, May 2012.

Shingo Yoshizawa, Takaya Kaji, Yoshikazu Miyanaga, ``Low-energy ASIP Implementation of Singular Value Decomposition for MIMO-OFDM Systems,' ' International Conference on Embedded Systems and Intelligent Technology (ICESIT), pp.180-183, Feb. 2012

Nozomi Miyazaki, Shingo Yoshizawa, Yoshikazu Miyanaga, ``Low-Power

Dynamic MIMO Detection for a 4x4 MIMO-OFDM Receiver,' ' IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), PID 118, Dec. 2011.

[図書](計 0 件)

[産業財産権]  
出願状況(計 0 件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
出願年月日：  
国内外の別：

取得状況(計 0 件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

[その他]  
ホームページ等  
<http://islab.elec.kitami-it.ac.jp/>

6. 研究組織

(1) 研究代表者  
吉澤 真吾 (YOSHIZAWA, Shingo)  
研究者番号：20447080

(2) 研究分担者  
無し

(3) 連携研究者  
無し