

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 16 日現在

機関番号：32665

研究種目：若手研究(B)

研究期間：2011～2013

課題番号：23700062

研究課題名(和文)クリティカルエリアサンプリングによるSoCの欠陥レベル削減に関する研究

研究課題名(英文)SoC Defect Level Reduction Based on Critical Area Sampling

研究代表者

新井 雅之 (ARAI, Masayuki)

日本大学・生産工学部・助教

研究者番号：10336521

交付決定額(研究期間全体)：(直接経費) 3,000,000円、(間接経費) 900,000円

研究成果の概要(和文)：半導体デバイスの製造工程において、論理的なモデルに基づく欠陥レベル見積と、製造されたデバイスにおける実際の欠陥レベルとの間の乖離が問題となっている。本研究では、回路の論理的構造およびレイアウトデータに基づいて欠陥の発生確率を考慮し、欠陥レベルを高速かつ高精度に予測する手法について研究を行った。異なる欠陥粒径を考慮した重み付き故障カバレッジ算出法、テストパターン並べ替えアルゴリズム、レイアウトデータをを用いないクリティカルエリアの推定法、について検討し、評価を行った。実験結果から、高精度な欠陥レベル見積もり、およびテストパターン数削減が可能であることが示された。

研究成果の概要(英文)：In the field of semiconductor device manufacturing, there is growing problem of the gap between the defect level estimated at the design stage from the reported one for fabricated devices. In this we discuss on a accurate defect level estimation considering probability of faults, on the basis of logical and layout structures of target circuits. We proposed and evaluated three schemes: weighted fault coverage calculation considering multiple different defect sizes, test pattern reordering algorithm, and critical area estimation without layout data. Experimental results indicated that our proposed schemes can accurately estimate the real defect level, and also that the numbers of test patterns can be reduced.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：欠陥レベル 重みつき故障カバレッジ VLSIテスト クリティカルエリア

## 1. 研究開始当初の背景

半導体デバイスの製造工程において、量産テストで全ての製造欠陥の検出を保証することは困難である。従って、製造欠陥の見逃しによる市場不良の発生率を正確に予測することは、設計・製造コスト見積の観点から重要である。しかし、量産テストでは、物理的な欠陥を論理的な故障モデルとして扱い、配線長や欠陥サイズを考慮しない、モデル化された故障に対する検出率（故障カバレッジ）としてテスト品質を評価する。このため、論理的なモデルに基づく欠陥レベル見積と、製造されたデバイスにおける実際の欠陥レベルとの間の乖離が問題となっている。

## 2. 研究の目的

本研究の目的は、対象となる超微細・大規模半導体デバイスにおける欠陥レベルを、高速かつ高精度に予測する手法の開発である。本手法が対象とするのは、設計・開発工程の早期段階での適用であり、実デバイスに対するテスト結果は利用不可能であるとする。すなわち、下記の情報に基づいて欠陥レベルを予測する。

- ・回路の論理的構造
- ・適用されるテストパターンセット
- ・回路のレイアウト情報
- ・製造プロセスにおける欠陥粒径分布  $d(r)$  ( $r$ : 欠陥サイズ(nm))

本研究で対象とするのは、45nm以下のプロセスで作成された1千万トランジスタ以上の半導体デバイスにおける、導電性または絶縁性の異物によるランダム欠陥である。システムチック欠陥は考慮しない。

また、欠陥レベル予測結果の応用として、テストパターン数に上限が存在する場合には、欠陥レベル低減させるようなテストパターン生成法の開発を行う。与えられたテストパターンセットに対し、欠陥レベルを1桁削減させるようにテストパターンセットを改善することを目標とする。

## 3. 研究の方法

レイアウトデータに対して欠陥粒径  $r$  を指定してクリティカルエリア解析を実行することによって、ネットリスト  $G$  内に存在する任意の信号線  $s_i$  ( $1 \leq i \leq n$ ) に対するオープン欠陥クリティカルエリア  $A_{open}(r, s_i)$  が得られる。クリティカルエリアが大きいほど、ランダム欠陥による歩留り損失が発生しやすいと考えられる。あるテストパターンセット  $T$  によって、ある信号線  $s_i$  におけるオープン故障  $f_{open}(s_i)$  が検出されるか否か(故障検出情報)を  $D_{open}(s_i)$  と表わす。このとき、与えられた欠陥粒径  $r$  における重み付きオープン故障カバレッジ  $WFC_{open}(r, T)$  は、

$$WFC_{open}(r, T) = \frac{\sum_{i=1}^n A_{open}(r, s_i) \cdot D_{open}(s_i)}{\sum_{i=1}^n A_{open}(r, s_i)} \quad (1)$$

として計算される。ブリッジ故障に対する重みつきカバレッジ  $WFC_{bridge}(r, T)$  についても同様である。

本研究では、式(1)に基づく重みつきカバレッジ導出に関し、主に(1)異なる欠陥粒径を考慮した重み付き故障カバレッジ算出法、(2)重みつきカバレッジ削減を目的としたテストパターン並べ替えアルゴリズムの検討、および(3)レイアウトデータを用いないクリティカルエリアの推定法、について検討した。最大20Kゲート規模のベンチマーク回路に対するレイアウトデータを27個作成し、これらのベンチマーク回路に基づいて検討を行った。

## 4. 研究成果

- (1) 異なる欠陥粒径を考慮した重み付き故障カバレッジ算出法

粒径  $r$  の欠陥の発生確率  $d(r)$  は、以下の式に従うことが経験的に知られている。

$$d(r) = \alpha r^{-x} \quad (2)$$

べき係数  $x$  は  $1 < x < 3$  程度であるとの報告がある。欠陥の発生確率は、粒径が小さくなると急激に増加する。しかし、粒径がある閾値より十分に小さい場合、その欠陥はオープン欠陥を引き起こし得ない。一方、大きな粒径の欠陥は、その発生確率は低いものの、一旦発生すると広範囲にオープン欠陥を引き起こす可能性がある。すなわち、大きなクリティカルエリアを持つ。従って、オープン故障の発生確率は、欠陥粒径分布を考慮して算出する必要がある。

欠陥粒径分布  $d(r)$  は  $r$  に対する連続的な分布であるが、本研究では、クリティカルエリア解析ツールへの適用を考慮して、 $m$  個の異なる欠陥粒径に基づくクリティカルエリアの近似計算法について検討する。与えられた  $m$  個の欠陥粒径を  $R = \{r_1, \dots, r_m\}$  と置き、各欠陥粒径  $r_k$  に対して任意の信号線  $s_i$  のオープン欠陥クリティカルエリア  $A_{open}(r_k, s_i)$  が求まっているものとする。このとき、欠陥粒径分布を考慮したクリティカルエリア  $A'_{open}(s_i)$  を以下のとおり求める。

$$A'_{open}(s_i) = \sum_{k=1}^m \left\{ \left( \frac{r_1}{r_k} \right)^x \cdot A_{open}(r_k, s_i) \right\} \quad (3)$$

重みつき故障カバレッジの算出式(1)における  $A_{open}(r, s_i)$  を式(3)により求めたクリティカルエリア  $A'_{open}(s_i)$  で置き換えることにより、欠陥粒径分布を考慮した重み付き故障カバレッジ  $WFC_{open}$  を算出することができる。

ベンチマーク回路に対して、0.05  $\mu\text{m}$ , 0.1  $\mu\text{m}$ , 0.2  $\mu\text{m}$ , 0.4  $\mu\text{m}$ , 0.8  $\mu\text{m}$ , 1.6  $\mu\text{m}$  の6通りの欠陥粒径に対して個別にクリティカルエリアを算出した。これら6個の欠陥粒径に対する加重平均として、上記の式に基づいて欠陥粒径

分布を考慮したクリティカルエリアを求めた。この分布を真の分布とみなし、全ての単一欠陥粒径、および全ての可能な2個の欠陥粒径の組み合わせに対して、各信号線に対するクリティカルエリアを求め、6通りの欠陥粒径に基づく真の値に対する二乗平均平方根誤差RMSEを算出した。

図1に、s9234aベンチマーク回路における、各信号線のクリティカルエリアの分布を示す。横軸は各信号線のクリティカルエリアの値の範囲を示しており、縦軸は、その範囲に属する信号線のクリティカルエリアの総和を示す。例えば、 $(x, y) = (0.0004, 0.13)$ 付近の点は、クリティカルエリアが  $0.0004 \text{ um}^2$  以上  $0.0008 \text{ um}^2$  未満であるような信号線のクリティカルエリアを合計すると、クリティカルエリア全体の約13%となったことを示している。図中の0.1, 0.8, 1.6は、それぞれ単一の欠陥粒径に対するクリティカルエリアの分布を示している。一方、allは6個の欠陥粒径に基づくクリティカルエリアの分布を示している。また、0.1&0.8 および 0.1&1.6は、それぞれ対応する2個の欠陥粒径に基づくクリティカルエリアの分布を示している。2個および6個の欠陥粒径に対するクリティカルエリアは、式(3)においてべき係数  $x=2$  として求めた。縦軸に示した面積は、各条件において総和が1となるよう正規化している。

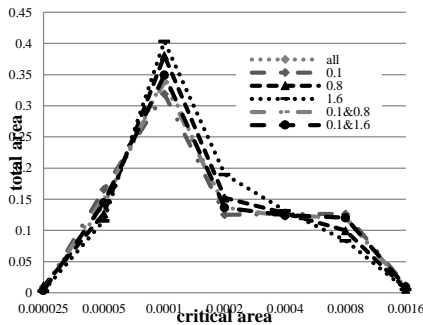


図1 クリティカルエリアの総面積の分布 (s9234a, オープン欠陥)

図2に、s9234aベンチマーク回路におけるRMSEの算出結果を示す。21通りの組み合わせの中で、 $0.1 \text{ um}$  と  $0.8 \text{ um}$  の加重平均が、最も小さいRMSEを示した。次に小さいRMSEを示したのは、 $0.1 \text{ um}$  と  $1.6 \text{ um}$  の組み合わせであった。単一の欠陥粒径を用いた場合で最も良い値を示したのは  $0.4 \text{ um}$  であり、 $0.1 \text{ um}$  と  $0.8 \text{ um}$  の組み合わせに対して約5倍程度のRMSEとなった。一方、RMSEが最も大きくなったのは単一の欠陥粒径  $1.6 \text{ um}$  を用いた場合であった。 $0.1 \text{ um}$  と  $0.8 \text{ um}$  に対して約30倍のRMSEを示した。

その他のベンチマーク回路に対しても実験を行ったところ、同様の結果が得られた。実験結果から、適切な組み合わせを選択することにより、少数の欠陥粒径に基づくクリティカルエリアの加重平均によって、実際のクリ

ティカルエリア分布を近似できる可能性が示された。また、今回の実験では、欠陥粒径  $0.1 \text{ um}$  を含む組み合わせが全般に良好な結果を示した。

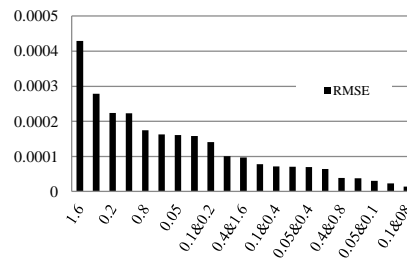


図2 1/2/6種類の欠陥粒径に基づいて算出したクリティカルエリアにおけるRMSE ( $x=2, s9234a, \text{オープン欠陥}$ )

(2) 重み付きカバレッジ削減を目的としたテストパターン並べ替えアルゴリズムの検討

より少ないパターン数で高い重み付き故障カバレッジを達成するようなテストパターンセットの生成を目的として、与えられたテストパターンセットをソートする手法について検討した。本研究では、グリーディアルゴリズムに基づく以下の並べ替えアルゴリズムを提案し、評価を行った。ここで、与えられるテストパターンセットを  $T = \{t_i : 0 \leq i \leq n\}$  と表す。 $n$  はテストパターン数である。

[テストパターン並べ替えアルゴリズム]

まず、各テストパターン  $t_i$  に対して重み付き故障カバレッジ  $WFC_{br}(r, t_i)$  を算出する。最も高い  $WFC_{br}(r, t_i)$  を持つパターンを1番目のパターン  $t'_0$  として選択する。次に、残りのパターンから、 $t'_0$  と組み合わせた場合の重み付き故障カバレッジ  $WFC_{br}(r, \{t_i\} \cap \{t'_0\})$  が最も高くなるようなパターンを検索し、2番目のパターン  $t'_1$  として選択する。重み付き故障カバレッジが増加しなくなるまで上記を繰り返す。

図3に、ベンチマーク回路 c1355 における縮退故障カバレッジ、重み付きブリッジ故障カバレッジの算出結果を示す。ソートを行う前の縮退故障カバレッジ Un sort (SA)、重み付きブリッジ故障カバレッジ Un sort (WFC)、および提案アルゴリズム(Algorithm 3)を用いてソートしたテストパターンセットに対する縮退故障カバレッジおよび重み付きブリッジ故障カバレッジを示している。c1355 に対して提案アルゴリズムを用いてソートしたテストパターンセットでは、8パターン目において  $WFC_{br} = WFC_{max} = 99.86\%$  となった。

実験を行ったベンチマーク回路では、多くの場合に、重み付き故障カバレッジは重みなし故障カバレッジより高い値を示した。テストパターンの累積カバレッジにおいては目標カバレッジに対して、重みを付けることで早

い段階で達成でき、テストパターンセットのソートアルゴリズムを適用した結果、更にパターン数を削減できる可能性を示した。

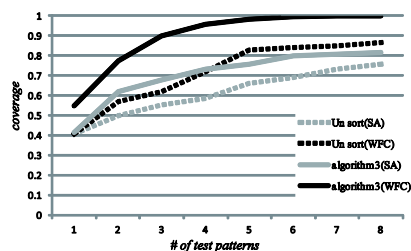


図3 ソートアルゴリズム適用前後の縮退故障、重み付き故障カパレージの比較 (c1355, オープン故障, ブリッジ故障)

(3) レイアウトデータを用いないクリティカルエリアの推定法

回路の論理構造のみから各故障のクリティカルエリアを推定することは、設計の早期段階でのテストパターン生成や耐故障設計、歩留り向上設計技術の適用に有効であると考えられる。ベンチマーク回路のレイアウトデータにおける、論理構造に基づく指標とクリティカル

エリアの相関について評価を行った。対象回路のネットリストにおいて、各信号線(ゲート出力)に対して下記のパラメータを抽出し、レイアウトから得られたクリティカルエリアの値との相関を調べた。

- ・ゲートのファンイン数, ファンアウト数
- ・入力/出力ポートからの最大および最小段数
- ・ネットリスト内の行位置
- ・到達可能な入力/出力ポート数

ここで、ネットリスト内の行位置については、対象信号線が出力および入力となっているゲートを調べ、その行番号の差の絶対値として求めた。複数のファンアウトを持つ配線に対しては、各ファンアウトに対する合計値を求めた。また、入力ポートは全て1行目に書かれているものとした。

12個のISCAS'85および'89ベンチマーク回路に対して実験を行った結果、ファンアウト数と行位置を除くパラメータについては、クリティカルエリアとの相関係数が0.5以上とはならなかった。表1に、c3540, c2670, s9234a, s298に対する、ファンアウト数(FANOUT), 行位置(#LINE), ファンアウト数と行位置の平均値( $av(FANOUT, \#LINE)$ ), およびファンアウト数の2乗( $FANOUT^2$ )に対するクリティカルエリアとの相関係数を示す。 $av(FANOUT, \#LINE)$ については、ファンアウト数と行位置をそれぞれ最大値で割って正規化した値の平均値を用いた。相関係数が0.7以上となった箇所を網掛けで示している。c2670以外の回路においては、FANOUTまたは $av(FANOUT, \#LINE)$ の少なくとも一方の相関係数が0.7以上となった。

図4に、c3540における、各信号線の

$av(FANOUT, \#LINE)$ とクリティカルエリアの値を示す。 $av(FANOUT, \#LINE)$ の平均値は0.104であった。 $av(FANOUT, \#LINE)$ の値が平均以上となった信号線は、514本中145本であった。一方、これら145本の信号線に対するクリティカルエリアの総和は、全体の約62%となった。

表1 論理構造から得られたパラメータ FANOUT, #LINE,  $av(FANOUT, \#LINE)$ ,  $FANOUT^2$ とクリティカルエリアの相関係数

	c3540	c2670	s9234a	s298
FANOUT	0.849	0.241	0.776	0.927
#LINE	0.805	0.301	0.739	0.918
$av(FANOUT, \#LINE)$	0.867	0.337	0.528	0.930
$FANOUT^2$	0.783	0.192	0.606	0.909

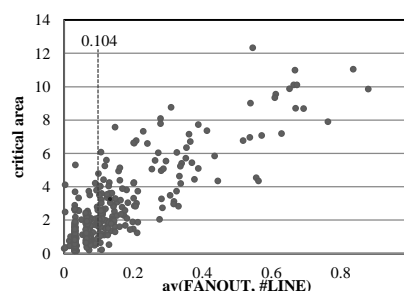


図4 c3540の各故障における $av(FANOUT, \#LINE)$ とクリティカルエリアの測定結果

その他のベンチマーク回路に対しても、同様の実験結果が得られた。ファンアウト数とネットリスト内の行位置によって、各故障のクリティカルエリアを推定できる可能性が示された。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計2件)

(1) A. Saysanasongkham, M. Arai, Satoshi Fukumoto, S. Takeuchi, and K. Wada, "A Highly Reliable Digital Current Control using an Adaptive Sampling Method," IEEJ Journal of Industry Applications, Vol. 3, No. 4, Jul. 2014, 掲載決定。(査読あり)

(2) R. Suzuki, M. Ohara, M. Arai, S. Fukumoto, and K. Iwasaki, "Checkpoint Time Arrangement Rotation in Hybrid State Saving with Limited Number of Periodical Checkpoints," IEICE Transactions on Information and Systems, Vol. E96-D, No. 1, pp. 141-145, Jan. 2013。(査読あり)

[学会発表] (計3件)

(1) M. Arai, Y. Shimizu, K. Iwasaki, "Note on Layout-Aware Weighted Probabilistic Bridge Fault Coverage," 2012 IEEE 21st Asian Test Symposium (ATS 2012), pp. 89-94, Niigata, Japan,

19-22, Nov. 2012.

(2) M. Arai, K. Iwasaki, "Area-Per-Yield and Defect Level of Cascaded TMR for Pipelined Processors," IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2011), pp. 264-271, Pasadena, CA, USA, 12-14 Dec. 2011.

(3) M. Arai, A. Saysanasongkham, K. Imai, Y. Koyama, S. Fukumoto, "Self-Calibration Using Functional BIST for Transient-Fault-Tolerant Sequential Circuits in Severe Electromagnetic Environment," IEEE 12th International Workshop on RTL and High-Level Testing, pp. 90-93, Jaipur, India, 25-26 Nov. 2011.

〔図書〕 (計 0 件)

〔産業財産権〕

○出願状況 (計 0 件)

○取得状況 (計 0 件)

〔その他〕

ホームページ等 特になし

## 6. 研究組織

### (1) 研究代表者

新井 雅之 (ARAI, Masayuki)

日本大学・生産工学部・助教

研究者番号 10336521

(2) 研究分担者 なし

(3) 連携研究者 なし