

平成 26 年 6 月 16 日現在

機関番号：32689

研究種目：若手研究(B)

研究期間：2011～2013

課題番号：23700065

研究課題名(和文) 超低消費電力設計における遅延テスト設計技術に関する研究

研究課題名(英文) Research on delay test techniques for ultra-low power designs

研究代表者

史 又華 (SHI, YOUHUA)

早稲田大学・高等研究所・准教授

研究者番号：70409655

交付決定額(研究期間全体)：(直接経費) 3,400,000円、(間接経費) 1,020,000円

研究成果の概要(和文)：近年、情報処理LSI回路の消費電力を下げるために、様々な研究が行われてきた。一方、既存の超低消費電力LSI回路における高信頼化設計手法は、電源電圧ごとの遅延テストまたは電源間の遅延テストを行うために、非常に複雑になる。そのため、超低消費電力LSI回路に対して高い信頼性を保つ設計技術の確立が強く求められると考えられる。そこで、本研究は、上記の問題点を解決するために、1) サブスレッショルド回路における高信頼化設計、2) 配線遅延を考慮した低消費電力化設計、及び3) ロジック回路遅延予測によるタイミングエラー検出可能なLSI設計技術について低消費電力回路における高信頼化設計の研究開発を行ってきた。

研究成果の概要(英文)：Recently, low power VLSI designs have gained a lot of research attentions from both industry and academia. Consequently, reliability becomes an important design issue in state-of-the-art low power designs. Facing this design challenge, we conducted the following researches on 1) reliable sub-threshold circuit design, 2) wire delay aware low power synthesis methods, and 3) timing error detection method to guarantee the reliability of low power VLSI designs.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：低消費電力設計 LSI設計 高信頼設計

1. 研究開始当初の背景

近年の日常生活において IT 機器への依存度が高まりつつある。情報処理量とデータは年々指数関数的に増加している。そのため IT 機器の消費電力が増え、CO2 の増加など環境への配慮も必要になる。これまで CMOS を用いた LSI の微細化による高集積化、高性能化はスケーリング側に基づいて進められてきた。またスマートフォンやタブレット端末の普及やセンサネット並びに健康等のアプリケーションなどの携帯性を必要とする端末は低消費電力であることが求められている現状や、それらデバイスの情報処理量の増加に伴うチップの高性能化や面積の増大が原因となり、消費電力を下げるための様々な研究が行われてきた。

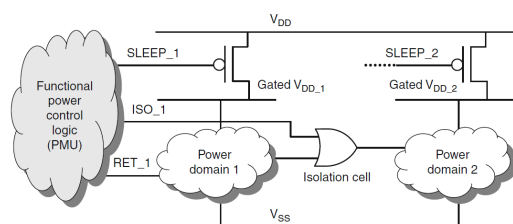


図1. ティピカル低消費電力設計手法

情報処理 LSI 回路(大規模集積回路)の低消費電力化には、パワーゲーティング、低電圧、およびダイナミック電圧/周波数スケーリング (DVFS) など低消費電力化設計テクニックが提案されていた。特に、LSI 回路の低消費電力化には、LSI の電源電圧を下げるのが最も効果的である。CMOS 回路の動作電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。しかし、低電圧の条件下では CMOS 回路の動作が不安定になり、LSI の製造ばらつきやノイズなどに影響され、動作マージン減少、誤動作などの障害が、現状と比較して極めて増大する。一方、既存の超低消費電力 LSI 回路における高信頼化設計手法 (i.e. テスト設計技術) は、電源電圧ごとの遅延テストまたは電源間の遅延テストを行うために、非常に複雑になる。

そのため、超低消費電力 LSI 回路に対して高い信頼性を保つ設計技術の確立が強く求められると考えられる。

2. 研究の目的

高信頼化低消費電力 LSI 回路の設計に関する研究は、多くの研究者によって絶えずに続けられている [1-3]。

[1] N. Ali, M. Zwolinski, B. Al-Hashimi, and P. Harrod, "Dynamic Voltage Scaling Aware Delay Fault Testing," in proc. IEEE European Test Symp., pp.15-20, 2006.

[2] M. Rodriguez-Izago, J. Rodriguez Andina, F. Vargas, J. Semiacy, I. Teixeira, and J. Teixeira, "Dynamic Fault Detection in Digital Systems using Dynamic Voltage Scaling and Multi-temperature Schemes," in proc. IEEE International On-Line Testing Symp., pp. 6-11, 2006.

[3] N. Ahmed, M. Tehranipoor, and V. Jayaram, "Transition Delay Fault Test Pattern Generation Considering Supply Voltage Noise in a SoC Design," in proc. Design Automation Conf., pp. 533-538, 2007.

しかし、それらの研究結果を利用した高信頼化低消費電力設計手法は実際の設計ではあまり利用されていない。原因の一つは、従来の超低消費電力 LSI 回路におけるテスト設計技術手法は、電源電圧ごとの遅延テストまたは電源間の遅延テストを行うために、テストが非常に複雑になる。以上により、本研究では、将来、安心かつエコな環境を実現させるための要素技術として、超低消費電力 LSI 回路における高信頼化設計技術の開発を目的とする。

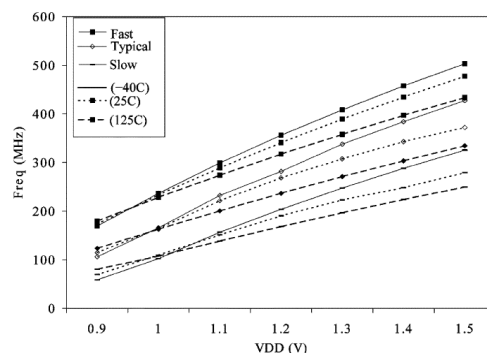


図2. 遅延 vs. 電圧・温度

3. 研究の方法

本研究は、1) サブスレッショルド回路における高信頼化設計、2) 配線遅延を考慮した低消費電力化設計、並びに 3) ロジック回路遅延予測によるタイミングエラー検出可能な LSI 設計技術について低消費電力回路における高信頼化設計の研究開発を行ってきた。

(1) サブスレッショルド回路における高信頼化設計技術

LSI 回路の低消費電力化には、LSI の電源電圧を下げるのが最も効果的である。しかし、サブスレッショルド回路には様々な課題があり、特に低電圧動作における性能の低下と、PVT (Process/Voltage/Temperature) ばらつきによるドレーン電流 I_d の変動性が引き起こす遅延のばらつきが深刻である。加え

て、エネルギー最適な動作電圧である V_{min} より低い電圧では、長い遅延をもたらすリークエネルギー増加によりエネルギーが飽和してしまう。

定格電圧を用いる回路では、性能向上のための一般的な手法として、パイプライン化が利用されるが、これはパイプラインレジスタやクロックネットワークの追加によるエネルギーの増加を伴う。それゆえ、従来のサブスレッショルド電圧設計においては、パイプラインステージの利用を控え、消費エネルギーの増大を避けてきた。

本研究は、低電圧回路に対してスーパーパイプラインを用いて、パイプラインレジスタを積極的に増やすことで、低電圧動作における性能と、エネルギー効率をともに向上させる設計技術に関する研究を行った。また、温度変動に対する遅延のばらつきと、温度のワーストケースにおける遅延を用いた、消費エネルギーのばらつきを測定・考察し、スーパーパイプライン設計の温度依存性の課題を示した。

(2) 配線遅延を考慮した低消費電力化設計技術

LSI の消費エネルギーのうち、大きな割合を占めるのがクロック信号である。LSI の消費エネルギーを削減する技術は多く提案されているが、それらは設計の上位レベルで適用するほど効果が高い。クロックのエネルギーを対象とした低消費電力技術として、クロックゲーティング、マルチクロックドメインが提案された。

しかし、既存研究はクロックツリーのエネルギーが十分に考慮されていない。特に、配線遅延、マルチクロックドメイン、およびマルチクロックドメインとクロックゲーティングを組み合わせた適用については考慮していない。そこで、本研究は、マルチクロックドメインにおける配線遅延並びにクロックエネルギーを考慮した低消費電力化設計技術に関する研究を行った。

(3) 遅延予測によるタイミングエラー検出可能な LSI 設計技術

従来の LSI 設計手法は、設計マージンを十分確保することを前提条件としたワーストケースに基づく設計手法をとるのがふつうである。ワーストケースに基づく設計方法では、最悪の状態を含むすべての動作条件（特に電源電圧・温度等最悪条件）においても LSI チップがいつも正しく動作するよう設計するものである。当然ながら、ばらつきが増大していくと大きなマージンを要し、結果として見込み通りの高速化あるいは低エネルギー化の効果が得られるとは限らない。

LSI 設計・製造時にワーストケースを想定し過剰な設計マージンをとるための解決策

の一つとして、LSI 動作時に動的にタイミングエラーを検出・回復する手法が知られている。しかし、既存研究を用いて、タイミングエラーは容易に検出できるが、これを回復するために極めて大きなオーバーヘッドを要することにある。

そこで、本研究はオンラインディレイ変動を検出・制御可能な高信頼化 LSI 設計技術に関する研究を行った。

4. 研究成果

本研究では、超低消費電力 LSI 回路に対して高い信頼性を保つ設計技術に関する研究を行ってきた。具体的には、上記三つの項目について研究を行い、それぞれ以下に示す成果をあげた。

(1) サブスレッショルド回路における高信頼化設計技術

本研究は、低電圧回路に対してスーパーパイプラインを用いて、パイプラインレジスタを積極的に増やすことで、低電圧動作における性能と、エネルギー効率をともに向上させる設計技術に提案した。16bit の非パイプライン乗算器と、5 段および 6 段のパイプライン乗算器を設計、論理合成し、回路シミュレーションでサブスレッショルド電圧における消費エネルギーの評価を行った。この結果からエネルギー最小点の最も低い乗算器を最適なパイプライン段数とした。また、乗算器の温度変動に対する遅延のばらつきと、温度のワーストケースにおける遅延を用いた、消費エネルギーのばらつきを測定・考察した。

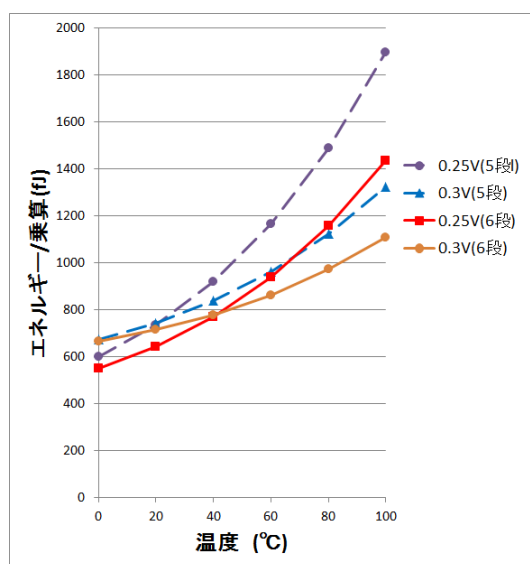


図3. 消費エネルギーと電圧・温度・パイプライン段数の依存性

(2) 配線遅延を考慮した低消費電力化設計技術

本研究は、マルチクロックドメイン指向アーキテクチャを対象としたクロックエネルギー削減に向けた高位合成手法を提案した。提案手法は1クロック内の通信が保障されるハドルと呼ぶ区画を利用し、配線遅延の影響を予測し、異なるクロック間の同期を考慮した高位合成を実現した。クロックはハドル毎に割り当て、資源制約と時間制約を満たす範囲で低い周波数のクロックを割り当てることで低電力化する。計算機実験により提案手法はクロックゲーティングのみを考慮した従来手法と比較し、クロックツリーのエネルギーを30%程度削減でき、全体のエネルギーを25%程度削減できることを確認した。

(3) 遅延予測によるタイミングエラー検出可能なLSI設計技術

本研究は、「オンラインディレイ変動を検出・制御可能なLSI設計技術」を中心に研究を実施した。研究成果としては、演算回路・制御回路において処理途中段階で回路が正しいタイミングで動作しているか否かを予測する技術を提案した。提案回路は32ビット乗算器中に実装し、VDD 1.8V、25度で2のランダムな入力ベクトルを使用しシミュレーションした。従来のワーストケースLSI設計と比べて、1) 最大動作周波数は83MHzから156MHzに上がり；2) スループットが1.41Xに向上することができた。

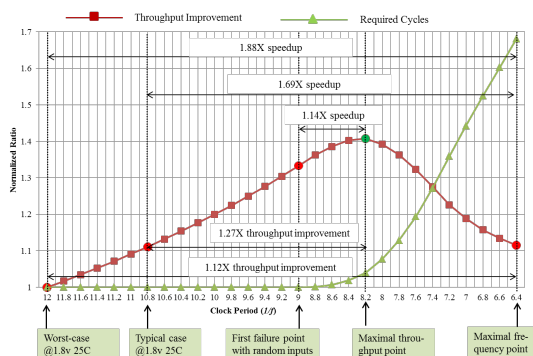


図4. タイミングエラー予測回路実装の一例

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 2 件)

- [1] Shin-ya Abe, Youhua Shi, Kimiyoshi Usami, Masao Yanagisawa, and Nozomu Togawa, Floorplan Driven Architecture

and High-level Synthesis Algorithm for Dynamic Multiple Supply Voltages, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E96-A, no. 12, pp. 2597-2611, Dec. 2013. (査読有)

- [2] Shin-ya Abe, Youhua Shi, Masao Yanagisawa, Nozomu Togawa, MH4 : multiple-supply-voltages aware high-level synthesis for high-integrated and high-frequency circuits for HDR architectures, IEICE Electronics Express, Vol. 9, No. 17 pp. 1414-1422, Sep. 2012. (DOI: 10.1587/elex.9.1414) (査読有)

[学会発表](計 8 件)

- [1] Youhua Shi, Hiroaki Igarashi, Nozomu Togawa, and Masao Yanagisawa, InTimeTune: A Throughput Driven Timing Speculation Architecture for Overscaled Designs, ACM/EDAC/IEEE Design Automation Conference, Work-in-process session (Poster), Jun. 2014, San Francisco, USA.
- [2] 櫛田浩樹, 史又華, 戸川望, 宇佐美公良, 柳澤政生, サブスレッショルド回路における遅延・エネルギーの温度依存性に関する実験および考察, 信学技報, 2014年3月, 沖縄県青年会館.
- [3] Hiroaki Igarashi, Youhua Shi, Masao Yanagisawa, and Nozomu Togawa, Throughput Driven Check Point Selection in Suspicious Timing Error Prediction based Designs, in Proc. IEEE Latin American Symposium on Circuits and Systems (LASCAS), Feb. 2014, Santiago, Chile.
- [4] 五十嵐博昭, 史又華, 柳澤政生, 戸川望, チェックポイント観測によるタイ

ミングエラー予測手法, 電子情報通信学会デザインガイア, vol. 113, No.320, pp.39-44, 2013 年 11 月, 鹿児島県文化センター.

- [5] Youhua Shi, Hiroaki Igarashi, Masao Yanagisawa, and Nozomu Togawa, Predication based Timing Speculation Technique for Throughput Improvement, in Proc. International Conference on Integrated Circuits, Design, and Verification (ICDV), Nov. 2013, Ho Chi Minh City, Vietnam. (Invited Talk)
- [6] Shin-ya Abe, Youhua Shi, Kimiyoshi Usami, Masao Yanagisawa, and Nozomu Togawa, Floorplan Driven architectures and High-level Synthesis algorithm for Dynamic Multiple Supply voltages, Work-in-process (Poster: #61.68), Design Automation Conference, June 2013, Austin, USA.
- [7] Shin-ya Abe, Youhua Shi, Kimiyoshi Usami, Masao Yanagisawa, and Nozomu Togawa, An Energy-efficient High-level Synthesis Algorithm Incorporating Interconnection Delays and Dynamic Multiple Supply Voltages, in Proc. IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT), pp.54-57, Apr. 2013, Hsinchu, Taiwan.
- [8] Youhua Shi, Hiroaki Igarashi, Masao Yanagisawa, and Nozomu Togawa, Suspicious Timing Error Detection and Recovery with In-Cycle Clock Gating, in Proc. IEEE International Symposium on Quality Electronic Design (ISQED), pp.335-340, Mar. 2013, Santa Clara, USA.

〔産業財産権〕
出願状況(計 2 件)

(1) 名称: 信号処理装置および信号処理方法
発明者: 史又華、戸川望、柳澤政生、五十嵐博昭
権利者: 学校法人早稲田大学
種類: 特許
番号: PCT/JP2014/053813
出願年月日: 2014年2月18日
国内外の別: 国外

(2) 名称: 信号処理装置および信号処理方法
発明者: 史又華、戸川望、柳澤政生、五十嵐博昭
権利者: 学校法人早稲田大学
種類: 特許
番号: 特願 2013-037620
出願年月日: 2013年2月27日
国内外の別: 国内

〔その他〕
ホームページ等
<http://www.tenure-track-waseda.jp/researchers/researchers01.html>

6. 研究組織

(1) 研究代表者
史又華 (SHI, Youhua)
早稲田大学・高等研究所・准教授
研究者番号: 70409655