

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成25年 6月 1日現在

機関番号：33919
 研究種目：若手研究（B）
 研究期間：2011～2012
 課題番号：23700066
 研究課題名（和文）フィジカルシンセシスを用いたビアプログラマブルデバイス設計プラットフォームの開発
 研究課題名（英文）Dedicated design platform for via-programmable device using physical synthesis
 研究代表者
 吉川 雅弥（YOSHIKAWA MASAYA）
 名城大学・理工学部・教授
 研究者番号：50373098

研究成果の概要（和文）：本研究では、ビアプログラマブルデバイス（VPLD）の設計プラットフォームを開発した。具体的には、これまで研究を進めてきた VPLD をベースとして、(1) フィジカルシンセシス向け論理最適化手法の検討、(2) VPLD の配線アーキテクチャを考慮したタイミング見積手法の検討、(3) フィジカルシンセシス評価用配置配線手法の検討、(4) VPLD 用タイミングドリブン詳細配線手法の開発の4つの点について研究を進め、いくつかの基本要素技術についても確立した。

研究成果の概要（英文）：In this study, we developed the dedicated design platform for via-programmable device using physical synthesis. Specifically, this study consists of the following four themes: (1) Physical synthesis aware logic optimization, (2) Timing estimation for the dedicated via-programmable device, (3) Layout algorithm for physical synthesis, and (4) Timing driven detailed routing for the dedicated via-programmable device. Several fundamental techniques for the dedicated design platform have been developed in this study.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
交付決定額	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム

キーワード：ビアプログラマブルデバイス、ストラクチャード ASIC

1. 研究開始当初の背景

マスクコストなどの初期開発コストが不要である FPGA が製品開発の試作など生産数量の少ない製品に多く用いられている。しかしながら、FPGA はスタンダードセルベース ASIC に比べ、チップ単価が高く動作速度や消費電力などの性能面でも劣っている。そのため、少量生産 ASIC の全ての品種を FPGA に置き換えることはできない。

一方、低コスト LSI 製造方式として、配線層マスクも共有化し、ビーマスクのみをカス

タマイズする VPLD が提案されている。VPLD では、作成するマスクが少ないことから ASIC に比べ初期開発コストを抑えることができる。この VPLD については、ルックアップテーブルを基本論理素子とするデバイスが開発されている。しかし、申請研究で用いる VPLD は、少量多品種展開を可能とするための低コスト・高性能を実現する独自のデバイスである。さらに申請研究では VPLD を指向したフィジカルシンセシスを新たに導入する。このような総合的な設計プラットフォーム

はこれまで実現されていない。

研究代表者は、まず、フォトマスクレスのデバイスとして、これまでに、複合型 Exclusive-OR とインバータを組み合わせた回路を基本論理素子とするビアプログラマブルデバイスを開発し、基本論理素子としての性能が実用的であることを確認している。さらに、フィジカルシンセシスに必要な要素技術として、最適化アルゴリズムを開発し、評価実験によりその有効性を実証した。

以上のように、本提案研究の基礎となるいくつかの要素技術について、これまでの研究でその効果を確認した。そこで、これらの要素技術を組み合わせることで、今後ますます重要となる少量多品種展開を実現する LSI の分野での先行的な技術革新を行いたいと思ひ、本提案研究の着想に至った。

2. 研究の目的

半導体の微細化加工技術が 65nm 以下という光の波長より短い領域では、回路パターンの露光用原版であるフォトマスクに光近接効果補正などを施す必要がある。このような補正がマスク製造のためのコストを増加させるため、生涯生産個数が少ない LSI の製造は、経済的に難しくなっている。しかし、携帯電話や情報家電などの LSI を用いた製品は、競争が激しく製品寿命が短い。これは、少量多品種の LSI のニーズが高いことを意味している。

一方、プロセス技術の微細化により、高集積化・高速化・高付加価値化がさらに進むため、ロジックレベル・フィジカルレベルの各設計工程は相互に密接に関連する。そのため、各工程を別々に考えるのではなく、今後はトータルな設計プラットフォームとして考えなければならない。しかしながら、生涯生産個数が少ない LSI の分野では設計メソッドロジーが確立されていない。そこで、申請研究では低コスト LSI 製造方式として、マスクを使用しないビアプログラマブルロジックデバイス (VPLD) の設計プラットフォームを新たに開発する。

3. 研究の方法

本研究では、新しい VPLD の設計プラットフォームを開発する。そこで、2 年間の研究期間において以下の点を明らかにする。

(1) フィジカルシンセシス向け論理最適化手法の検討

これまで研究を進めてきた VPLD は、1 つの論理素子で、全ての 2 入力素子を含む複数の論理の出力が可能である。また、記憶素子としては、2 個の論理素子を用いることで必要

に応じて D フリップフロップを構成できる。そこで、面積・段数・ファンアウト数と遅延を総合的に考慮して論理を最適化する。

(2) VPLD の配線アーキテクチャを考慮したタイミング見積手法の検討

対象とする VPLD では、図 1 に示すように、第 3 メタル配線層と第 4 メタル配線層が直交してメッシュ上に配置されており、交点に第 3 ビアパターンを配線ルートに従って配置することで、配線を行うことができる。このような配線アーキテクチャでは、一般的な ASIC での配線遅延の導出で用いる単位長での容量値・抵抗値では、正確な配線遅延を見積もることが出来ない。そこで、図 1 における配線アーキテクチャを考慮した容量値と抵抗値の抽出を行い、配線遅延を計算する。

(3) フィジカルシンセシス評価用配置配線手法の検討

上記(1)での論理最適化手法を用いたフィジカルシンセシスの結果を評価するための論理素子配置と概略配線手法を開発する。ここでは、上記(2)のタイミング制約だけではなく、配線成功率の条件となる Routability に重点を置いた多目的評価手法を導入する。

(4) VPLD 用タイミングドリブン詳細配線手法の開発

図 2 に示すように、既配線による配線禁止領域が、通常の ASIC での配線と異なる。

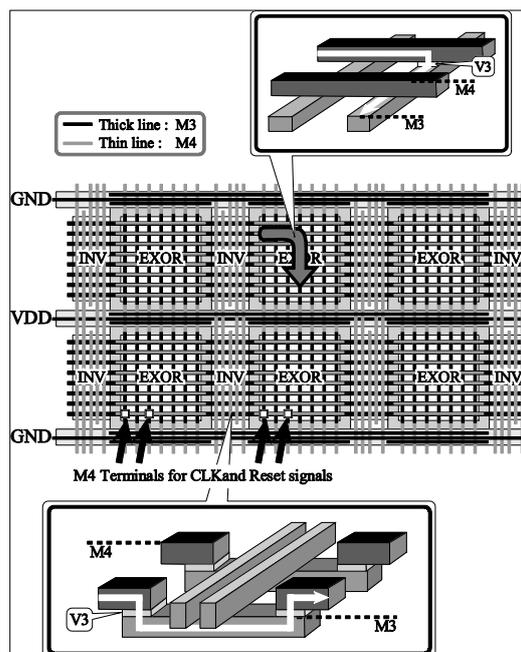


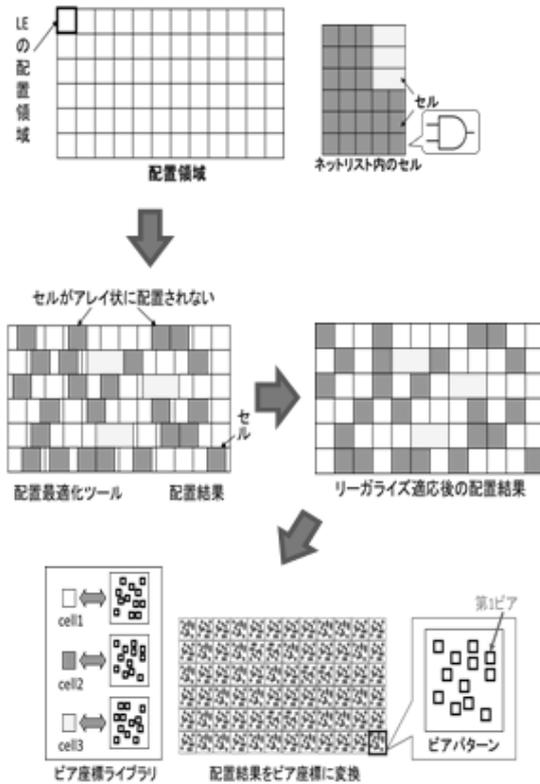
図 1 配線アーキテクチャ

また、論理素子からの信号線の入出力は、論理素子上に縦方向に配線されたM3に出力されるため、配線のリソースとしては、縦方向より横方向の方が多い。そこで、配線禁止領域と配線リソースのトレードオフを考慮した詳細配線アルゴリズムを開発する。

4. 研究成果

2年間の研究期間において、まず、VPLDの設計プラットフォームとして、これまで進めてきた独自のVPLDの専用のCADシステムを開発した。この専用CADシステムでは、いくつかの商用ツールやオープンソースのツールと、独自開発のツールを組み合わせることで、一般的なASICの設計フローと同様に、HDL入力、GDS出力を実現している。図2に、開発したCADシステムを示す。また、図3に研究方法における(2)~(4)を考慮したレイアウトアルゴリズムを示す。

図3(1)は、配置アルゴリズムを、図3(2)は詳細配線のアルゴリズムをそれぞれ示している。配置アルゴリズムでは、初期配置の後に、各グリッドにPEが配置されるように、リーガライズ処理を導入している。また、配線アルゴリズムについては、各PE上部の配線リソースを考慮して概略配線と詳細配線の2段階の処理を導入している。



(1) 配置アルゴリズム

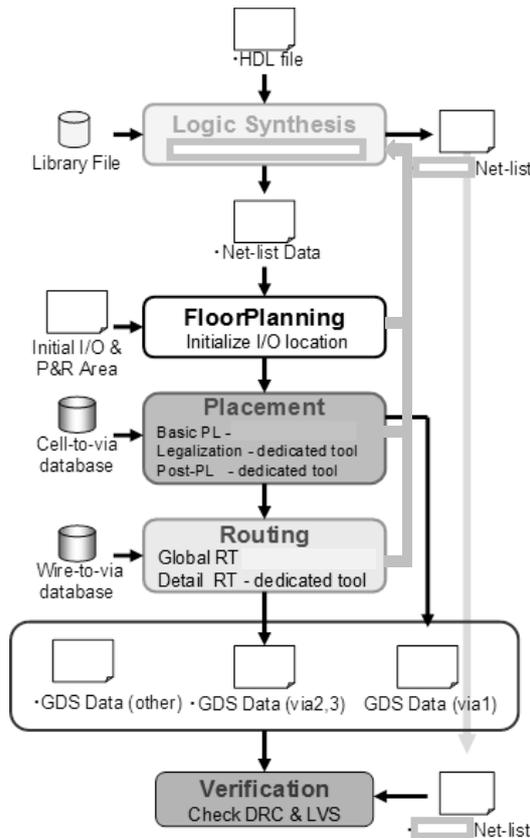
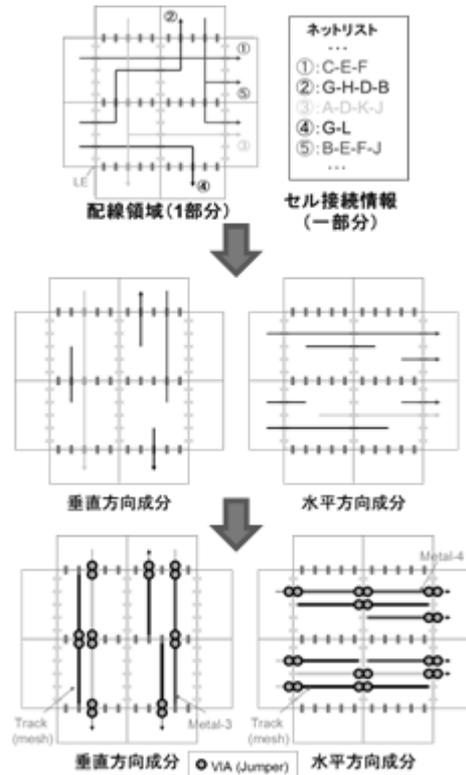


図2 提案 VPLD 用 CAD フロー



(2) 配線アルゴリズム

図3 VPLD 専用レイアウトアルゴリズム

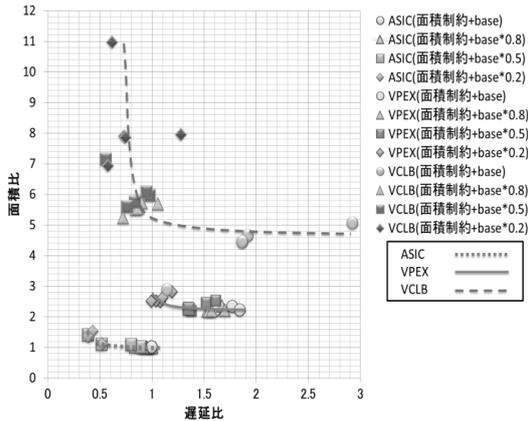


図4 面積遅延積比

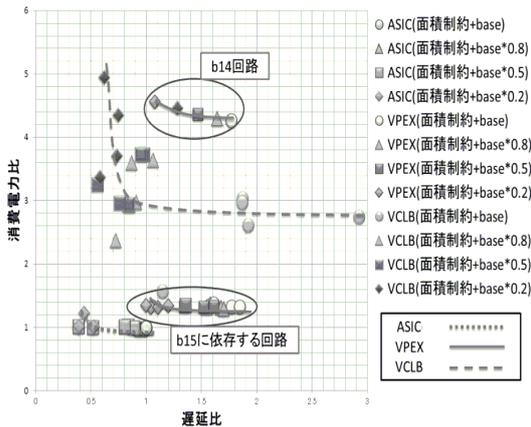


図5 消費電力遅延積比

また、開発したCADシステムを使用し、チップを試作して、面積・遅延・電力について、ベンチマーク回路を中心とした様々な回路を用いて、詳細な評価検証を行った。この評価検証実験においては、一般的なASICとの比較だけでなく、他の代表的なストラクチャードASICとの比較も行った。さらに、フィジカルシンセシスを考慮する上で重要な合成時の制約について、様々な制約についても比較評価を行った。評価結果を図4と図5に示す。

これらの評価によって、これまで研究を進めてきたVPLDについて、ロジックエレメント単体の性能評価だけでなく、配線アーキテクチャも含めた性能を明らかにした。これにより、フィジカルシンセシスでの論理最適化に必要な準備を完了させた。

以上のように、当初予定した研究実施項目について、各サブテーマの要素技術に関しては検討することが出来たが、申請研究期間内に、検討・開発した要素技術を用いてフィジ

カルシンセシスを用いたビアプログラマブルデバイス設計プラットフォームとしては、完成させることが出来た。しかしながら、2年間の研究機関を通して、数多くの新しい知見を得ることができた。

また、研究結果を関連する国内・国際学会で発表をし、参加者とディスカッションを行ったことで、さらに、研究を発展させることが出来ただけでなく、実用への応用方法に知見も得ることが出来た。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計2件)

- (1) R.Hori, T.Kitamori, T.Ueoka, M.Yoshikawa, T.Fujino, "Improved Via-Programmable Structured ASIC VPEX3 and its Evaluation", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E95-A, No.9, pp.1518-1528, 2012. (査読有)
- (2) R.Hori, T.Kitamori, T.Ueoka, M.Yoshikawa, T.Fujino, "Via Programmable Structured ASIC Architecture "VPEX3" and CAD Design System", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E95-A, No.12, pp.pp.2182-2190, 2012. (査読有)

[学会発表] (計2件)

- (1) R.Hori, M.Yoshikawa, T.Fujino, "The Development of CAD System for Via Programmable Structured ASIC VPEX3", Proc. of The 17th Workshop on Synthesis And System Integration of Mixed Information technologies. pp.470-475, 2012. (査読有)
- (2) 大谷拓, 堀遼平, 北森達也, 上岡泰輔, 吉川雅弥, 藤野毅「ビアプログラマブルASICアーキテクチャVPEXの消費電力評価と面積・遅延性能評価」, 電子情報通信学会, 信学技報, vol.111, No.450, VLD2011-121, pp.7-12, 2012. (査読無)

6. 研究組織

(1) 研究代表者

吉川 雅弥 (YOSHIKAWA MASAYA)

名城大学・理工学部・教授

研究者番号：50373098