

科学研究費助成事業（学術研究助成基金助成金）研究成果報告書

平成 25 年 4 月 1 日現在

機関番号：13501

研究種目：若手研究（B）

研究期間：2011～2012

課題番号：23760011

研究課題名（和文）

シリコン・カーボン混晶系歪みヘテロ薄膜の結晶欠陥形成プロセスと電気伝導特性の解明

研究課題名（英文）

Studies on defect formation process and electrical properties of Silicon-Carbon strained heterostructures

研究代表者

有元 圭介（ARIMOTO KEISUKE）

山梨大学・大学院医学工学総合研究部・准教授

研究者番号：30345699

研究成果の概要（和文）：Si(100)基板上にガスソース分子線エピタキシー法を用いて圧縮歪み Si/Si_{1-x}C_xヘテロ構造を形成するための結晶成長条件を系統的に調べ、結晶性の向上に不可欠である結晶欠陥・応力緩和過程に関する研究を行った。また、圧縮歪み Si 層をチャンネル層とした p 型 MOSFET を作製し、動作確認と、正孔移動度の向上を確認した。

研究成果の概要（英文）：Growth conditions appropriate for formation of compressively strained Si/Si_{1-x}C_x heterostructure on Si(100) substrate using gas-source molecular beam epitaxy method have been systematically studied. Mechanisms of defect formation and stress relaxation process have been studied, which is essential for the growth of high quality crystal. P-type MOSFETs with compressively strained Si channel layer were fabricated. Electrical characterization revealed hole mobility improvement in this material system.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
交付決定額	2,800,000	840,000	3,640,000

研究分野：工学

科研費の分科・細目：応用物理学・工学基礎、応用物性・結晶工学

キーワード：結晶工学、結晶成長、半導体物性

1. 研究開始当初の背景

集積回路の消費電力は増大の一途を辿っている。微細化技術を軸とした電子素子の性能向上のスピードは減速しつつあり、更なる高消費電力化を避けることは困難である。消費電力を抑えつつ高性能化を実現するためには、高正孔移動度・低欠陥密度・広バンドギャップ材料の開発が必須である。現在用いられている伸長歪みシリコン（以下、Si）を上回る性能を達成するために、歪みゲルマニウム薄膜等の利用が検討されている。しかしながら、欠陥密度の抑制が困難・バンドギャップが小さいため等の課題があり、現状では消費電力の増大を解決できていない。このような背景のもと、我々はシリコン・カーボン

混晶を用いた新しい素子構造を考案し、研究に着手した。図 1 に、Si における正孔有効質量の歪み率・正孔密度依存性の計算結果を示す。この計算手法による有効質量の値は、磁気輸送特性・サイクロトロン共鳴法から得られる有効質量の実験値と良い一致を示すことが確認されている。図 1 によると、圧縮歪み Si では、従来型の伸長歪み Si 薄膜に対して 2 倍もの正孔移動度の向上を期待できることが分かる。本研究では、ガスソース分子線エピタキシー法を用いて Si_{1-x}C_x 層をバッファ層とする圧縮歪み Si 薄膜の形成を試み、正孔移動度の測定を行った。この手法において重要なことは、高品質な歪み緩和 Si_{1-x}C_x 層を形成することである。そこで、

$\text{Si}_{1-x}\text{C}_x$ 層の歪み緩和過程における欠陥形成の様態・メカニズムの解明を目指して研究を行った。

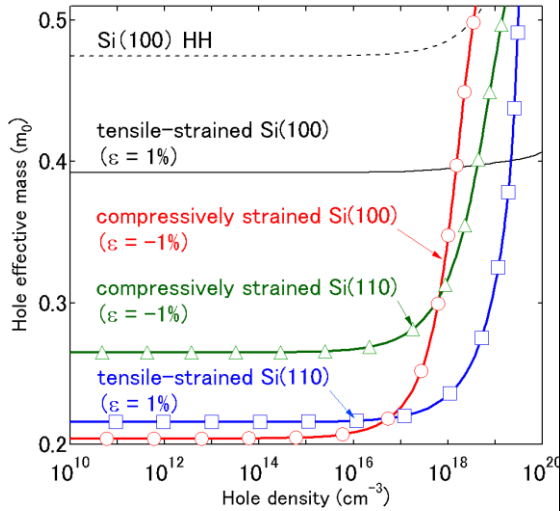


図 1 歪み Si 中の正孔有効質量

2. 研究の目的

本研究は、電子素子の高性能化と低消費電力化を可能にする $\text{Si}_{1-x}\text{C}_x$ 混晶ヘテロ薄膜を用いた新構造電子デバイスの実現を目的としている。理論計算から、新構造では無歪み Si に対して 2 倍以上の正孔移動度が期待されている。具体的な研究目的は以下の 2 点である。

- (1) シリコン・カーボン混晶ヘテロ構造の結晶成長過程における欠陥形成過程・応力緩和メカニズムの解明
- (2) 圧縮応力の印加による正孔実効移動度向上の実証

3. 研究の方法

- (1) Si(100) 基板上に $\text{Si}_{1-x}\text{C}_x$ 混晶ヘテロ構造を形成し、電子顕微鏡法・X 線回折法・顕微ラマン分光法・原子間力顕微鏡を用いて組成・歪み率・結晶欠陥の分布状況を調べ、成長条件・素子構造との関係を明らかにする。
- (2) p 型 MOSFET を作製し、正孔移動度の測定を行う。圧縮歪み Si チャネルの有無による特性を比較することにより、圧縮応力の印加による正孔実効移動度の向上を確認する。

4. 研究成果

(1) 歪み緩和 $\text{Si}_{1-x}\text{C}_x$ の形成条件の調査
 ガスソース分子線エピタキシー法による結晶成長において、基板温度・原料ガス流量を系統的に変化させ、成長層の欠陥形成・応力緩和過程に与える影響を調べた。結晶格子歪み率の測定は、X 線逆格子マッピング測定を用いて行った。図 2 に結果の一例を示す。

この試料は基板温度 550°C、ジシラン・トリメチルシラン（以下、それぞれ DS・TMS と略記する）の流量をそれぞれ 3.5 sccm・1.0 sccm とし成長した試料である。この条件では $\text{Si}_{1-x}\text{C}_x$ 層の歪みが緩和している。試料下部では格子歪が緩和しておらず、上部の歪み緩和層では、原料ガス流量は一定であるにもかかわらず、炭素組成が増大することが分かった。これは、格子歪による弾性エネルギーは炭素組成が高い程増大するが、一旦歪み緩和が起きると面内格子定数が減少するためにそれ以降の成長層では面内の格子ミスマッチが軽減されるためと考えられる。歪み緩和 $\text{Si}_{1-x}\text{C}_x$ 層の炭素組成 x は、バルクにおける固溶限よりはるかに高い 2.0 % 程度まで高めることが可能であることが分かった。

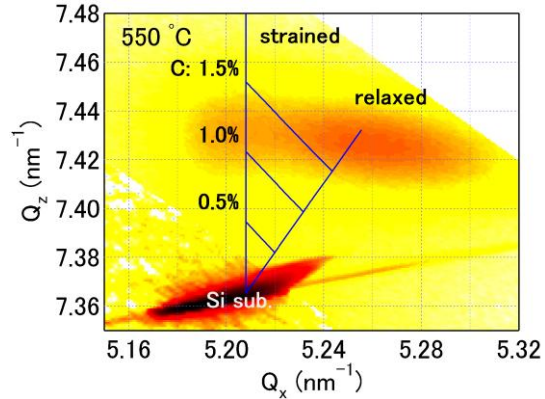


図 2 X 線逆格子マップ

本研究では、原料ガス流量比 (TMS/(TMS+DS)) を 0.17~0.33 の範囲で変化させた。また、結晶成長温度も変化させた。実施した実験の範囲では、 $\text{Si}_{1-x}\text{C}_x$ 層で歪み緩和が起きるのは TMS/(TMS+DS) = 0.20~0.22 の範囲で成長した場合のみであった。歪み緩和が起きた試料の断面 TEM 像を図 3 に示す。コントラストは結晶欠陥によるものである。他の試料についても TEM を用いて調べた結果、 $\text{Si}_{1-x}\text{C}_x/\text{Si}(100)$ 構造には(111)面を境界とする双晶構造が形成されやすいという傾向があることが分かった。これは、伸張性の歪み薄膜において表面が(100)面であると先行するショックレイ部分転位に作用する分解せん断応力が大きくなるという計算結果と符号する。つまり、観測された双晶構造は応力に起因する変形双晶であると考えられる。形成された双晶の結晶面は表面まで継承されるため、表面での結晶欠陥を低減するにはミスフィット転位の割合を増やす必要がある。このためには成長温度を上げるという方法が考えられ、高温での結晶成長を実施したが、成長温度を上げると格子置換位置炭素組成が低下し、結晶性も劣化する傾向が見られた。これは格子置換位置での炭素の熱的安定性が低いためである。また、膜内応力を高め

ることを意図して TMS の流量比を増やした場合も、結晶性の劣化が見られた。とりわけ面欠陥密度の増加が顕著で、試料によっては多結晶に近い状態となるものも見られた。結晶構造の解析と、結晶性劣化の理由については現在調査中である。

膜内に取り込まれる炭素の量と結晶成長条件との関係を調べるため、二次イオン質量分析法 (SIMS) を用いて試料内の炭素原子の分布を調べた。図 4 に、成長中の TMS の流量と基板温度が共通で DS の流量が異なる試料に関する測定結果を示す。SIMS で測定されるデータには、格子間位置に存在する炭素の組成も含まれている。図 4 に見られるように、炭素の含有量は TMS の流量比に従って単調に増加している。これに対し、格子置換位置炭素組成は、実施した実験の範囲では TMS 流量に依存ほとんど依存していない(図 5)。格子置換位置に存在する炭素は歪みエネルギーを増大させるため、このサイトに導入される炭素の組成が制限されていると考えられる。また、図 5 に示すように、格子置換位置炭素組成 (XRD 測定から求めた炭素組成) は、歪みが緩和している領域では高く、下部に存在する歪んだ領域では低くなっている。一方図 4 では膜内の全炭素組成分布はほぼ一定である。結晶欠陥の導入により歪みが緩和された領域では、格子置換位置炭素組成が増えても歪みエネルギーが比較的低いために歪んでいる領域と比較すると格子置換位置への取り込み率が増していると考えられる。表面近傍での格子置換位置炭素組成は、デバイスのチャネルとなる表面 Si 層の圧縮歪み量を決める。一方、格子間位置に存在する炭素は、キャリアの散乱要因になると考えられる。そこで、TMS 流量比を低減させることにより格子間位置炭素組成を抑制し、表面近傍で 2% 弱の格子置換位置炭素組成を維持できる条件を調べたが、TMS 流量比が 0.2 を下回ると、いずれの成長温度でも歪み緩和が見られなかった。

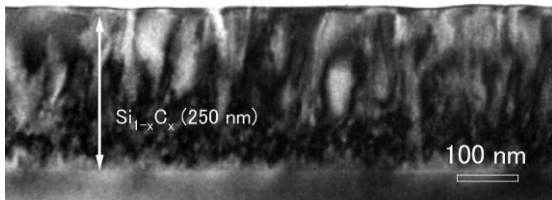


図 3 Si/歪み緩和 Si_{1-x}C_x/Si(100)の断面 TEM 像

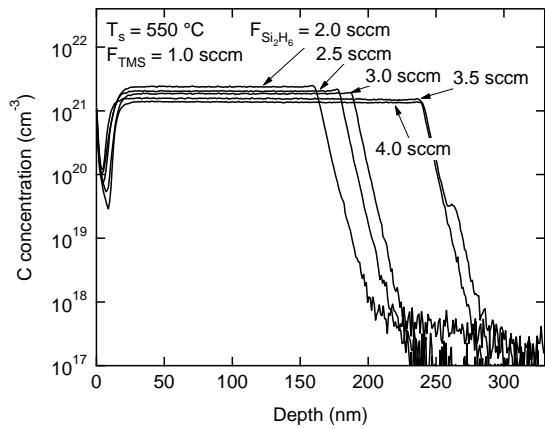


図 4 炭素組成分布

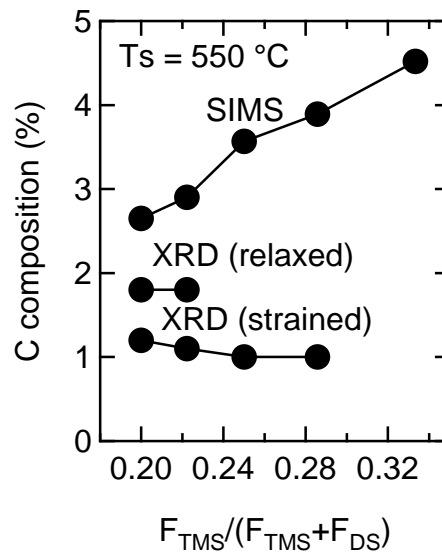


図 5 炭素組成の TMS 流量比依存性

(2) MOSFET の作製と移動度評価

圧縮歪み Si チャネル pMOSFET を作製し、IV 測定とスプリット CV 測定を行って正孔実効移動度 (μ_{eff}) を求めた。図 6 に結果を示す。圧縮歪み Si 層の存在は、XRD 測定とラマン分光測定から確認している。図 3 図 3 に見られるように結晶欠陥密度が高いにもかかわらず、圧縮歪み Si をチャネル層とするデバイスでは、同時に作製した Si-pMOSFET よりも移動度が向上している。比較のために、圧縮歪み Si を有していない Si_{1-x}C_x pMOSFET の移動度も評価したところ、正孔移動度は Si-pMOSFET の場合の半分程度であった。このことから、上記の正孔移動度の向上は Si 層に印加された圧縮応力の結果であると言える。

MOSFET 構造のソース・ドレイン領域は、イオン注入と熱処理によって形成する。イオン注入された領域はアモルファスに変化するが、熱処理によって再結晶化を行い、同時に注入イオン種を格子置換位置に導入して p 型にする。作製した試料のソース・ドレイン

部の電気抵抗が高いという問題点が見つかったため、ソース・ドレイン領域の形成条件について検討を行った。熱処理を 650°C で 1 時間行った場合 (図 6 のデバイスはこの条件で作製した)、Si pMOSFET では十分に結晶性が回復するのに対し、Si_{1-x}C_x 層を有する資料では、結晶性が回復せず、アモルファスであることが分かった。高い寄生抵抗はこのためであると考えられる。そこで、800°C で 1 時間熱処理したが、アモルファス状態の箇所は残っており、結晶化した箇所も結晶欠陥を多く含んでいることが分かった (図 7)。これらの結晶欠陥は、寄生抵抗の増大や、電気伝導の制御性の低下 (リーク電流の発生など) につながるため、欠陥形成を制御する手法を開発する必要がある。

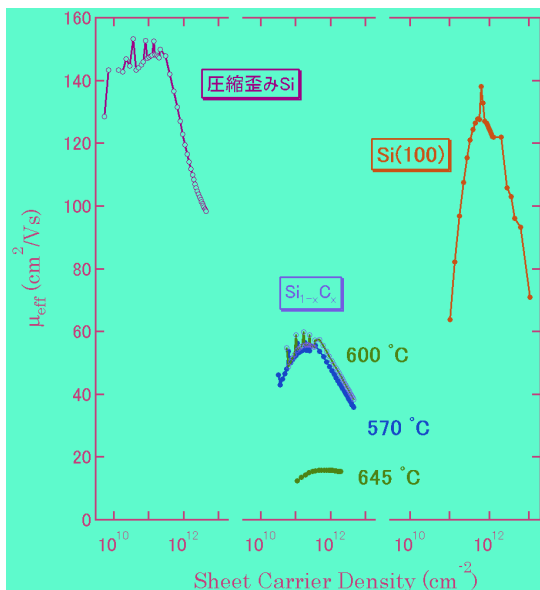


図 6 正孔実効移動度

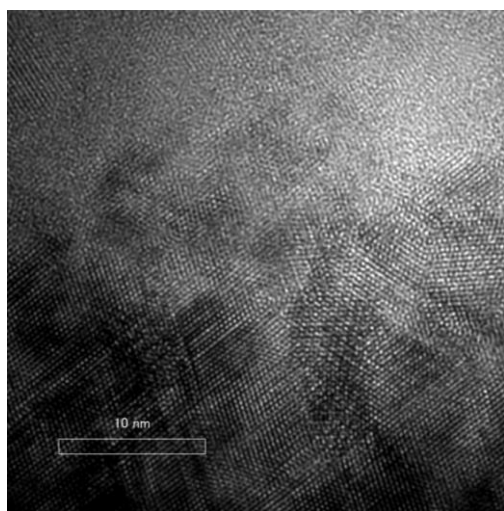


図 7 イオン注入後に 800°C で 1 時間熱処理した試料の高分解能 TEM 像

(3) 傾斜組成法による結晶性向上の試み

チャンネルとなる表面近傍での結晶欠陥を減少させるため、Si_{1-x}C_x 層の形成において炭素組成を徐々に増やす傾斜組成法を試みた。結晶成長の進行に伴って発生するミスフィット転位を、組成が異なる層の界面に局在させることができれば、表面での結晶性を向上させることができる。現時点までの実験で、TMS 流量比の変化に合わせて基板温度も最適化することにより、傾斜組成層の形成に伴って歪み緩和率を増大させることができるようになった。しかしながら、表面近傍での結晶性は大きく改善していない。結晶欠陥を詳細に調べるために、高分解能 TEM 観察を行った。図 8 に、傾斜組成法を用いて形成した試料の高分解能 TEM 像を示す。図中に見られる積層欠陥や双晶構造は、先に述べたように応力起因の結晶欠陥と考えられる。面欠陥の結晶方位は表面まで継承されやすいため、表面近傍での結晶性の改善を妨げる要因となっている。面欠陥ではなくミスフィット転位による緩和を如何にして誘導するか、ということが現在の課題である。

以上のように、歪み緩和 Si_{1-x}C_x 層を得るための結晶成長条件を調べ、基板温度や応力と Si_{1-x}C_x 層の歪み緩和プロセス・欠陥形成プロセスに与える影響についての知見が得られた。圧縮歪みの効果で正孔移動度が上昇することが確認された。結晶性の向上を阻害する要因が明らかになりつつあり、これらを克服することで更に高い移動度を実現できると考えている。

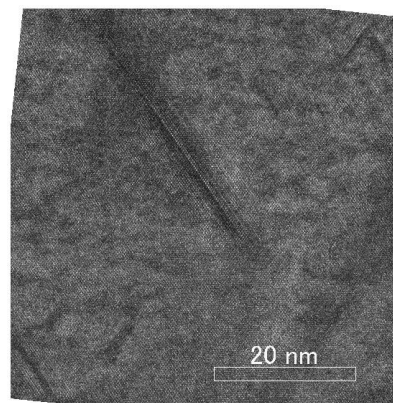


図 8 傾斜組成法で形成した試料の高分解能 TEM 像

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計3件)

- (1) “Formation of compressively strained Si/Si_{1-x}C_x/Si(100) heterostructures using gas-source molecular beam epitaxy”, K. Arimoto, H. Furukawa, J. Yamanaka, C. Yamamoto, K. Nakagawa, N. Uasmi, K. Sawano, Y. Shiraki, J. Cryst. Growth 362, 276-281 (2013)
<http://dx.doi.org/10.1016/j.jcrysgro.2011.12.008>
(査読有り)
- (2) “Reflectance anisotropies of compressively strained Si grown on vicinal Si_{1-x}C_x(001)”, R. E. Balderas-Navarro, N. A. Ulloa-Castillo, K. Arimoto, G. Ramíerz-Meléndez, L. F. Lastras-Martínez, H. Furukawa, J. Yamanaka, A. Lastras-Martínez, J. M. Flores-Camacho, N. Usami, D. Stifter, K. Hingerl, Appl. Phys. Lett. 102, 011902 (2013)
<http://dx.doi.org/10.1063/1.4773560>
(査読有り)
- (3) “Gas-source MBE growth of strain-relaxed Si_{1-x}C_x on Si(100) substrates”, K. Arimoto, S. Sakai, H. Furukawa, J. Yamanaka, K. Nakagawa, N. Usami, Y. Hoshi, K. Sawano, Y. Shiraki, J. Cryst. Growth (in press), 2013
<http://dx.doi.org/10.1016/j.jcrysgro.2012.12.115>
(査読有り)

[学会発表] (計3件)

- (1) “Gas-source MBE growth of compressively strained-Si/Si_{1-x}C_x/Si(100) heterostructures”, S. Sakai, H. Furukawa, K. Arimoto, J. Yamanaka, K. Nakagawa, Y. Hoshi, K. Sawano, Y. Shiraki, N. Usami, The 17th International Conference on Molecular Beam Epitaxy (2012年9月27日、奈良県新公会堂)
- (2) “圧縮歪み Si/Si_{1-x}C_x/Si(100)ヘテロ構造の形成と評価”、酒井翔一郎、古川洋志、有元圭介、山中淳二、中川清和、宇佐美徳隆、星裕介、澤野憲太郎、白木靖寛、第59回応用物理学会春季学術講演会(2012年3月16日、早稲田大学)
- (3) “ガスソース MBE 法による圧縮歪み Si/緩和 Si_{1-x}C_x/Si ヘテロ構造の形成と構造評価”、古川洋志、酒井翔一郎、有元圭介、山中淳二、中川清和、星裕介、宇佐美徳隆、第60回応用物理学会春季学術講演会(2013年3月28日、神奈川工科大学)

[その他]

ホームページ等

<http://www.inorg.yamanashi.ac.jp/ccst/1aboratories/nakagawa-lab>

6. 研究組織

(1) 研究代表者

有元 圭介 (ARIMOTO KEISUKE)

山梨大学・大学院医学工学総合研究部・准教授

研究者番号：30345699

(2) 研究分担者

なし

(3) 連携研究者

なし