

科学研究費助成事業 研究成果報告書

平成 30 年 8 月 22 日現在

機関番号：12601

研究種目：基盤研究(S)

研究期間：2012～2016

課題番号：24226014

研究課題名(和文) 生体に学ぶゆらぎエレクトロニクス

研究課題名(英文) Yuragi Electronics inspired by bio-system

研究代表者

田畑 仁 (Tabata, Hitoshi)

東京大学・大学院工学系研究科(工学部)・教授

研究者番号：00263319

交付決定額(研究期間全体)：(直接経費) 123,400,000円

研究成果の概要(和文)：スピングラス物性を示すガーネット型酸化鉄薄膜を、原子スケールでランダムネスとフラストレーション制御することで初めて合成した。この材料を用いた光誘起(書き込み)スピン記憶において、適応学習に代表される短期記憶増強、シナプス機能を確認した。さらに生体ゆらぎ機能を組み込んだチップを設計・試作し、ノイズによる信号増強効果を検証することに成功した。

研究成果の概要(英文)：The garnet type iron oxide thin films showing spin glass physical properties have been synthesized for the first time by controlling randomness and frustration at atomic scale. In photo-induced spin states, which corresponds to write/erase properties, can be demonstrated using these materials. Enhancement of short-term memory and synaptic behaviors such as adaptive learning are confirmed. Furthermore, we have designed and fabricated semiconducting chips incorporating the biological fluctuation function (stochastic resonance) and successfully verified the signal enhancement effect due to noise.

研究分野：理工学

キーワード：ゆらぎ スピングラス 散逸 ニューロモルフィック ブレインモルフィック

1. 研究開始当初の背景

現在のC-MOS型FETに代表されるエレクトロニクスデバイスにおいては、スケールリング則に沿って微細化を突き進め、如何に集積度を上げ、高速情報処理を実現するかに注力されてきた。従ってこれまで、**膨大なエネルギーを費やして「厳密制御」、「秩序構造維持」を実現**してきた。しかし、デバイスサイズの極限微小化に伴い、物理的限界に近づくと同時に、様々な“ゆらぎ／ばらつき”の問題が顕在化してきている。

本研究申請は、“**生体に学ぶ**”ことで、これまで“**悪者**”であった“**ばらつき、ゆらぎ**”を積極的に活用した**新しいデバイス(情報処理素子、メモリ素子)の実現**を目指すものである。生体が生来備え、巧妙に活用している“**情報のゆらぎ：確率共鳴現象による情報処理原理**”を利用するという、従来とは、全く逆の発想(アプローチ)により、**新しい情報処理システムの学理を構築し、超低消費電力デバイス(確率共鳴デバイス)を創製**する事を目的としている。これまで“**厄介者**”であった“**熱ゆらぎ/環境からのエネルギーを生かす**”逆転の発想による**超低消費電力デバイスの実現が期待**できる。

デバイス化には、生体ゆらぎを実現するための材料開発が不可欠である。**材料開発の観点から“ゆらぎ”を考えると、物性ゆらぎ(スピニングラス)を利用する事**とした。すなわち、スピニングラス、クラスタグラス材料の利用を検討している。

“**ガラス物性**”の持つ**ゆらぎ・ブラウン運動を記述する熱力学運動方程式として、Langevin方程式**が知られているが、この確率微分方程式をもとに、“**生体ゆらぎの基本式**”として、確率共鳴原理の式を用いたデバイス設計を実施する。

図1は、ニューロンの発火現象(d/dx)を**確率共鳴原理の式として表したものである**。生体での情報処理を示す多状態システムは、刻々変化する環境情報“ゆらぎ”を基に状態間を遷移し、最適状態を選択している。この時、**式中の η (ゆらぎ)の物性制御がこの提案デバイスの鍵となる**。

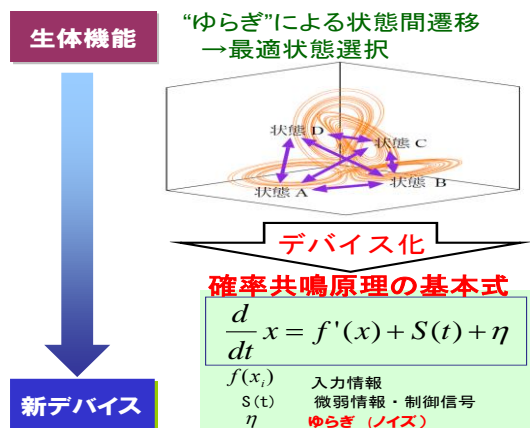


図1 生体機能に学ぶ新デバイス構造概念

2. 研究の目的

従来の半導体デバイスでは、室温(熱雑音)に対して十分に高いエネルギーを投入することで、高速かつ正確な演算を実現している。一方、生物の行う情報処理は、熱ゆらぎ(生体ゆらぎ)を巧妙に活用することによって、処理速度が低速であるが、熱雑音と同レベルの低エネルギーで確率的に動作する情報処理を行っている。この“ゆらぎ”情報処理の鍵は、環境からの“熱ゆらぎ”エネルギーを活用する点にあり、これまで“厄介者”であった“環境からの熱”を生かす逆転の発想による生体に学んだ超低消費電力デバイスの実現を目指す。すなわち、生体における“ゆらぎの利用”を“情報処理”へ活用することにより、脳機能に代表される生体機能を備えた、従来には無い新しい情報処理システムを構築し、生体に学んだ超低消費電力デバイス基盤技術の構築を目指した。

3. 研究の方法

【平成24年度、25年度】

生体ゆらぎを模倣するため、初年度はスピニングラスを利用する室温スピニングラス材料の開発を進める。先行研究で開発した、室温でスピニングラス(クラスタグラス)を示す材料：スピネル型フェライト材料 (Appl. Phys. Lett. 78 (2001) 512 & 76 (2000) 1179) を活用して、その“スピニングラス”を利用することで、生体ゆらぎの模倣を試みる。具体的な材料として $(Mg^{2+}, Fe^{3+})\{Mg^{2+}, Fe^{2+}, Fe^{3+}, Ti^{4+}\}_2O_4$, $(Ru^{3+}, Fe^{3+})\{Ru^{3+}, Fe^{2+}, Fe^{3+}, Al^{3+}\}_2O_4$, $Al_{0.5}Ru_{0.8}Fe_{1.7}O_4$ などを検討する。これらを、レーザー-MBEにより、 $SrTiO_3$, Al_2O_3 基板上へエピタキシャル成長させた薄膜を形成し、MCD, SQUID 等による磁気物性評価、およびマイクロプローブによる輸送特性評価を行った。

【平成26年度】

スピニングラス材料として酸化鉄を中心として、室温クラスタグラス、電気伝導性の制御を主眼とした物質設計を継続した。加えて、今年度はスピニングラス材料に於ける、“スピニングラス”を活用した情報処理素子の創製を目指す。シナプス情報処理の原理式が、スピニングラス状態と同値の物理的数式(ハミルトニアン)で示されることを利用して、スピニングラス材料により脳機能模倣型の情報処理素子を設計した。具体的には、磁性素子としてハードディスク等に用いられているトンネル磁気抵抗素子をモデルとして、磁性(100nm)/絶縁体(1~2nm)/スピニングラス材料のスピントネル接合素子において入力信号パルスの強度、パルス幅を違えることにより多入力を実現し、トンネル接合の障壁を閾値として、スピントネル電流を検出することにより、脳型低消費電力デバイスの作製を試みた。スピニングラスを認知・判断機能素子としてスピニングラスエキシジョン層に使用する事で、最適解と照合(認知・判断)するフィルター機能を評価した。

【平成 27 年度】

我々が提案するフェライト酸化物は、ハーフメタル磁性としても知られており、伝導電子のスピンの 100%配向しているため、磁性材料のホール抵抗 $\rho_H = \rho_{0B} + \mu_{\text{ORM}}(H)$ で示されるが、上式の異常ホール項 (第 2 項) に、スピングラスによる偏極率ゆらぎが内包されている為、スピングラス状態をスピン偏極率として活用し、生体ゆらぎ模倣素子の実現を目指した。スピントンネル磁気抵抗素子とは別のデバイス原理として、クラスターガラスのスピンカック運動量の状態をスピン軌道相互作用の大きな金属電極:Pt へ受け渡すことで(スピンポンピング)、逆スピンホール効果を用いた新しい脳型メモリ素子も作製した。

【平成 28 年度】

前年度までに得た研究結果をもとに、デバイスプロトタイプ作製を目指す。すなわち鉄系機能性酸化物の特異な磁気特性：スピングラス機能“スピンゆらぎ”を活用した情報処理素子の研究開発を実施した。シナプス情報処理の原理式が、スピングラス状態と同値の物理的数式(ハミルトニアン)で示されることを利用して、スピングラス材料により脳機能模倣型の情報処理素子の開発を目指す。具体的には、近年新規の磁性素子としてスピン波素子におけるスピン軌道相互作用を利用したスピン素子を作製した。スピングラスの多値状態に対応した、ジュール熱発生を伴わないスピン波信号を検出することにより、脳型低消費電力デバイスのプロトタイプを試作した。スピングラスを認知・判断機能素子としてスピンインジェクション層に使用する事で、最適解と照合(認知・判断)するフィルター機能を検証した。

【平成 29 年度 (繰越申請の補足説明)】

平成 29 年 1 月、完成した試作半導体チップの特性評価の結果、室温動作における環境揺らぎによる信号処理感度向上という設計特性が得られなかった。研究の遂行上、信号処理感度向上することが必要であることから、新たな半導体チップ設計の必要が生じた。そこで再度設計、試作 (VDEC を利用してロームにて作製) し、その特性を検証した。

4. 研究成果

4.1 スピングラスによる脳機能模倣

スピングラスの特徴的な記憶現象の一つであるエージング・メモリ効果について検証した。測定手順は Sun らの報告 (Y. Sun et al. Phys. Rev. Lett. 9, 167206 (2003).) に従った。磁場中冷却過程において T_g 以下の適当な温度 (ここでは 180, 150, 120 K) においてエージングをかける。その後、低温から一定速度で温度掃引した結果を図 2(a)に示す。通常の磁場中冷却過程の磁化と比較すると、エージングを行った温度近傍において磁化の減少が見られる。エージングによる磁化の変化率 $((M - M_{\text{ef}}) / M_{\text{ef}})$ は -1.8%で、ここでは 3 点のエージング温度の多値記憶を実現して

いる。この現象はスピングラスにおいて、準安定なスピン配列が複数存在する多谷ポテンシャル構造に由来する (図 2(a)挿入図)。 T_g 以下の各温度ではエージングによってより安定なスピン配列へと緩和し、緩和後はその状態を記憶している。その後、低温からエージングをした温度に戻すと、緩和後の状態に対応したスピン配列になることで起きる。その検証は冷却温度サイクル試験により実施した。図 2(b)、(c)はそれぞれ熱残留磁化及び等温磁化過程の時間変化を示し、測定温度を 120 K (t_1) → 115 K (t_2) → 120 K (t_3) と変化させた。各挿入図に示す通り、 $t_1 \rightarrow t_3$ は連続した時間変化を示し、緩和状態を記憶しているのが明らかである。これらは強磁性体や超常磁性体では観察されないスピングラスに特徴的な現象である。

脳型記憶素子の実現に向けた取り組みとして、LFCS クラスターガラスのスピンポンピ

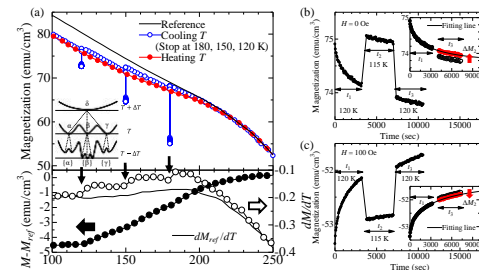


図 2. $\text{Lu}_3\text{Fe}_4\text{Co}_{0.5}\text{Si}_{0.5}\text{O}_{12}$ における (a) エージングメモリ効果、(b)熱残留磁化、(c)等温磁化過程の冷却温度サイクル試験。

ングと逆スピンホール効果による電圧検出により、シナプス模倣素子を実証した。図 3(a)に LFCS 薄膜 ($x=0.05$) の強磁性共鳴 (FMR) の測定結果を示す。ピーク間線幅 ΔH_{pp} は Pt 薄膜堆積前後で増加している。これは LFCS 内部で発生したスピン歳差運動のスピン角運動量が Pt 薄膜内の伝導電子に散逸された結果を反映しており、正常にスピンポンピングが行われていることを示している。逆スピンホール効果によって得られた電圧 V_{ISHE} は $30 \mu\text{V}$ 程度であった。

クラスターガラス相においては、光の照射によりスピン間の凍結を溶解し、準安定状態間の遷移を制御することが可能である。図 3(b)に光照射前後の FMR スペクトルを示す。光照射 (入射光強度: 29 mW/mm^2) によって共鳴磁場 H_{res} の高磁場側へのシフトと ΔH_{pp} の尖鋭化が確認された。一部熱による影響は存在するが、光照射によって $\text{Co}^{2+} + \text{Fe}^{3+} \rightarrow \text{Co}^{3+} + \text{Fe}^{2+}$ の原子価間電荷移動 (Intervalence Charge Transfer: IVCT) に伴う光誘起磁性の存在を示している。

これまでに報告したクラスターガラス相における準安定状態に起因する記憶現象を利用することで、脳のシナプスにおける長期増強 (Long-term potentiation: LTP) を模倣した電気特性を実現することができる。印加磁場を基底状態の共鳴磁場に固定し、10 分毎の光照射/停止サイクルを繰り返したとき

の V_{ISHE} の時間発展を図 3(c), (d) に示す。ここで図 3(c) はクラスターガラス相である 80 K、図 3(d) はフェリ磁性相である 300 K における測定結果を示す。クラスターガラス相では LTP に似た階段状の増強が見られた。これはスピン凍結温度より低温のクラスターガラス相でのみ見られる現象である。光照射による V_{ISHE} の増強は Co^{2+} とその周囲の Fe^{3+} の磁気モーメントの揺らぎに由来することが示唆される。光照射を入力信号、 V_{ISHE} をシナプス電位ととらえると、LFCS 薄膜は光履歴の学習機能を持つ脳型

4.2 スピン波素子の試作

スピングラスを介したスピン波伝搬を計測することを目的として、2 ポートのコプレーナ線路(CPWs)を用いたデバイスを作製した。試料は $\text{Y}_3\text{Fe}_5\text{O}_{12}$ (YIG) 薄膜でダンピング定数 $\alpha \sim 6.7 \times 10^{-5}$ (典型的な値は $10^{-3} \sim 10^{-4}$) と非常に小さいため、スピン波は数 mm ものマクロな距離を伝搬することが知られてる。

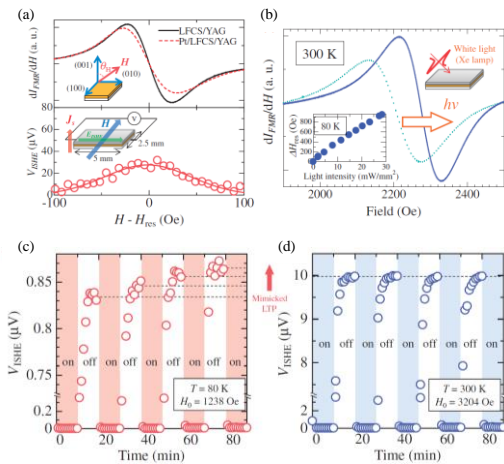


図 3. (a) LFCS 薄膜の FMR 信号と逆スピホール効果電圧。(b) 300 K における光照射前後の FMR スペクトル。(c) 80 K、(d) 300 K における LTP 模倣逆スピホール効果電圧。

本実験では外部磁場を薄膜表面に対して垂直に印加しており、MSFVW (magnetostatic forward volume wave) モードの伝搬が考えられる。作製したコプレーナ導波路の電極線幅および間隔はそれぞれ $10 \mu\text{m}$ とし、特性インピーダンスが約 50Ω となるように設計した。中心導体間の距離は $60 \mu\text{m}$ である。S パラメータの計測にはベクトルネットワークアナライザ (VNA, E5071C, Keysight) を用いた (図 4)。

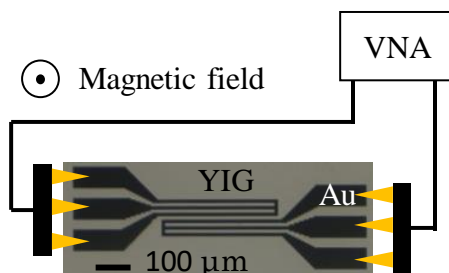


図 4. CPW によるスピン波伝搬測定の大略図

図 5 に VNA で計測した S パラメータの反射係数 S_{11} 及び伝達係数 S_{21} を示す。 S_{11} において 100 mT の磁場印加に伴い、 $f_{\text{FMR}} = 2 \text{ GHz}$ の周波数で強磁性共鳴が観測された。周波数半値幅 Δf_{FMR} から計算される Gilbert ダンピング定数は $\alpha = \Delta f_{\text{FMR}}/f_{\text{FMR}} = 0.07$ となる。これは一般的な YIG 薄膜と比べて大きな値であり、inhomogeneous broadening の項を含んでいる。正確な値の算出には磁場依存性を考慮する必要がある。 S_{21} は f_{FMR} 付近で信号が見られ、さらに高周波側で振動が見られており、スピン波の伝搬が観測された。振動間隔 Δf ($\sim 60 \text{ MHz}$) から算出されるスピン波群速度 $v_g = d \Delta f / \sim 3.6 \text{ km/s}$ (d : CPW 間距離) は先行研究と同程度の値を示している。以上の結果、CPW を用いた 2 ポート計測においてスピン波伝搬が確認できた。

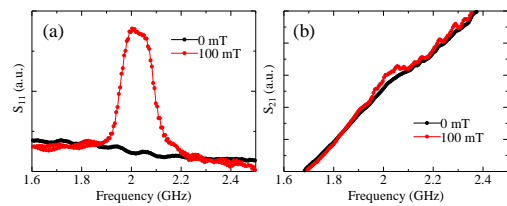


図 5. VNA により計測した S パラメータの (a) 反射係数 S_{11} 及び (b) 伝達係数 S_{21}

4.3 確率共鳴チップの試作

確率共鳴 (Stochastic Resonance: SR) は、ニューロンのような非線形閾値型の信号伝達システムに閾値以下の微弱な信号とノイズが入力されたとき、それらが確率的に共鳴することによって出力側に位相情報が伝達される現象である。通常、ノイズはシステムの信号伝達を阻害するが、SR 現象を伴うシステムでは適度な強度のノイズがあるときのほうが出力の信号/ノイズ比 (SNR) が向上する。この原理を応用することで、ノイズを利用して低電力動作が可能になる。図 6(a) は、入力が閾値を超えるとパルス発火するような非線形閾値ユニットに微弱な信号とノイズを加えたときの動作を示した。入力が微弱信号のみのときは閾値を超えないため出力されないが、ノイズを重ねることで信号が確率的に閾値を超えて出力される。(図中矢印) ノイズ強度が大きいほど閾値超える信号の確率は高くなるが、大きすぎると出力が乱される。そのため、SNR 自体はノイズ強度の変化に対して図 6(b) 並列数: 1 ユニット) のような釣り鐘型の曲線となる。このため、単一の SR ユニットを信号検出に使う場合、高い SNR (釣り鐘型曲線の最大値) を得るためにノイズ強度を Tuning する必要がある。

一方、SR ユニットを並列化する (これを、並列 SR システムと呼ぶ) ことにより、広範囲の強度のノイズで SNR を向上できるようになる。例えば、SR ユニットの並列数が 100 の場合、図 6(b) 並列数: 100 ユニット) に示すようにあるノイズ強度以上では、SNR が向上したまま変化しなくなる。(これは、Without

Tuning 効果と呼ばれている。) この並列 SR システムをセンサ信号検出に用いると、ある強度以上のノイズさえあれば検出感度の向上が可能になる。また、並列 SR システムでは、信号の位相検出だけでなく、非周期の信号自体を復元することができる。これらの性能は、並列数が増えるほど高くなる。

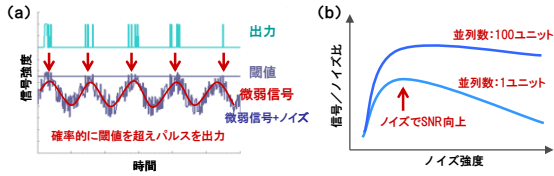


図 6 (a) 確率共鳴現象の説明 (b) 並列化による S/N 比の向上と Without Tuning 効果例。

しかし、並列 SR システムの原理を実際の信号処理で利用する場合、多数の SR ユニットの信号周波数の帯域でリアルタイムに並列動作させることが要求される。これを計算機でプログラマティックに処理する場合、SR ユニットの数が多くなると処理速度が低下してしまう。一方、電子回路では SR ユニットの回路を並列ユニット数だけ作製する必要がある。そこで、このような特殊なハードウェアを Application Specific Integrated Circuit (ASIC) によって構築することとした。

並列 SR ユニットシステムの ASIC チップでは、単一の SR ユニットのベースクロックでループ処理することによって擬似的にユニットの並列数を増やすことができる。SR ユニットは、デジタル回路で実装し、最大で 2^{16} の並列で動作させるように設計した。

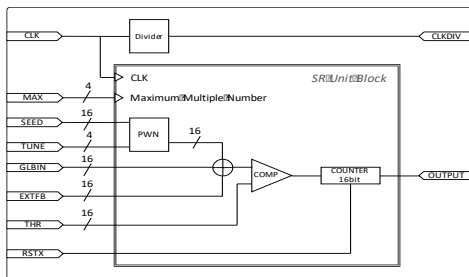
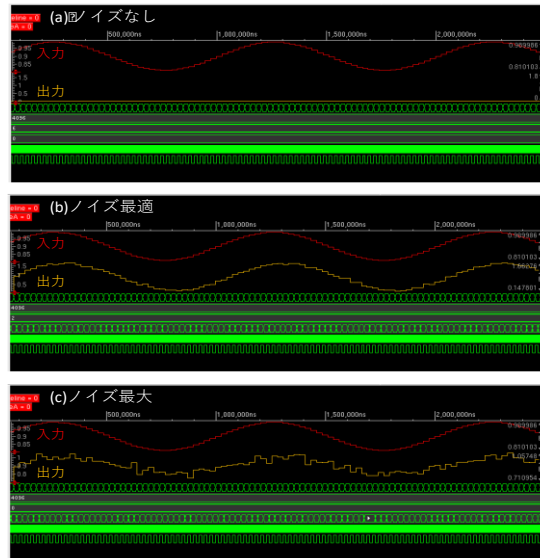


図 7 並列 SR システム ASIC のブロック図

図 7 に並列 SR システム ASIC のブロック図を示す。チップは、確率共鳴に必要な 3 要素である微小信号入力、ノイズ発生器、非線形閾値判別器 (コンパレータ) をデジタル回路によって実装した。信号のフローは、まず 2 系統の 16 ビットデジタル入力から入力された信号と内部の疑似乱数発生回路で生成した 16 ビット乱数を後段の加算器で足し合わせ、その信号と設定された閾値 (THR) をコンパレータによって比較し、これが閾値を越えた場合は High を出力する。さらに後段の 16 ビットカウンタによって並列数分のループ処理中に閾値越えした回数をカウントし、ループ処理終了後にその値を出力する。この回数は、信号-閾値間距離に反比例する。よって、信号強度が強くなって、閾値との距離が

近づくと出力回数が増加するため、この時間出力は入力信号そのものを復元することになる。疑似乱数発生回路は、ベースクロックと同じ速度で動作し、SR ユニットの各反復ごとに無相関なノイズを提供できるようになっている。また、チップの動作速度は、外部クロックによって決定できるようになっている。本システムが対象とする信号の種類は可聴帯を想定しているため、40kHz の信号に対して 1024 並列の処理を想定した。よって、ベースクロックは 40MHz を想定している。また、ADC と DAC を同期させるため、ベースクロックの分周クロックを出力するように設計した。

図 8 並列 SR システム ASIC のタイミングチャート



この回路の動作シミュレーションの結果を図 4 に示す。ここでは、1kHz の sin 波の微弱信号入力に対する出力信号のノイズレベル依存性を測定している。ここで、外部クロックは 40MHz、並列数は 1024、帯域は 40kHz とした。ノイズ強度が 0 のときは出力側には信号は出力されおらず、最適なノイズ強度 (2^{14}) のときは復元された高 SNR の sin 波が出力されている。さらにノイズ強度を最大 (2^{16}) にした場合でも信号が復元されていることから、Without Tuning の効果が現れている。よって、設計の ASIC チップを用いることで、広範囲のノイズ強度においてリアルタイムでの信号検出・復元が可能になった。

本システムでは、信号の入出力および ASIC のコントローラ部分を Field Programmable Gate Array (FPGA) を用いて実装した。図 9 に作製した評価システムのブロック図を、また図 10 に各デバイスとコントローラのユーザーインターフェース (UI) の写真を示す。INPUT1 および INPUT2 より入力されたアナログ信号は、FPGA に実装された 16bit ADC によって 16 ビットデジタル信号に変換される。(出力側はその逆。) FPGA の動作電圧が 3.3V であり、ASIC チップが 1.8V であるため、それらの間に電圧トランスデューサを介して接続している。変化された信号は、ASIC チップ

プの GLBIN および EXTFB 端子から入力され、ASIC チップの COUT を FPGA の DAC に入力し、システムの OUTPUT として取り出す構成になっている。また、FPGA の制御 PC のフロントパネルより、ASIC チップのクロック、疑似乱数のシード、ノイズの強度、SR ユニットの閾値、並列数を制御した。

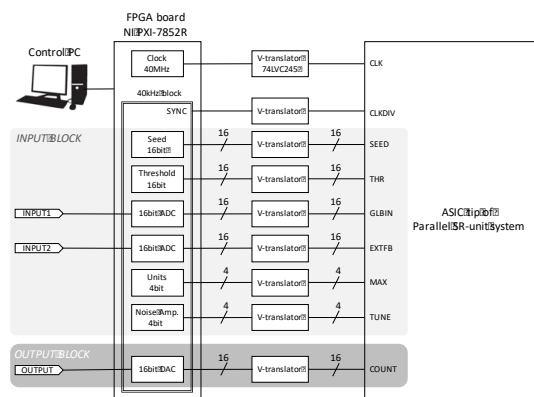


図9 並列SRユニットASICチップの評価システムのブロック図

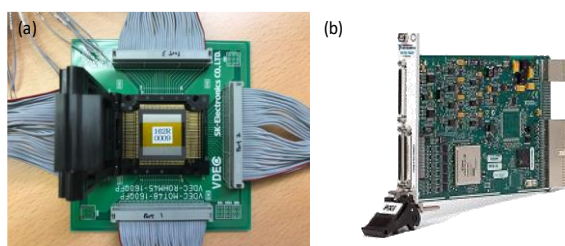


図10 評価システムのハードウェア構成。(a)今回作製したASICチップの写真、(b)コントローラを用いたFPGAボード(NI PXI-7852R)、

本システムでは、2系統の外部アナログ入力をもうけている。一つの入力に外部センサからの微弱信号を入力することで、チップ内部で発生させたホワイトノイズを用いて信号を再現することができる。また、もう一つの入力を用いて材料ゆらぎを使うこともできる。この場合、材料物性のゆらぎが生じる特異なノイズによるSR効果の変化をテストすることができるようになっている。

最終的に作製されたASICチップおテストした。チップテストによる入力電圧1.6V~2.0V、周波数40MHz~250MHzの条件範囲での動作テストした結果、一部の低電圧・高周波数の特殊な領域を除いて、我々の設計通り問題なく動作することが確認できた。

まとめ

スピングラス物性を示すガーネット型酸化鉄薄膜を初めて合成し、適応学習に代表されるシナプス機能を確認した。さらに生体ゆらぎ機能を組み込んだチップを設計・試作し、ノイズによる信号増強効果を検証することに成功した。

5. 主な発表論文等

〔学術雑誌〕(計61件)

1. “生体ゆらぎ物性とエレクトロニクスとの融合”(Electronics inspired by the fluctuation of biosystem)、田畑仁、応用物理、86(1)、12-24(2017)〔査読有〕
(<https://www.jsap.or.jp/ap/2017/01/ob860012.xml>)
 2. “Spin-glass behaviors in carrier polarity controlled $\text{Fe}_{3-x}\text{Ti}_x\text{O}_4$ semiconductor thin films”, H. Yamahara, M. Seki, M. Adachi, M. Takahashi, H. Nasu, K. Horiba, H. Kumigashira and H. Tabata, J. Appl. Phys., 118, No. 6, 063905 (1-7) (2015)〔査読有〕
(<http://dx.doi.org/10.1063/1.4928408>)
 3. “Long-term potentiation of magnonic synapses by photocontrolled spin current mimicked in reentrant spin-glass garnet ferrite $\text{Lu}_3\text{Fe}_5-2x\text{Co}_x\text{SixO}_{12}$ thin films” Masaki Adachi, Munetoshi Seki, Hiroyasu Yamahara, Hidekazu Nasu and Hitoshi Tabata Applied Physics Express 8, No. 4, 043002-1-4 (2015)〔学会発表〕(計173件)〔図書〕(計6件)〔その他〕JSPS Core-to-Core 先端研究拠点形成事業(散逸ゆらぎ制御ナノ電子フォトン国際研究拠点)
- ## 6. 研究組織
- (1)研究代表者
田畑 仁 (TABATA, Hitoshi)
東京大学・大学院工学系研究科・教授
研究者番号：00263319
 - (2)研究分担者
松井 裕章 (MATSUI, Hiroaki)
東京大学・大学院工学系研究科・准教授
研究者番号：80397752
 - (3)研究分担者
関 宗俊 (SEKI, Munetoshi)
東京大学・大学院工学系研究科・准教授
研究者番号：40432439
 - (4)連携研究者
堀田 育志 (HOTTA, Yasushi)
兵庫県立大学・工学研究科・准教授
研究者番号：30418652
 - (5)連携研究者
横田 紘子 (YOKOTA, Hiroko)
千葉大学・理学研究科・助教
研究者番号：50608742
(平成24~26年度)
 - (6)連携研究者
山原 弘靖 (YAMAHARA, Hiroyasu)
東京大学・大学院工学系研究科・助教
研究者番号：30725271
(平成27~29年度)