

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 9 日現在

機関番号：10101
研究種目：基盤研究(B)
研究期間：2012～2014
課題番号：24300012
研究課題名(和文)低消費エネルギー化プロセッサアーキテクチャの創出

研究課題名(英文)Development of Low Energy Processor Architecture

研究代表者
本村 真人(MOTOMURA, MASATO)

北海道大学・情報科学研究科・教授

研究者番号：90574286
交付決定額(研究期間全体)：(直接経費) 13,900,000円

研究成果の概要(和文)：処理の内容が多岐にわたり、かつ低消費電力性が強く求められる組み込み用途をターゲットとして、動的再構成を必要最小限にとどめることで柔軟性と低消費電力性の両立を目指した新たなプロセッサアクセラレータのアーキテクチャを提案した。このアーキテクチャをControl-Flow Driven Data-Flow Switching (CDDS)アーキテクチャと名付け、その詳細設計とテストチップ設計を進め、実チップ測定によりその電力低減効果を実証した。評価結果をまとめた論文が半導体分野では大きな国際会議であるA-SSCCに採択され、論文発表並びにデモ公開を行った。

研究成果の概要(英文)：We have developed a processor architecture which features restricted dynamic reconfiguration of datapath for the sake of keeping general-purposeness and low-powerness at the same time, targeting toward embedded system application where those two features are mandatory requirement. We have named the architecture is named Control-Flow Driven Data-Flow Switching (CDDS), and conducted detailed design and test chip design. Through measurement of the fabricated test chip, we have confirmed reasonable power reduction by the proposed architecture. We have presented the results at one of major international conferences in circuit design, A-SSCC, and showed demonstration of the chip successfully.

研究分野：リコンフィギュラブルハードウェア

キーワード：リコンフィギュラブル 組み込みシステム プロセッサ 低電力 低エネルギー

1. 研究開始当初の背景

近未来の社会構想として注目されているスマートソサイエティは、身の回りに偏在する小型機器(各種センサやモバイル端末、等)にプロセッサ(周辺回路も含めてマイクロコントローラと呼ばれることが多い)を埋め込み、一次的な情報処理やインテリジェントな機器制御を行わせることをその技術基盤としている。このような用途のプロセッサに求められるのは一に低消費エネルギー性である。一方、プロセッサの基本アーキテクチャは過去常に処理能力の向上を目指して進化してきた。それにも関わらず、プロセッサの低消費エネルギー化(=性能/電力の向上)を目指した研究は、過度な性能追求を避けるために若干簡素化する以外は、既存アーキテクチャをそのまま用いて回路技術を工夫する(クロック制御、電源制御、等)分野に集中していた。これらの研究は重要ではあるが、それに加えてアーキテクチャを根本から見直して低消費エネルギー化を実現する研究が求められていた。

2. 研究の目的

リコンフィギュラブル技術はハードウェア処理の高い処理効率(すなわち省エネルギー性)とソフトウェア処理の柔軟性の両立を目指した技術である。これまでもリコンフィギュラブル技術の優れた省エネルギー性は知られてはいたものの、画像処理等の特定分野で、プロセッサの外付けアクセラレータとしてその性能を加速する目的でしか利用されてこなかった。本研究では、研究代表者の本分野に関するこれまでの研究を発展させ、プロセッサ内部アーキテクチャにリコンフィギュラブル技術を発展的に融合させることで、プロセッサそのものを低消費エネルギー化することを狙った。

3. 研究の方法

従来、プロセッサのコア数を増やし、並列に実行することで性能を上げる、マルチプロセッサが提案された。しかし、従来の構造を引きずっているために、性能電力比の大幅な向上は見込めない。一般に、汎用プロセッサの消費電力は、(1) 命令読み込み、(2) 制御、(3) レジスタアクセス、(4) パイプラインレジスタで全体の 2/3 以上を占めており、(5) Arithmetic Logic Unit (ALU) による電力消費は 10% 以下であることが知られている。ALU の電力が演算に必要な本来の電力と考えると、その他の電力は演算をプロセッサで実行するために必要な電力であり、削減可能な部分である。そこで、プログラムをハードウェア実行することで、従来のプロセッサにあった削減可能な電力を削減し、並列実行により性能を上げることで性能電力比向上を達成するプロセッサが提案されている。

コンフィギュラブルプロセッサはプログラム内のホットバス部を Hardware (HW) 化し、プログラム実行時に HW で処理を行う。プログラムを HW 化して実行するため、汎用プロ

セッサで実行するよりも大幅な性能電力比の向上を見込める。しかし、HW 化しているために、汎用性がないという問題がある。そこで、Reconfigurable Hardware (RH) を持つ、Reconfigurable Processor (RP) が提案された。RP は動作前に RH を再構成することが可能で、汎用性を持ちつつ、性能電力比の向上を狙うアプローチである。しかし RH を多数の Processing Element (PE) で実装しても、大規模なプログラムを一度にマッピングすることはできない。この問題を解決するのが Dynamically Reconfigurable Processor (DRP) である。DRP は、アプリケーションを時分割し、RH を実行時に再構成することで大規模なプログラムを実行することができる。しかし、再構成するときには電力が必要となり、再構成を頻繁に行う場合には多くの電力が必要になるという問題がある。

本研究では広範囲なアプリケーションに対して性能電力比の向上を目指した Control-Flow Driven Data-Flow Switching (CDDS) 可変データパスアーキテクチャを提案する。はじめに、CDDS では、RH 実行に柔軟性を持たせつつも、可能な限り動的再構成の範囲を減らすことを目指す。コントロールフローの分岐点で、一部のデータパスのみを切り替えることで、従来の DRP に比べ、再構成を減らすことができ、低消費電力化を見込む。

4. 研究成果

一般的にプログラムをコントロール/データフローグラフで表したときに、コントロールフローの分岐点で、次に実行するデータフローが選択される。このとき、実際に変更されるデータフローは実行中のデータフローから、選択したデータフローへの接続部分のみである。よって、プログラムのデータフローを RH にマッピングしたとき、コントロールフローの分岐点では接続部分を構成している部分のみ再構成すればよい(図 1)。我々はこの観点より、データパスを可変部と固定部に分割し、実行時に可変部のみ再構成することを考えた。これにより、全体を再構成するのに比べ、可変部のみで済むために、動的再構成する部分を減らすことができる。また、固定部は切り替ええないために組み合わせ的に実行することができる。そこで、既存の命令列を固定部に配置し、組み合わせ的に実行する。このように動的再構成を必要最小限な範囲に限定することで低消費電力化を狙う CDDS を提案した(図 2)。

図 2 において、全 BB 内のデータフローの構成情報を一つ保持する。この構成情報により、RH の Switching Element (sw) と Processing Element (PE) で実装した固定部に BB 内のデータフローを構成する。次に、BB 間でデータを受け渡すために必要なデータフローの構成情報を複数コンテキスト文用意する。固定部には BB 内のデータフロー

が構成されており、可変部はコンテキストに従い、BB にデータを供給する。例えばコンテキスト2の場合、可変部はBB1 からBB2 へ、BB2 からBB4 へデータを供給する。プログラム実行はコントロールフローの分岐点でコンテキストを切り替え、可変部を再構成することで進める。可変部には演算器はないため、コンテキストに演算情報は含まない。そのため、DRP のように演算情報を含むコンテキストよりもサイズを小さくすることができる。

CCDS をアクセラレータとして持つプロセッサの全体構成を図3に示す。CCDS アクセラレータはデータパスを構成するサブスイッチとメインスイッチ、コンテキストを切り替えるコンテキストコントローラ、構成情報を読み込むコンフィギュレーションローダで構成する。本体プロセッサが rhc 命令をデコードするとコンフィギュレーションローダが命令メモリから構成情報読み込み、データパスを構成する。rhr 命令をデコードすると、コンテキストコントローラがコンテキストを切り替え、CCDS アクセラレータが実行を始める。CCDS アクセラレータではプログラム中のホットパスを実行する。それ以外の計算は本体プロセッサで行うため、ホットパスまでの計算結果はRF、データメモリに保存されており、RF とデータメモリからデータを読み書きすることが必要である。そのため、本体プロセッサのRFの一部を共有することになる。

このアーキテクチャに基づき、実際に詳細設計を進めると共に、テストチップ設計を行った。図4に試作したチップの写真を示す。UMCO.18um プロセスを用い、1.5mm 角のチップに4ステージ(5ALU/ステージ)の演算器アレイと5コンテキスト分のコンテキストメモリを集積した。なお、試作したアクセラレータは、動的(Dynamic) and 静的(Static)双方の部分を持ち合わせるという意味合いで、DYNaSTA と名付けている。

図5にテストチップの評価結果を示す。通常プロセッサ(Mico32)上で実行するよりDYNaSTA アクセラレータで実行した方が大幅に電力を削減できることがわかる。図6は、その電力消費の内訳を示したものである。演算を担当する固定部(STA)の消費電力が従来プロセッサに比較してより大きな割合を占めており、初期コンセプト通りの結果が得られたことが確認できた。

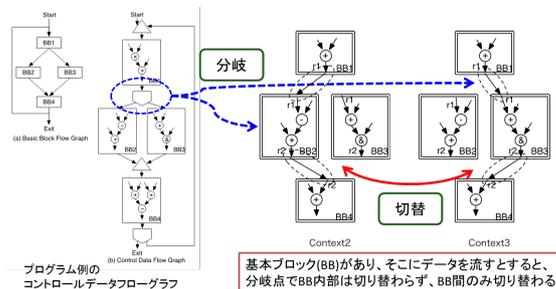


図1

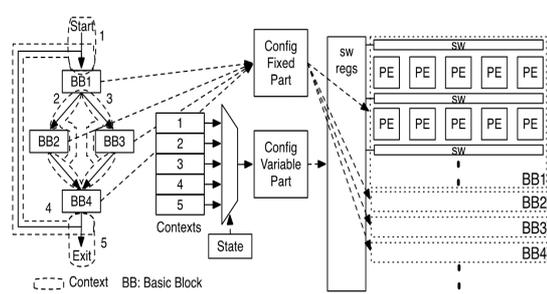


図2

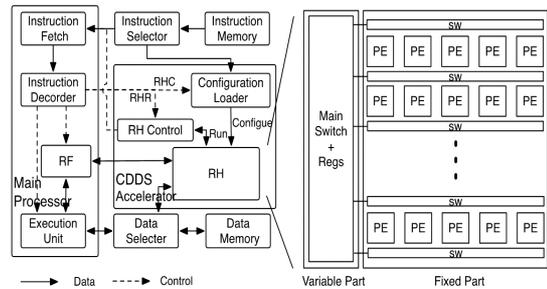


図3

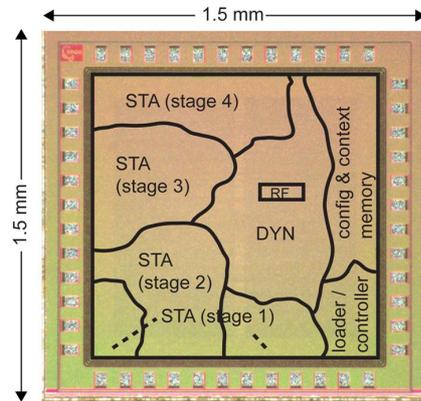


図4

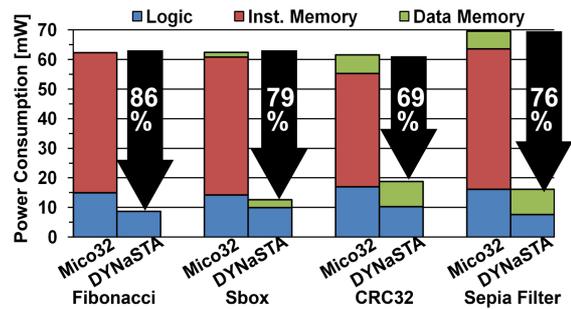


図5

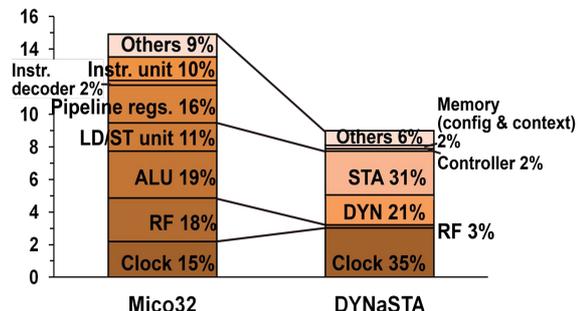


図6

5. 主な発表論文等
(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計2件)

1. Hsu L.-C., Motomura M., Take Y., and Kuroda T., "Through chip interface based three-dimensional FPGA architecture exploration," IEICE Transactions on Electronics, vol. E98-C, no. 4, pp. 288-297 (2015)
2. Kim D., Hida I., Fukuda E.S., Asai T., and Motomura M., "Reducing power and energy consumption of nonvolatile microcontrollers with transparent on-chip instruction cache," Circuits and Systems, vol. 5, no. 11, pp. 253-264 (2014).

[学会発表](計12件)

1. Kim D., Hida I., Fukuda E.S., Asai T., and Motomura M., "A study of transparent on-chip instruction cache for NV microcontrollers," The 7th International Conference on Advances in Circuits, Electronics and Micro-electronics, Mercure Lisboa, Lisbon, Portugal (Nov. 16-20, 2014).
2. Hida I., Kim D., Asai T., and Motomura M., "A 4.5 to 13 times energy-efficient embedded u-processor with mainly -static/partiallydynamic reconfigurable array accelerator," Proceedings of the Asian Solid-State Circuits Conference 2014, pp. 37-40. 85 Sky Tower Hotel, KaoHsiung, Taiwan (Nov. 10-12, 2014).
3. Hirao T., Kim D., Hida I., Asai T., and Motomura M., "A restricted dynamic reconfigurable architecture for low power processors," 2013 International Conf. on ReConFIGurable Computing and FPGAs. Hotel Iberostar Cancun, Cancun, Mexico (Dec. 9-11, 2013).
4. Hirao T., Kim D., Hida I., Asai T., and Motomura M., "A restricted dynamic reconfigurable architecture for low power processors," Proceedings of the 18th Workshop on Synthesis And System Integration of Mixed Information Technologies, pp. 267-268. Hotel Sapporo Garden Palace, Sapporo, Japan (Oct. 21-22, 2013).
5. 金 多厚, 肥田 格, 浅井 哲也, 本村 真人, "不揮発性メモリ搭載マイコンの低電力化を目的とした透過型命令キャッシュの提案と評価," 電子情報通信学会集積回路研究会・コンピュータシステム研究会合同平成26年度若手研究会, 機械振興会館, (東京), 2014年12月1-2日.

6. 肥田 格, 平尾 岳志, 金 多厚, 浅井 哲也, 本村 真人, "組み込みプロセッサの低電力化に向けた限定的動的再構成アクセラレータの設計と評価," LSI とシステムのワークショップ, 北九州国際会議場, (北九州市), 2014年5月26-28日.
7. 金 多厚, 平尾 岳志, 肥田 格, 浅井 哲也, 本村 真人, "命令キャッシュ導入によるフラッシュメモリ搭載マイコンの低電力化," 情報処理学会 計算機アーキテクチャ研究会, 東京工業大学, (東京), 2014年1月23-24日.
8. 平尾 岳志, 金 多厚, 肥田 格, 浅井 哲也, 本村 真人, "低消費電力プロセッサのための限定的動的再構成アーキテクチャ," 電子情報通信学会 リコンフィギャブルシステム研究会, 北陸先端科学技術大学院大学, (能美), 2013年9月18-19日, 4年1月23-24日.
9. 平尾 岳志, 安達 琢, 浅井 哲也, 本村 真人, "低消費電力プロセッサのための限定的動的再構成アーキテクチャの提案," 先進的計算基盤システムシンポジウム, (仙台), 2013年5月.
10. 平尾 岳志, 安達 琢, 浅井 哲也, 本村 真人, "プロセッサの低電力化に向けた連鎖型データパスの実装と電力評価," LSI とシステムのワークショップ, (北九州), 2012年5月.
11. 安達 琢, 平尾 岳志, 浅井 哲也, 本村 真人, "低消費電力プロセッサのための連鎖型データパスの提案 I," 電子情報通信学会総合大会, (岡山), 2012年3月.
12. 平尾 岳志, 安達 琢, 浅井 哲也, 本村 真人, "低消費電力プロセッサのための連鎖型データパスの提案 II," 電子情報通信学会総合大会, (岡山), 2012年3月.

[図書](計0件)

[産業財産権]

出願状況(計0件)

取得状況(計0件)

[その他]

ホームページ等

<http://lalsie.ist.hokudai.ac.jp/jp/>

6. 研究組織

(1)研究代表者

本村 真人(Motomura, Masato)

北海道大学・情報科学研究科・教授

研究者番号: 90574286

(2)研究分担者

浅井 哲也(Asai, Tetsuya)

北海道大学・情報科学研究科・準教授

研究者番号: 00312380

(3)連携研究者

枝廣 正人(Edahiro, Masato)

名古屋大学・情報科学研究科・教授

研究者番号: 50578854