

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 9 日現在

機関番号：17104

研究種目：基盤研究(B) (一般)

研究期間：2012～2015

課題番号：24360111

研究課題名(和文)超高密度パワーSOC(Supply on Chip)用集積回路基板の研究

研究課題名(英文)Study on a substrate for ultra high density power supply on chip

研究代表者

松本 聡(Matsumoto, Satoshi)

九州工業大学・大学院工学研究院・教授

研究者番号：10577282

交付決定額(研究期間全体)：(直接経費) 14,300,000円

研究成果の概要(和文)：電源の研究開発トレンドは小型化であり、電源の究極の小型化が実現できるパワーSoC(Supply on Chip)が注目を集めている。電源の小型化に対しては、スイッチング周波数の高周波化が有効な手段の1つである。一方、電源の小型化は発熱の問題で限界に達する。SOI(Silicon on Insulator)基板は寄生容量を低減できるため高周波スイッチングに適した基板技術であるが、埋め込み酸化膜の熱伝導率が小さく発熱の問題がある。本研究では、SOIの埋め込み絶縁膜として熱伝導率の大きなダイヤモンド薄膜を用いたSOD基板の製造方法について提案するとともにその効果を明らかにする。

研究成果の概要(英文)：R&D trend for the power supply is how to reduce the volume and power SoC(Supply on Chip) is attracted attentions of many researchers because it can ultimate miniaturization of the power supply. To increase the switching frequency of power supply is one of the promising candidates to reduce the size of power supply. On the other hand, to reduce the size of power supply has a limitation because of self heating. SOI(Silicon on Insulator) substrate is suitable for high frequency switching because of minimization of the parasitic capacitance however it has a problem of self heating because small thermal conductivity of the buried SiO₂ layer.

In this study, we propose the SOD(silicon on Diamond) substrate which has larger thermal conductivity of the diamond film used as a buried insulator layer and fabrication process of it. In addition, we also report the impact of SOD substrate as a counter part of SOI substrate.

研究分野：パワーエレクトロニクス

キーワード：集積化電源 Si on Diamond 排熱

1. 研究開始当初の背景

低炭素社会実現に向けて、化石燃料を燃焼するエネルギーから電力エネルギーへの転換が推進されており、経済産業省から出された超長期エネルギービジョンでは、2050年には2次エネルギーに占める電力の割合(電力化率)を現在の約2倍の50%まで拡大し、かつ40%を省エネする必要があることが示されている(図1)[1]。このような状況下、パワーエレクトロニクスはエネルギーの有効利用にかかわるキー技術であり、は電力変換装置である。パワーエレクトロニクスでキーとなる装置は電力変換装置である。

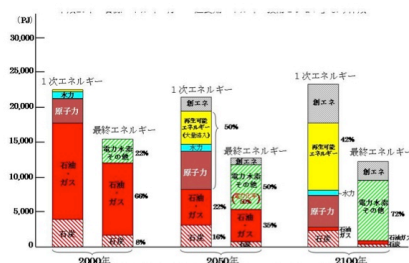


図1 資源エネルギー庁の超長期エネルギービジョン[1]

このような背景のもと、パワー半導体をキーデバイスとするパワーエレクトロニクス技術はその重要性が認識され、CoolEarth50の技術群に選定されている(「Cool Earth-エネルギー革新技術計画」経済産業省2008年)。このパワーエレクトロニクス技術でキーとなる電力変換装置は小型化が研究開発のドライビングフォースとなり、15年で1桁程度小型化している(図2)[2]。今後、この小型化された高効率な電力変換機器を多数用いて電力を有効

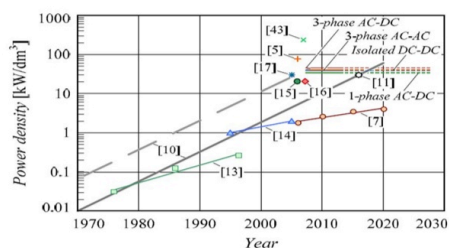


図2 電源の小型化のトレンド[2]

利用することが重要となる。具体的には、小型化した電源を多数用いることにより、新たな電源の適用領域の創出や電源1台あたりの電流負荷を小さくすることによる高効率な給電等が実現できる。しかしながら、**発熱**等の問題により小型化に対して、2010年~2020年の間に限界達することが予測された(図2)[2]。

近年、電源の究極の小型化の形態である**パワーSOC**(図3)、パワー半導体デバイス、これを駆動制御する回路、受動部品をワンチップに組み込む[3]。2008年よりInternational Workshop on power supply on chip という国際会議が始まった)が注目を集めており、このパワーSoC利用によるシステムの高効率化へ関心が高まっている。

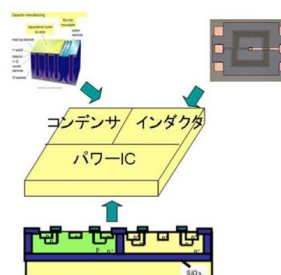


図3 パワーSoC

2. 研究の目的

パワーSOC実現に対して、電源の体積の大部分を占める受動部品の小型化が有効であり、これに対して、スイッチング周波数の高周波化が最も有効な手段である。電源の高周波化に対して、半導体部品や配線の寄生容量の低減が重要であり、本研究では寄生容量の低減が容易なSilicon on Insulator(SOI)技術を基本技術として、パワーSOC用の基板を開発する。しかしながら、SOIは寄生容量を低減するためシリコン酸化膜を絶縁層として用いており、シリコン酸化膜は熱伝導率が小さいため放熱の問題が生じる。本研究ではSOI基板の絶縁膜に用いられているシリコン酸化膜に替え、

シリコン酸化膜に比べ熱伝導率が100倍以上、またヒートシンクとして用いられる銅に比べて2.5倍以上優れたダイヤモンド薄膜を絶縁膜として用いることにより、熱伝導性と絶縁性を備えたパワーSOC用のSOD(Semiconductor on Diamond)基板をウエハー貼りあわせ技術[4]を用いて実現する。各種物性値の比較を表1に示す。

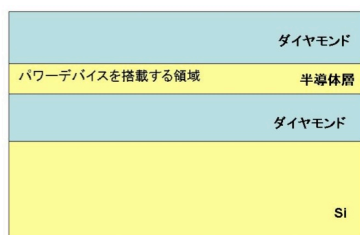


図4 SOD基板の構造

表1 物性値の比較

半導体	Si	SiO ₂	ダイヤモンド
バンドギャップ E _g [eV]	1.11	8~9	5.47
熱伝導率 λ [W/m/K]	151	1.4	2000
密度 [g/cm ³]	2.33	2.27	3.5
電子の移動度 [cm ² /V/s]	1500	—	1800
正孔の移動度 [cm ² /V/s]	450	—	1600
比誘電率 ε _r	11.9	3.9	5.93
絶縁破壊電界 E [MV/cm]	0.3	>10	5.6
真性半導体温度 [K]	600	—	3000
飽和ドリフト速度 [cm/s]	1.11	—	2.7E-7

3. 研究の方法

電源の究極の小型化であるパワーSOC用の基板として、(1)放熱の問題を解決することが最も重要であり、有効に排熱できること、(2)電源の小型化に対しては高周波化が有効であり、高周波動作が可能な寄生容量が究極的に小さいパワー半導体デバイスが搭載できること、(3)パワーSOCでは多種多様な半導体デバイスや受動部品を同一基板上に搭載するため、雑音等の影響を避けるため素子間が完全分離できること、等を満たす基板の実現が重要である。寄生容量が小さく素子間が完全分離可能で、熱伝導率が高く排熱特性に優れたダイヤモンド薄膜を絶縁膜とするSOD構造(図4)の基板実現を狙う。SOD構造の実現に対して、報告者が考案したデバイス反転型 Si

ウエハー直接貼り合わせ法) 基盤技術として実現する。さらに、シミュレーション等を用いて SOD 基板の有効性を明らかにする。

なお熱シミュレーションは伝熱のみを考慮に入れた[4]。

$$\rho c \frac{\partial T}{\partial t} = \frac{\partial}{\partial x} \left(\lambda \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left(\lambda \frac{\partial T}{\partial y} \right) + Q_v \quad (1)$$

ρ : 密度、c : 比熱、λ : 熱伝導率、T : 温度、Q_v : 熱量である。

また、デバイス特性に関しては synopsys 社の TCAD を用いた[5]。

4. 研究成果

4.1 シミュレーション結果

本研究では、SOD 基板をウエハー直接貼り合わせ技術で製造するため、表面平坦性に優れたナノ結晶ダイヤモンド[6]を埋め込み絶縁層とした。ナノ結晶ダイヤモンドの熱伝導率は 20Wm⁻¹k⁻¹とした。

図5にSOD基板とSOI基板の発熱層の温度を示す。SOI基板の活性Si層が400Kに成るような熱量をSOD基板に与えた。SOI基板に比べSOD基板の方が40℃程度発熱を抑制できることが期待できる。

図6にSOD基板の発熱層の温度のダイヤモンドの熱伝導率依存性を示す。SOI基板の活性Si層が400Kに成るような熱量をSOD基板に与えた。ダイヤモンドの熱伝導率の増加により発熱層の温度が低下する。

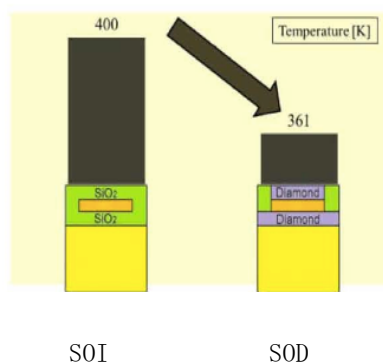


図5 SOD基板とSOI基板の発熱層の温度の比較

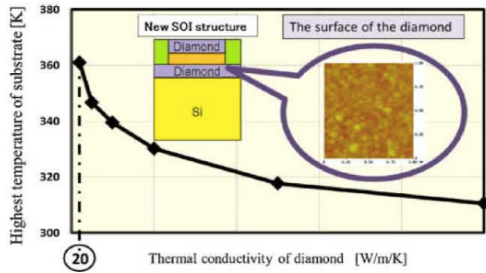


図6 SOD 基板の発熱層の温度の熱伝導率依存性

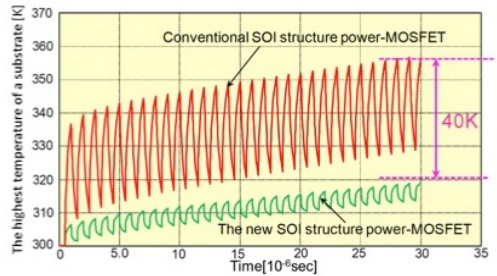


図7 SOD 基板と SOI 基板の過渡熱応答の比較

図7にSOD基板とSOI基板の過渡熱応答の比較を示す。過渡熱応答はSOD基板とSOI基板にパワーMOSFETを形成し、スイッチングさせることにより評価した。SOD基板の採用によりSOI基板より約40°CパワーMOSFETの温度を低温化することができる。

図8にSOD基板とSOI基板に形成したパワーMOSFETの損失の負荷電流依存性を示す。SOI基板に形成したパワーMOSFETに比べてSOD基板に形成したパワーMOSFETの損失が小さく、ダイヤモンド薄膜の熱伝導率が大きいほう損失が小さい。

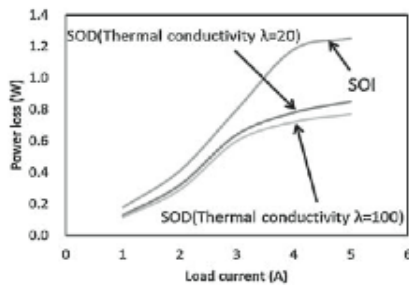


図8 負荷電流と損失の関係(200°C)

4.2 ダイヤモンド薄膜の排熱効果

図9の構造を用いてダイヤモンドの放熱効果を評価した。図10にダイヤモンド薄膜と酸化膜の放熱効果を比較して示す。あわせてシミュレーション結果を示す。

ダイヤモンド薄膜を用いた場合、20°C程度低温化が図れる。また、酸化膜の場合はシミュレーション結果と実験結果が一致したが、ダイヤモンド薄膜の場合は入力パワーが増加するとシミュレーション結果との誤差が大きくなった。SiO₂の場合はSi基板上に連続的に酸化膜が形成されているのに対し、図11に示すようにナノ結晶ダイヤモンドはナノ結晶の名のとおりナノメートルレベルの粒径を有しており、Si基板上に連続的に膜が形成されないためシミュレーションとの差が生じたと考えられる。

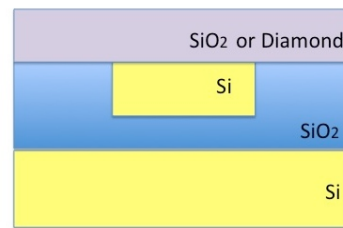


図9 評価に用いた基板の構造

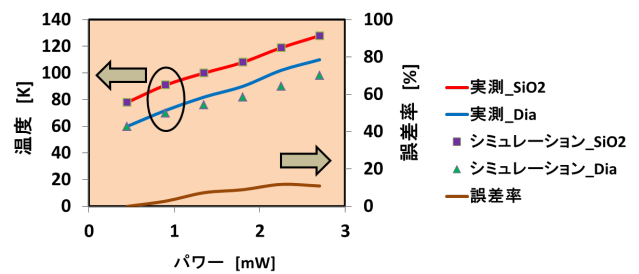


図10 入力電力とSiの温度の関係

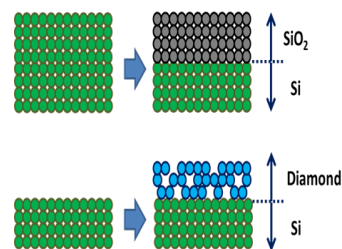


図11 SiO₂/Siとダイヤモンド/Siの模式図

4.3 SOD 基板の製造方法

4.3.1 シリサイド化直接貼り合わせ方による SOD 基板の製造方法

ダイヤモンド薄膜上に Hf を堆積し、Si 基板とのシリサイド化反応による SOD 基板の製造技術の検討を進めた。Si 基板上に直接シリサイドを形成した場合、ボイドが形成されることを明らかにした。ボイドの形成に対しては、Si 基板上に poly-Si を堆積することや、Hf 膜厚を薄くすることが有効であることを明らかにした。また、ナノダイヤ程度の表面平坦度 (<10nm) で接合可能なことを明らかにした。

4.3.2 酸化膜-酸化膜接合による SOD 基板の製造方法。

低温 (<200℃) でのウエハー直接接合による SOD 基板の実現を狙いとして、接合界面を酸化膜-酸化膜とするウエハー直接接合法について検討を進め、ナノダイヤ形成時に発生するパーティクルを除去する CMP 条件を明らかにするとともに、表面段差が 10^{-1} nm オーダー程度まで平坦化すると低温での接合が可能であること 10^{-1} nm オーダーまで平坦化する CMP 条件を明らかにした。図 12 に低温ウエハー直接貼り合わせ方で形成した SOD 基板の断面の SEM 写真を示す。CMP による平坦化技術と表面活性化の組み合わせにより SOD 基板を実現した。

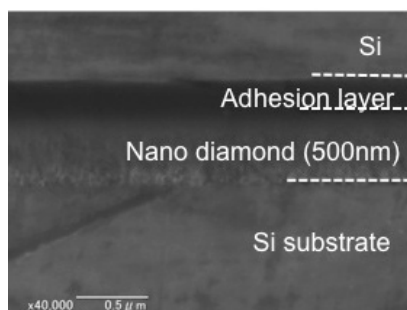


図 12 SOD 基板の断面の SEM 写真

参考文献

- [1] <http://www.meti.go.jp/committee/materials/downloadfiles/g51013a41j.pdf>
- [2] J. Kolar et al., PCC Nagoya, p.9, 2007.
- [3] <http://www.powersoc.org/index.php>
- [4] 岩井, 大村, 小糸, 小林, 戸村, 羽田, 平沢, 吉田, ” 熱流体のシミュレーション.
- [5] T-CAD manual,
[<http://www.synopsys.com/tools/tcad/Pages/default.aspx>]
- [6] K. Tsugawa, M. Ishihara, J. Kim, Y. Koga, and M. Hasegawa, Phys. Rev. B, 82, 125460, (2010).

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

- ① H. Kanoya, K. Nakagawa and S. Matsumoto, “Impact of the silicon on diamond structure for high temperature switching applications”, Japanese Journal of Applied Physics, 査読有, vol.54, No.4, 04DP09, 2015.
- ② K. Nakagawa, T. Kodama, S. Matsumoto, T. Yamada, M. Hasegawa, and S. Nishizawa, “Impact of silicon on diamond structure for power-supply on chip applications”, Japanese Journal of Applied Physics, 査読有, vol.53, No.4, 04EP16, 2014.

[学会発表] (計 6 件)

- ① S. Duangchan, U. Koshikawa, R. Shirahama, K. Oishi, A. Baba, S. Matsumoto, and M. Hasagawa, “The Heat Performance Study of Nanocrystal Diamond Film Used in a Thin Film Device”, in Ext. Abs. 2015 Solid State Devices & Materials, 査読有り, PS-14-4, 2015 September 29, Sapporo, Japan.
- ② S. Duangchan, U. Uchikawa, U.

Koshikawa, A. Baba, K. Nakagawa, S. Matsumoto, M. Hasagawa, and S. Nishizawa, “The Silicon on Diamond Structure by low temperature bonding technique”, Proceedings of IEEE Electric Components and Technology Conference 2015 (ECTC2015), 査読有り, pp.187-192, 2015 May 27, San Diego, USA.

③ W. Yoshida, K. Nakagawa, S. Matsumoto, T. Yamada, and M. Hasegawa, “Numerical evaluations of a new 3D stacking structure for power supply on chip”, International Power Supply on Chip Workshop 2014, 査読有り, p. 73, 2014 October 7, Boston, USA.

④ H. Kanoya K. Nakagawa, and S. Matsumoto, “Impact of the silicon on diamond structure for high temperature switching applications”, in Ext. Abs. 2014 Solid State Devices & Materials, 査読有り, pp.366-367, 2014 September 10, Tsukuba, Japan.

⑤ K. Nakagawa, T. Kodama, S. Matsumoto, T. Yamada, M. Hasegawa, and S. Nishizawa, “Impact of Silicon on Diamond Structure for Power-Supply on Chip Applications”, in Ext. Abs. 2013 Solid State Devices & Materials, 査読有り pp.1044-1045, 2013 September 25, Fukuoka, Japan.

⑥ T. Kodama, S. Matsumoto, T. Yamada, M. Hasegawa, and S. Nishizawa, “Numerical predictions of a new SOI structure using thin-diamond film used as insulator”, International Workshop on Power Supply On Chip, <http://presentations.powersoc2012.org/>, 9, p.73, 2012 November 17, San Francisco, USA.

⑦ 児玉拓也、松本 聡、西澤伸一、“ダイヤモンド薄膜を絶縁膜として用いたパワーSoC用SOI基板のシミュレーションによる検討”、電気学会電子デバイス・半導体電力変換合同研究会、EDD-12-061、

SPC-12-134、pp.13-18、2012年10月26日、浜松。

〔図書〕(計 0件)

〔産業財産権〕
○出願状況(計 0件)

〔その他〕
なし

6. 研究組織

(1) 研究代表者

松本 聡 (MATSUMOTO Satoshi)
九州工業大学大学院工学研究院 教授
研究者番号：10577282

(2) 研究分担者

新海聡子 (SHINKAI Shinichi)
九州工業大学 マイクロ化総合技術センター 准教授
研究者番号：90374785

西澤伸一 (NISHIZAWA Shinichi)
産業技術総合研究所 エネルギー技術部門
グループリーダー
研究者番号：40267414

馬場昭好 (BABA Akiyoshi)
九州工業大学 マイクロ化総合技術センター 准教授
研究者番号：80304872