

## 科学研究費助成事業 研究成果報告書

平成 27 年 5 月 28 日現在

機関番号：14401

研究種目：基盤研究(B)

研究期間：2012～2014

課題番号：24360120

研究課題名(和文) チャンネルラストプロセスによる歪み制御縦型 Ge トランジスタの作製と電気特性評価

研究課題名(英文) Fabrication of vertical strained-Ge MOSFETs by channel-last process and the electrical characterization

研究代表者

志村 考功 (Shimura, Takayoshi)

大阪大学・工学(系)研究科(研究院)・准教授

研究者番号：90252600

交付決定額(研究期間全体)：(直接経費) 14,300,000円

研究成果の概要(和文)：急速加熱処理による液相エピタキシャル法により単結晶 Ge 細線を作製し、そのトランジスタにより電気特性を評価した。熱処理時間を最適化することにより良好なトランジスタ特性を得ることができた。正孔移動度はピーク値で  $500 \text{ cm}^2/\text{Vs}$  に達し、比較用 Si デバイスに対して約 1.6 倍の値を示した。また、光学特性評価により直接遷移に起因する発光ピークの  $90 \text{ nm}$  の長波長側へのシフトを測定し、約 0.4% の引張り歪みに起因する  $45 \text{ meV}$  のバンドギャップの減少を確認した。

研究成果の概要(英文)：We have fabricated Ge wires by liquid-phase epitaxy during rapid thermal annealing. The field effect transistors with the Ge wires exhibited high on/off current ratio under the accumulation mode. Moreover, effective hole mobility of  $500 \text{ cm}^2/\text{Vs}$  was obtained, which was almost 1.6 times higher than the reference Si device. Direct band gap shrinkage was also investigated by means of photoluminescence spectroscopy. We observed a significant redshift of direct gap emission amounting to  $45 \text{ meV}$  for the Ge wire, which was mainly due to a tensile strain of approximately 0.4% induced by rapid crystallization from the Ge melting point.

研究分野：電子デバイス材料

キーワード：電気・電子材料 作成・評価技術 エピタキシャル成長 半導体 ゲルマニウム 格子歪み

## 1. 研究開始当初の背景

Si-LSI の微細化が限界に近づいている現在、ポストスケーリングテクノロジーによる LSI の高性能化を目指す研究が盛んに行われている。Ge は Si より高移動度を有するチャネル材料であり、Si に比べ電子で 2.5 倍、正孔で 3.5 倍の値を示すが、歪み印加によるさらなる移動度向上が期待されている。また、光通信で用いられる 1.55  $\mu\text{m}$  帯の光に感度を持つため、Si-LSI に集積可能な光検出器用材料としても注目されてきた。2010 年には Si 基板上に形成した Ge において歪み制御と高濃度ドーピングを併用することにより室温でのレーザー発振が確認され、次世代の高度情報化社会を担う高速かつ低消費電力の光・電子デバイスへの期待が高まっている。

ところが、Ge 層を絶縁膜上に形成した GOI (Ge on Insulator) 構造は高速かつ低消費電力のこれらのデバイスを実現する構造として必要とされているが、結晶性が良く、かつ生産性に優れた GOI 基板の作製が困難であり障害となっている。現在のところ GOI 基板作製技術としては、酸化濃縮法と貼り合わせ法が有力である。しかし、酸化濃縮法で作製した GOI 層の結晶性は十分ではなく、結晶欠陥起因と思われるキャリアの生成を抑制することができない。比較的結晶性の良い GOI 層が得られる貼り合わせ法は、GOI 層となる Ge バルク基板が高価であるという問題があり、今後、ウェーハが 450 mm へと大口径化するにつれその問題はますます大きくなる。

我々はこの問題を解決するために、局所液相エピタキシャル成長(LLPE: lateral liquid phase epitaxy)を用いた GOI 構造の作製とその電子デバイス応用に向けた基礎的研究開発を行ってきた。この方法はマイクロクルーシブルと呼ぶ絶縁膜に囲まれた領域に Ge を閉じ込め、Ge の融点(938 )以上の温度から急冷し、Si 基板と接触した seed 領域から Ge をエピタキシャル成長させる方法である。Si と Ge は約 4 %の格子不整があり Si 基板上に Ge を直接成長させると格子緩和に伴う結晶欠陥が発生する。しかし、この手法では、seed 領域から絶縁膜上に乗り上げる構造がチョクラルスキー法のネッキング部に相当し、Ge/Si 界面で生成した欠陥の伝播を抑制する。さらに Ge はミクロンからサブミクロン領域の幅にパターニングされているのでネッキング部を抜けた欠陥も直ちに外方へ伸び消滅する。

## 2. 研究の目的

### (1)局所液相エピタキシャル成長における歪み制御技術の基礎的知見の取得

歪み制御局所液相エピタキシャル成長の基礎的知見として、Ge ワイヤの格子歪み、結晶粒分布、結晶欠陥、組成分布評価を行い、マイクロクルーシブルの形状・サイズ・材料、降温条件等の成長条件との関係を明らかにす

る。

### (2)トランジスタの試作とデバイス特性評価

本手法により作製した Ge ワイヤを用いてトランジスタの試作を行う。歪み量や歪み方向、印加条件の異なるトランジスタを試作し、電気特性を評価し、本手法の有効性の検討と課題の抽出を行う。

### (3)光学特性評価とフォト・発光ダイオードの試作

Ge は間接遷移半導体であるが、Ge 薄膜において 2 次元の引張り歪みを印加すると点の伝導帯下端が下がり、歪みが 1 %を超えると直接遷移型半導体になることが示されている。本課題では、歪み制御縦方向局所液相エピタキシャル成長により作製した Ge ワイヤのバンドギャップやバンド構造変化に起因する光学特性を評価し、Ge ワイヤの歪みとの関連を調べる。さらに、フォト及び発光ダイオードを試作し、歪み印加技術の有効性を示す。

## 3. 研究の方法

図 1 に試料構造を示す。(100)-SOI 基板(SOI 層: 55 nm、BOX (buried oxide)層: 145 nm)を 1% HF 溶液で洗浄後、結晶成長のシード領域、およびソース・ドレイン領域となる SOI 層をウェットエッチングにより分離した。その後、MBE 装置(base pressure:  $1 \times 10^{-7}$  Pa)中で Ge(膜厚: 130 nm)を試料全面に成膜し、リソグラフィおよび反応性イオンエッチングにより、Ge を細線状(線幅: 1-4  $\mu\text{m}$ )に加工した。さらに、Ge 細線全体を覆うために、スパッタ法にて厚い  $\text{SiO}_2$  キャップ層(膜厚: 1  $\mu\text{m}$ )を堆積し、 $\text{N}_2$  雰囲気中での急速加熱処理(1035 , 1 min、または、950 , 1 sec)により LLPE 成長を促した。この Ge 細線をチャネル、BOX 層をゲート絶縁膜、Si 基板をゲート電極としたバックゲートトランジスタを以下の手順で作製した。 $\text{SiO}_2$  キャップ層にコンタクトホールを開口後、Al を真空蒸着し、 $\text{N}_2$  雰囲気中で 400 , 30 min の熱処理を行うことにより、ソース及びドレインである SOI 層とのコンタクトを形成した。

完成したバックゲートトランジスタについて  $I_d$ - $V_g$  特性を取得後、 $\text{SiO}_2$  キャップを除

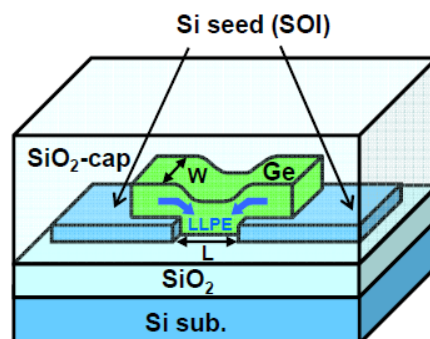


図 1 Si シード層からの LLPE 成長の概念図。

去し、GOI層のラマン分光分析および EBSD (Electron Back Scatter Diffraction)測定を行った。さらに詳細な移動度特性評価を行うため、複数の Ge 細線を有する試料に対して同様に 950 , 1 sec の熱処理を行い、準静的容量・電圧 (QSCV : Quasi-Static Capacitance-Voltage)特性を取得した。また、比較試料として SOI 層で細線状のチャネルを形成したバックゲートトランジスタを作製し、同様の電気特性評価を行った。また、光学特性を顕微フォトルミネッセンス(PL : photoluminescence)法により測定した。

#### 4 . 研究成果

図 2(a)に 1035 , 1 min の熱処理を行った試料のラマンスペクトルを示す。390  $\text{cm}^{-1}$  付近において Si-Ge 結合に起因した大きなピークが見られる。これは熱処理中に Si がシード領域から液相 Ge 中へ拡散したことに起因すると考えられる。一方、950 , 1 sec の熱処理を行った場合、Si-Ge 結合によるピークは大幅に減少している(図 2(b))。これは短時間の熱処理により、液相 Ge 中への Si の拡散が抑制されたためと考えられる。Ge-Ge 及び Si-Ge 結合ピーク強度比から Si 濃度を算出したところ、1035 , 1 min の熱処理を加えた場合、シード領域近傍において Si 濃度は 40%に達しており、シード領域から離れるにつれて減少していた。これは片側のシードから LLPE 成長が進行したためと考えられる。一方、950 , 1 sec の Si 濃度は Ge 細線全体において 10%以下であり、アニール条件の改善によりシード領域からの Si 拡散が大きく低減していることを確認した。さらに、Ge-Ge ピークのラマンシフト  $\Delta\omega$  から歪み率を算出したところ、Ge 細線全体において、Si 及び Ge の熱膨張係数差に起因した約 0.4%の引張

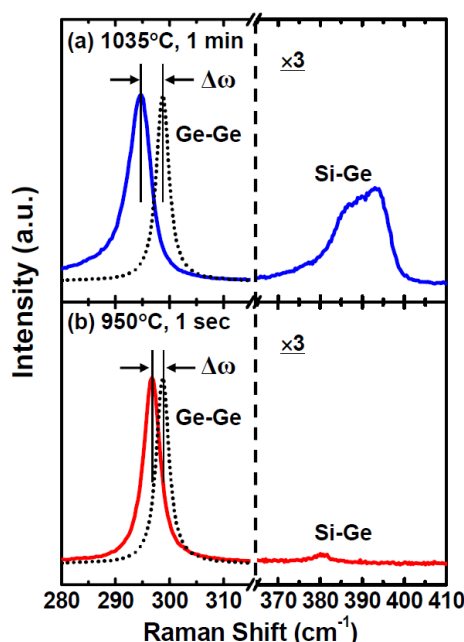


図 2 LLPE-Ge 細線のラマンスペクトル。(a) 1035 , 1 min、(b) 950 , 1min.

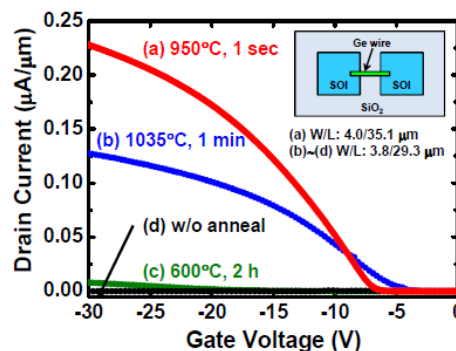


図 3 バックゲートトランジスタの  $I_d$ - $V_g$  特性.

り歪が印加されていることがわかった。

図 3 に LLPE 法により 950 , 1 sec 及び 1035 , 1 min の熱処理条件で作製した試料と、比較試料として作製した多結晶およびアモルファス GOI(Ge 細線)の蓄積状態における  $I_d$ - $V_g$  特性を示す。多結晶 GOI の形成では、 $\text{N}_2$  雰囲気中 600 で 2 時間のアニール処理により固相成長(Solid Phase Epitaxy)を促した。一方、アモルファス GOI ではアニール処理を行っていない。これらの比較試料におけるアニール処理以外の作製手順は、LLPE 法により作製した試料と同様である。熱処理を加えていないアモルファス Ge 試料(d)を除いて通常のトランジスタ動作が得られ、LLPE 法により作製した試料(a)、(b)は固相成長により作製した多結晶 Ge 試料(c)より非常に高い電流値を示している。これは LLPE 法により形成した単結晶 GOI 層は固相成長と比べて高い結晶性を有していることを示しており、別途行った EBSD 測定によって試料(a)、(b)は Si シード領域と結晶方位の揃った単結晶であることを確認した。また、熱処理を 950 , 1 sec とした方が高い電流値を示しているが、これは先述した GOI 層の Si 濃度の低減により、GOI 層中の Si による Alloy 散乱に起因した移動度の低下が抑制されたためと考えられる。

次に LLPE 法により作製した複数の Ge 細線を有するバックゲートトランジスタの蓄積状態での  $I_d$ - $V_g$  特性を図 4 に示す。 $V_d = -50$  mV において  $1 \times 10^{-7}$   $\mu\text{A}/\mu\text{m}$  以下の低いオフ

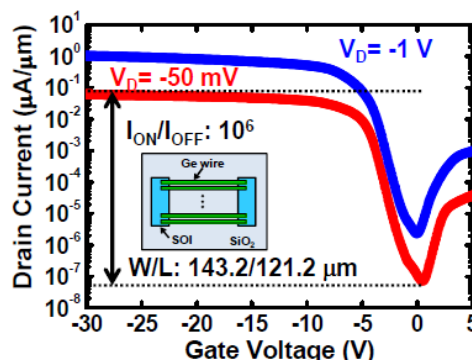


図 4 多数の LLPE-Ge 細線のバックゲートトランジスタの  $I_d$ - $V_g$  特性.



リーク電流が得られた。これは欠陥に起因したオフリーク電流が抑制されたためと考えられ、LLPE 法により作製した Ge/BOX 界面が良好な特性を有することを示唆している。さらに  $I_d$  のオン/オフ比は約  $10^6$  を示し、LLPE 法で作製したバックゲート GOI トランジスタについて優れた特性が得られた。

図 5 に  $I_d$ - $V_g$  特性と QSCV 特性から算出した正孔の実効移動度を示す。なお、ソース/ドレイン領域に起因した寄生抵抗を考慮した補正を行なっている。正孔移動度のピーク値は  $500 \text{ cm}^2/\text{Vs}$  を示し、SOI デバイスと比べて約 1.6 倍の高移動度を得た。これは LLPE 法により作製した Ge/BOX 界面が良好な特性を有すると考えられることから、Ge が持つ本来の高い正孔移動度を反映した結果である。

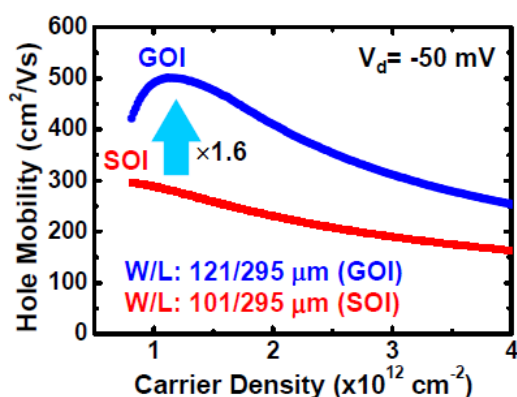


図 5 LLPE-Ge 細線と SOI 細線の実効移動度曲線。

図 6 に室温での Ge 基板と LLPE-Ge 細線の PL スペクトルを示す。Ge 基板の PL スペクトルでは、直接遷移と間接遷移の発光ピークをそれぞれ確認できる。波長 1536 nm の直接遷移の発光ピークは 0.807 eV に相当し、室温での無歪みの Ge 基板のバンドギャップに一致している。一方、LLPE 法で作製した Ge 細線の PL スペクトルは波長 1626 nm のみにピークを観測した。この発光ピークは歪みが印加された Ge 細線の直接遷移に起因すると考えられる。間接遷移に起因する発光

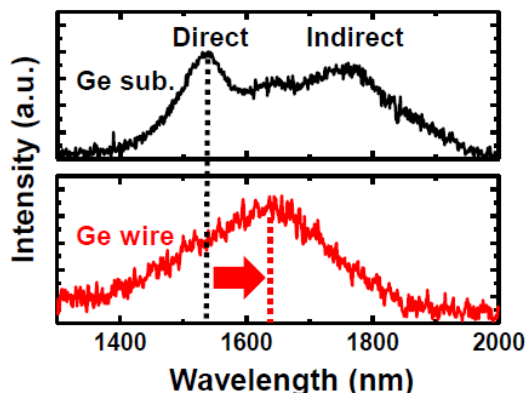


図 6 LLPE-Ge 細線と Ge 基板の PL スペクトル。

ピークが観測できない要因は、Ge 細線外周部の  $\text{SiO}_2$  キャップ層界面の表面パッシベーションが十分ではなく、非発光結合中心として働いていることが示唆される。Ge 細線の直接遷移発光ピークは Ge 基板と比較し、長波長側に 90 nm シフトしている。これは 45 meV のバンドギャップ減少に相当する。PL スペクトルの温度依存性からこの発光ピークシフトは、Ge 細線に印加された約 0.4% の引張り歪みによるものであることがわかった。

## 5. 主な発表論文等 〔雑誌論文〕(計 4 件)

- (1) "Mobility characterization of Ge-on-insulator metal-oxide-semiconductor field-effect transistors with striped Ge channels fabricated by lateral liquid-phase epitaxy", T. Hosoi, Y. Suzuki, T. Shimura, and H. Watanabe, *Appl. Phys. Lett.* **105**, 173502-1-4 (2014). DOI: 10.1063/1.4900442 (査読有)
- (2) "Strain-induced direct band gap shrinkage in local Ge-on-insulator structures fabricated by lateral liquid-phase epitaxy", M. Matsue, Y. Yasutake, S. Fukatsu, T. Hosoi, T. Shimura, and H. Watanabe, *Appl. Phys. Lett.* **104**, 031106-1-4 (2014). DOI: 10.1063/1.4862890 (査読有)
- (3) "High-mobility p-channel metal-oxide-semiconductor field-effect transistors on Ge-on-insulator structures formed by lateral liquid-phase epitaxy", Y. Suzuki, S. Ogiwara, T. Hosoi, T. Shimura, and H. Watanabe, *Appl. Phys. Lett.* **101**, 202105-1-4 (2012). DOI:10.1063/1.4766917 (査読有)

## 〔学会発表〕(計 22 件)

- (1) "Fabrication of GeSn-on-insulator Structure by Utilizing Lateral Liquid-Phase Epitaxy", T. Hosoi, K. Kajimura, K. Tominaga, T. Shimura, and H. Watanabe, The 45th IEEE Semiconductor Interface Specialists Conference (SISC), San Diego, USA, December 10-13, 2014.
- (2) "Enhanced direct bandgap photoluminescence from local Ge-on-insulator structures fabricated by lateral liquid-phase epitaxy -Material and strain engineering toward CMOS compatible group-IV photonics-", M. Matsue, Y. Yasutake, S. Fukatsu, T. Hosoi, T. Shimura, and H. Watanabe, The 44th IEEE Semiconductor Interface Specialists Conference (SISC), Arlington, USA, December 5-7, 2013.
- (3) "Effective Hole Mobility of GOI MOSFET Fabricated by Lateral Liquid-Phase Epitaxy", T. Hosoi, Y. Suzuki, H. Nishikawa, M. Matsue, T. Shimura, and

H. Watanabe, 2013 International Workshop on Dielectric Thin Films for Future Electron, Tokyo, Japan, November 7-9, 2013.

- (4) "Fabrication of High-quality SiGe-on-Insulator and Ge-on-Insulator Structures by Rapid Melt Growth", T. Shimura, C. Yoshimoto, T. Hashimoto, S. Ogiwara, Y. Suzuki, T. Hosoi, and H. Watanabe, The International Symposium on Visualization in Joining & Welding Science through Advanced Measurements and Simulation, Osaka, Japan, November 29-30, 2012. (招待講演)
- (5) "Fabrication of Ge-on-insulator structure by lateral liquid-phase epitaxy and its electrical characterization using back-gate transistors", T. Shimura, Y. Suzuki, S. Ogiwara, T. Hosoi, and H. Watanabe, The 6th International Symposium on Advanced Science and Technology of Silicon Materials, Kailua-Kona, USA, November 19-23, 2012.
- (6) "Fabrication of high-quality GOI and SGOI structures by rapid melt growth method - Novel platform for high-mobility transistors and photonic devices -", H. Watanabe, Y. Suzuki, S. Ogiwara, N. Kataoka, T. Hashimoto, T. Hosoi, and T. Shimura, Dielectric Materials and Metals for Nanoelectronics and Photonics 10, Honolulu, USA, October 7-12, 2012. (招待講演)

## 6 . 研究組織

### (1)研究代表者

志村 考功 (SHIMURA, Takayoshi)  
大阪大学・大学院工学研究科・准教授  
研究者番号：90252600

### (2)連携研究者

渡部 平司 (WATABABE, Heiji)  
大阪大学・大学院工学研究科・教授  
研究者番号：90379115

細井 卓冶 (HOSOI, Takuji)  
大阪大学・大学院工学研究科・助教  
研究者番号：90452466