

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 15 日現在

機関番号：11301

研究種目：基盤研究(B)

研究期間：2012～2014

課題番号：24360129

研究課題名(和文)原子レベル平坦界面トランジスタのゲート絶縁膜リーク電流の高精度統計的解析

研究課題名(英文)Accurate measurement and statistical analysis of gate leakage current of MOSFETs with atomically flat interface

研究代表者

須川 成利(Sugawa, Shigetoshi)

東北大学・工学(系)研究科(研究院)・教授

研究者番号：70321974

交付決定額(研究期間全体):(直接経費) 14,600,000円

研究成果の概要(和文):ゲート絶縁膜/Si界面の原子レベル平坦化技術を最小加工寸法0.22 μm のCMOS集積回路製造工程に導入し、ゲート絶縁膜形成直前に温度850 $^{\circ}\text{C}$ 以下で原子レベル平坦化処理を行うことで、微細MOSFETの界面を原子レベル平坦化できることを見出した。導入技術を用いて大規模アレイテスト回路を試作し、確立した高精度・統計的計測技術を用いて膜厚7.7nmのゲート絶縁膜を有する8万個を超えるMOSFETのゲート電流を約80秒以内に10aAオーダーの精度で計測し、界面に約1nmのラフネスが存在する従来のMOSFETと比べて、ゲート電流が大きい素子の発生割合が一桁以上低減できたことを明らかにした。

研究成果の概要(英文):Atomically flattening technology of gate insulator film/Si interface was introduced to a 0.22 μm CMOS LSI manufacturing technology. It was clarified that the atomic level flatness is obtained at the interface of miniaturized MOSFET by introducing the Si surface flattening process at a temperature less than 850 C right before gate insulator film formation process step. The array test circuit was fabricated based on the introduced technology. By measuring gate current of over 80000 MOSFETs with gate insulator film thickness of 7.7 nm within 80 sec with 10aA accuracy using the developed high accuracy statistical measurement technology, it was confirmed that the appearance probability of MOSFETs with large gate current is decreased by one order of magnitude in comparison to the conventional MOSFETs of which roughness at the gate insulator film/Si interface is about 1 nm.

研究分野：固体電子工学

キーワード：電子デバイス・機器 電子デバイス・集積回路 MOSFET シリコン リーク電流 ストレス誘起電流
平坦化

1. 研究開始当初の背景

近年の大規模集積回路では、トランジスタのゲート絶縁膜の薄膜化が進み、電氣的等価膜厚が1nm程度に極薄化されたロジック回路用トランジスタにおいては、ゲートリーク電流のばらつきが消費電力増加の要因となり、また、7~8nm程度の絶縁膜厚を有するフローティングゲート型やキャリアトラップ型フラッシュメモリトランジスタにおいては、平均値から比較し極めて大きいゲートリーク電流の経時的な出現頻度の増加が信頼性の律則要因となっている。様々な膜厚、膜種のゲート絶縁膜のリーク電流のばらつきとその経過変化の低減が強く求められている。フラッシュメモリでは素子寸法の微細化が先行し、チャネル長が20nmを下回るものが製品化されている。ここでは、短チャネル効果の抑制や、書き込み電圧の低減のために、ゲート絶縁膜の薄膜化が強く求められている。しかし、薄膜化に伴い、動作不良を引き起こす大ゲートリーク電流の出現頻度が経時的に増大することなどから、さらなる薄膜化はここ10年程度停滞している。現状、ゲート絶縁膜の薄膜化のための解決策は見出せておらず大きな課題となっている。

2. 研究の目的

原子レベルで平坦化されたシリコンを用いた飛躍的な低消費電力・高信頼性集積回路技術を確立するために、その重要な構成要素となるトランジスタ・メモリ素子における微小ゲートリーク電流を、微小面積かつ多数の素子を配置した大規模アレイ回路を用いて、 10^{-17} A オーダーの精度で短時間に統計的に測定評価し、ゲートリーク電流のばらつきや経時変化のメカニズムを明らかにするとともに、これらを低減するための新規な絶縁膜形成技術の確立を目指す。

3. 研究の方法

(1) 統計的ゲートリーク電流解析用大規模アレイ回路の測定精度を向上させ、常温で 10^{-17} A オーダーの計測を可能とする。トランジスタサイズの微細化を行い、リーク電流スポット分解能を向上させる。トランジスタ形状を変化させ、形状が与える影響を評価可能とする。

(2) 原子レベル平坦性を含む様々な界面平坦性を有する複数の膜厚の絶縁膜を用いて大規模アレイ回路を試作し、ストレス条件、評価バイアス・温度条件を振って測定評価を行う。

(3) 原子レベル界面平坦化技術を用いて、様々な形成方法・条件で形成したゲート絶縁膜の評価により、ゲートリーク電流ばらつきや SILC を誘起するトラップの位置、エネルギーの解析を行い、ゲートリーク電流のばらつきと電流値の大きい SILC の発生メカニズムを明らかにする。

4. 研究成果

(1) 統計的ゲートリーク電流測定用大規模アレイ回路の新設計

従来の統計的ゲートリーク電流測定用大規模アレイ回路を改良した新規回路の設計を完了した。ここでは、電流下限値を室温において 10^{-17} Aまで低減するため、周辺に隣接するトランジスタ数を削減すると共に、pn接合部に撮像素子で用いられている低リーク電流構造を導入し、測定時のバックグラウンド電流を低減する工夫を行った。また、集積化プロセスの影響を切り分けて評価するために被測定トランジスタの面積や素子分離形状を数種類振ったものを組み込んだ。さらに、Fowler-Nordheim 電流ストレス・基板ホットキャリアストレスといった印加ストレス条件と、ゲートリーク電流の成分である電子電流、ホール電流を切り分けて評価可能とするための回路的な工夫を行った。

(2) 原子レベル界面平坦化技術を用いた大規模アレイ回路の試作・評価

ゲート絶縁膜/Si 界面の原子レベル平坦化技術をシャロートレンチアイソレーション素子分離を用いた最小加工寸法 $0.22\mu\text{m}$ の CMOS 大規模集積回路製造工程に導入し、ゲート絶縁膜形成直前に 30ppb 以下の水分・酸素濃度に抑えた高純度アルゴン雰囲気中で 850 以下の温度で原子レベル平坦化処理を行うことで、微細 MOSFET の界面を原子レベル平坦化できることを見出した。導入技術を用いて大規模アレイテスト回路を試作し、確立した高精度・統計的計測技術を用いて膜厚 7.7nm のゲート絶縁膜を有する 8 万個を超える MOSFET のゲート電流を約 80 秒以内に 10^{-17} A オーダーの精度で計測し、従来のゲート絶縁膜/Si 界面に約 1nm のラフネスが存在する MOSFET と比べて、ゲート電流が大きい素子の発生割合が一桁以上低減できたことを明らかにした。

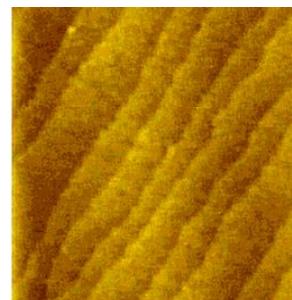


図 1. 原子レベル平坦化技術を導入して製造した大規模集積回路を構成する MOSFET のゲート絶縁膜/Si 界面の原子間力顕微鏡像。原子テラスと1原子層ステップ(高さ0.135nm)から成る原子レベル平坦性が得られている。

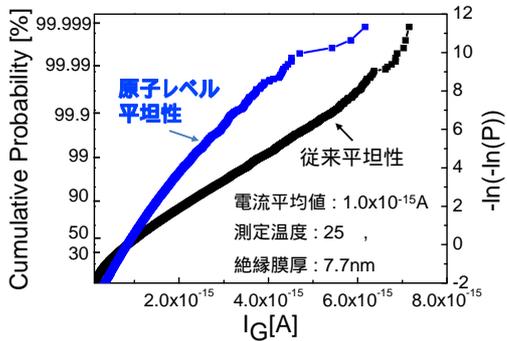


図 2. 原子レベル平坦性および従来の平坦性を有するゲート面積 $1 \mu\text{m}^2$ の MOSFET ゲート電流の統計的測定結果。各条件の測定個数は 87344 個である。

(3) SILC 発生メカニズムの解析

10^{-17}A の精度で 8 万個を超える微小トランジスタ (面積 $1 \mu\text{m}^2$) のゲートリーク電流を約 80 秒で測定できる計測手法を用いてゲート絶縁膜に印加される電界強度が 7MV/cm 以下の領域で測定したゲートリーク電流を統計的に解析した。結果、図 3 に示すように特に低電界領域下においては、SILC が数値に渡ってばらつくことが明らかになった。また、図 4 に結果を示すように、SILC はその対数値が最大値の極値分布であるガンベル分布に従うことを見出した。この結果より、微細トランジスタにおける SILC は、各トランジスタ中の局所的な一つのスポットを流れる電流の最大値で決定されることを見出した。

また、ゲート絶縁膜に注入した電子およびホールが SILC へ与える影響を調べるために、 5.6nm 厚のゲート絶縁膜に対してストレス印加電界、バックゲートバイアスおよび基板ホットホール注入電流を変化させて電子およびホールを注入し、SILC を測定した。結果、SILC の平均値が総ホール注入量によってほぼ一意的に決定されることを見出した。この結果より、ホール注入の SILC 発生に与える影響が電子注入と比べて大きいことが明らかになった。

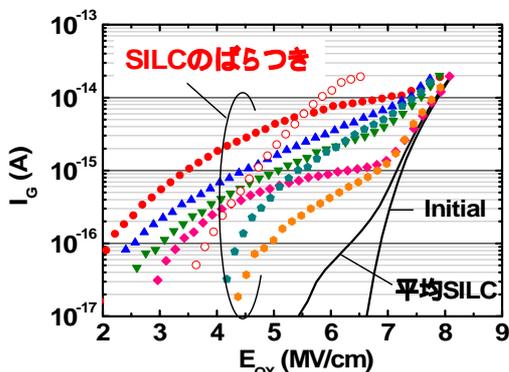


図 3. ストレス印加後のゲート電流と電界との関係。平均値および SILC の大きい素子の結果を示す。

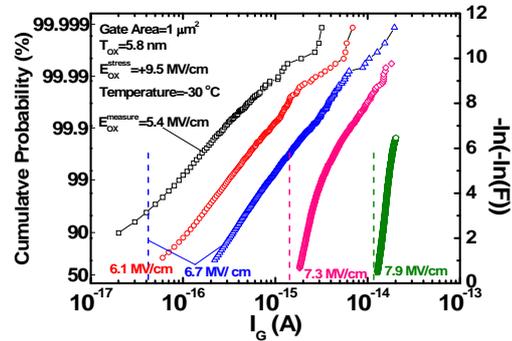


図 4. ストレス印加後の SILC 対数値のガンベルプロット。点線は各測定電界における FN 電流値を示す。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 19 件)

全て査読有

T. Goto, R. Kuroda, N. Akagawa, T. Suwa, A. Teramoto, X. Li, T. Obara, D. Kimoto, S. Sugawa, T. Ohmi, Y. Kamata, Y. Kumagai, and K. Shibusawa, Atomically Flattening of Si Surface of Silicon on Insulator and Isolation-Patterned Wafers, Japanese Journal of Applied Physics Vol.54, 2015, 04DA04-1- 04DA04-7
DOI: 10.7567/JJAP.54.04DA04

T. Suwa, A. Teramoto, S. Sugawa, and T. Ohmi, Flattening Technique of (551) Silicon Surface Using Xe/H₂ Plasma, ECS Transactions, Vol.61, 2014, 401-407
DOI: 10.1149/06102.0401ecst

R. Kuroda, Y. Nakao, A. Teramoto, S. Sugawa, and T. Ohmi, Carrier mobility characteristics of (100), (110), and (551) oriented atomically flattened Si surfaces for fin structure design of multi-gate metal-insulator-silicon field-effect transistors, Japanese Journal of Applied Physics, Vol.53, 2014, 04EC04-1-04EC04-7
DOI: 10.7567/JJAP.53.04EC04

T. Obara, A. Yonezawa, A. Teramoto, R. Kuroda, S. Sugawa, and T. Ohmi, Extraction of Time Constants Ratio over Nine Orders of Magnitude for Understanding Random Telegraph Noise in Metal-Oxide-Semiconductor Field-Effect Transistors, Japanese Journal of Applied Physics, Vol.53, 2014, 04EC19-1-04EC19-7
DOI: 10.7567/JJAP.53.04EC19

T. Inatsuka, Y. Kumagai, R. Kuroda, A. Teramoto, T. Suwa, S. Sugawa, and T. Ohmi, A Test Circuit for Extremely Low Gate Leakage Current Measurement of 10 nA for 80,000 MOSFETs in 80 s, IEEE Transactions on Semiconductor Manufacturing, Vol.26, 2013, 288-295.
DOI: 10.1109/TSM.2013.2260568

A. Teramoto, H. Park, T. Inatsuka, R. Kuroda, S. Sugawa, T. Ohmi, Stress induced leakage current generated by hot-hole injection, Microelectronic Engineering, Vol.109, 2013, 298-301
DOI: 10.1016/j.mee.2013.03.116

T. Inatsuka, Y. Kumagai, R. Kuroda, A. Teramoto, S. Sugawa, and T. Ohmi, Recovery Characteristic of Anomalous Stress Induced Leakage Current of 5.6nm Oxide Films, Japanese Journal of Applied Physics Vol.51, 2012, 04DC02-1-04DC02-1-6
DOI: 10.1143/JJAP.51.04DC02

〔学会発表〕(計 2 8 件)
全て査読有

T. Goto, R. Kuroda, N. Akagawa, T. Suwa, A. Teramoto, X. Li, S. Sugawa, T. Ohmi, Y. Kumagai, Y. Kamata, and T. Shibusawa, Atomically Flattening of Si Surface of SOI and Isolation-patterned Wafers, 2014 International Conference on Solid State Devices and Materials, 2014年9月8日~11日, つくば国際会議場(茨城県・つくば市)

A. Teramoto, T. Inatsuka, T. Obara, N. Akagawa, R. Kuroda, S. Sugawa and T. Ohmi, Demonstrating Individual Leakage Path from Random Telegraph Signal of Stress Induced Leakage Current, 2014 IEEE International Reliability Physics Symposium, 2014年6月3日~5日, Waikoloa, USA

R. Kuroda, F. Shao, D. Kimoto, K. Furukawa, H. Sugo, T. Takeda, K. Miyauchi, Y. Tochigi, A. Teramoto and S. Sugawa, A Novel Analysis of Oxide Breakdown based on Dynamic Observation using Ultra-High Speed Video Capturing Up to 10,000,000 Frames Per Second, 2014 IEEE International Reliability Physics Symposium, 2014年6月3日~5日, Waikoloa, USA

H. W. Park, A. Teramoto, T. Inatsuka, R. Kuroda, S. Sugawa, and T. Ohmi, Impact of Injected Carrier Types to Stress Induced Leakage Current Using Substrate Hot Carrier Injection Stress, 2013 Asia-Pacific Workshop on Fundamentals and

Application of Advanced Semiconductor Devices. 2013年6月26日~28日, Seoul, Korea

[Invited] A. Teramoto, S. Sugawa, T. Ohmi, High-Speed and Highly Accurate Evaluation of Electrical Characteristics in MOSFETs, International Conference on IC Design and Technology, 2013年5月29日~31日, Pavia, Italy

T. Inatsuka, R. Kuroda, A. Teramoto, Y. Kumagai, S. Sugawa, and T. Ohmi, Demonstrating Distribution of SILC Values at Individual Leakage Spots, 2013 IEEE International Reliability Physics Symposium, 2013年4月14日~18日, Monterey, USA

R. Kuroda, A. Yonezawa, A. Teramoto, T. L. Li, Y. Tochigi, S. Sugawa, A statistical evaluation of low frequency noise of in-pixel source follower-equivalent transistors with various channel types and body bias, IS&T/SPIE Electronic Imaging 2013, 2013年2月3日~7日, Burlingame, USA

〔図書〕(計 0 件)

〔産業財産権〕
出願状況 (計 1 件)

名称: 半導体装置及びその製造方法
発明者: 黒田 理人、寺本 章伸、須川 成利
権利者: 国立大学法人東北大学
種類: 特許
番号: PCT/JP2012/079799
出願年月日: 2012年11月16日
国内外の別: 国際

取得状況 (計 0 件)

〔その他〕
特になし

6. 研究組織

(1) 研究代表者

須川 成利 (SUGAWA, Shigetoshi)
東北大学・大学院工学研究科・教授
研究者番号: 7 0 3 2 1 9 7 4

(2) 研究分担者

なし

(3) 連携研究者

黒田 理人 (KURODA, Rihito)
東北大学・大学院工学研究科・准教授
研究者番号: 4 0 5 8 1 2 9 4