

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 9 日現在

機関番号：10101

研究種目：基盤研究(B)

研究期間：2012～2014

課題番号：24360145

研究課題名(和文) メモリスタ・抵抗変化型メモリ素子のための新しい電子回路設計基盤の構築

研究課題名(英文) Fundamental Circuit Theories for Memristors and Resistive RAMs

研究代表者

浅井 哲也 (ASAI, TETSUYA)

北海道大学・情報科学研究科・准教授

研究者番号：00312380

交付決定額(研究期間全体)：(直接経費) 14,400,000円

研究成果の概要(和文)：抵抗変化メモリを用いた新規情報処理回路の開拓を行なった。主に、i) 用いたバイポーラ型抵抗変化メモリ素子がメモリスタの数理モデルと質的に等価であること、ii) バイポーラ型抵抗変化メモリ素子とキャパシタからなるCR回路にスパイク電圧を与えた場合、スパイク前後でメモリ素子のコンダクタンスが変化しないこと、iii) 上記ii)のキャパシタの充放電過程において、キャパシタの電荷をリークさせることにより、スパイク前後でメモリ素子のコンダクタンスが増加すること、および、iv) 上記ii)とiii)により、タイミングに応じてコンダクタンスが変化するシナプスデバイスが構成可能であることを明らかにした。

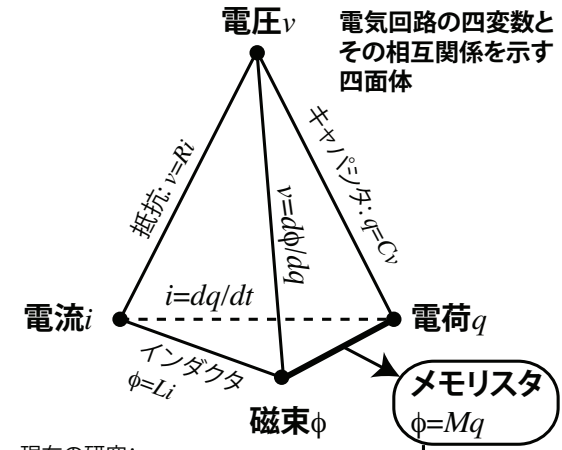
研究成果の概要(英文)：An elemental device for possible brain-inspired hardware, i.e., a neuronal interconnect (synaptic) device that connects neurons electrically through nonvolatile resistor, was explored. Through extensive experimentals of the prototype device, the following results were obtained: i) transient characteristics of the ReRAM are qualitatively equivalent to characteristics of a mathematical model of memristors proposed by Leon Chua, ii) conductance of the ReRAM does not change when one applies voltage spikes to a CR circuit consisting of the ReRAM and a capacitor, iii) when the capacitor is discharged via an additional current path during the charge and discharge process in ii) above, conductance of the ReRAM is certainly increased and decreased, and iv) by combining properties of ii) and iii) above, conductance of the STDP device is certainly modulated (increased or held) by the input spike timing.

研究分野：集積回路工学

キーワード：メモリスタ シナプス 電子回路 抵抗変化メモリ ReRAM

1. 研究開始当初の背景

英 Nature 誌 2008 年 5 月号にて、第四の電気回路素子が「発見」されたとの報告がなされた。実際には、このデバイスは酸化チタンの薄膜を白金電極で挟んだ抵抗変化型メモリ (ReRAM) であり、これは本来の第四の電気回路素子--電荷 q と磁束 ϕ の関係: $\phi = Mq$ (下図)--を直接的に表すものではなく、その微分の特性を示す抵抗変化型のデバイスであった。



現在の研究:
不揮発メモリ代替 (ReRAM など) のみ (論理回路応用のみ)

本提案
電子回路で「 $\phi=Mq$ 」を使う基礎回路理論の構築
(増幅器, 発振器, 変調器, アナログメモリ, ほか)
→LCRを基本とするエレクトロニクスに新しい理論を

このデバイスに電流を流すと抵抗値が変化し、電流を流さなければ抵抗値は保持 (不揮発に記憶) される。つまり、発見されたメモリスタは、メモリ機能を持つ抵抗素子である。約 40 年前に第四の基本電気素子の存在を予測した Leon Chua は、このような性質を持つ素子を「メモリスタ」と名付けた。

ReRAM や PRAM (相変化メモリ) は、不揮発メモリの新しい候補として実用化 (ニューモニクス (128Mbit, 90-nm BiCMOS, 2011)、サムソン (512Mbit, 65-nm BiCMOS, 2011) 等) が進んでおり、またそれら新規デバイスに関する半導体物理も徐々に構築されつつある。ところが、それらの基本であるメモリスタのアナログ特性を利用する電子回路に関する研究者数は極めて少ない。その理由は、まだ一般に入手しにくいデバイスであることに加えて、メモリスタを用いた電子回路設計には新しい考え方が必要であることが挙げられる。そのため、歴史的な発見である第四の基本素子メモリスタは、その物理的性質をアナログ回路応用するための学術的基盤が整っていない。第四の基本素子を組み込んだアナログ電子回路は、L, C, R (MOSFET を含む) を中心とする古典的電子回路では実現できなかった機能や、それらを超える能力を持つと考えられ、その学術的基盤を整えることは、現在飽和気味の電子回路の設計学を進展させるために重要である。

2. 研究の目的

本研究の目的は、不揮発メモリへの応用が盛んな電気回路素子「メモリスタ」のアナログ特性を利用する新しい電子回路の設計基盤を構築することである。

メモリスタ (M) は、インダクタ (L), キャパシタ (C), 抵抗 (R) に次ぐ第四の電気基本素子であり、論理回路応用に関する研究は進んでいるものの、アナログ電子回路応用のための学術的基盤は全く整えられていない。これまで申請者らにより設計/実証されてきたメモリスタを組み込んだアナログ電子回路をもとに、設計の基本となる考え方と回路理論を整理・発展させ、第四の電気基本素子を活用した新しい電子回路のための学術基盤を構築し、将来の電子回路工学・エレクトロニクスの発展に寄与することが本研究の目的である。

3. 研究の方法

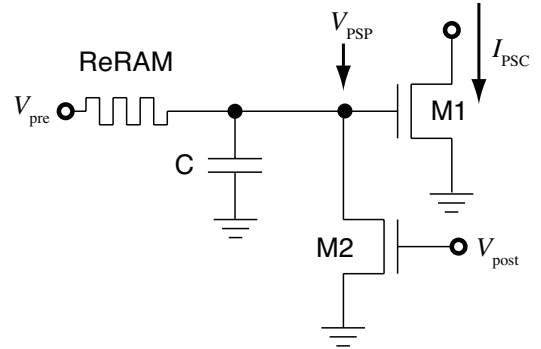
- 当初計画では、
- (1) 「C-ReRAM フィルタ回路における電荷保存則」の定式化
 - (2) メモリスタ発振回路の設計法の確立 (負性抵抗を利用した緩和振動子, 単安定回路)
 - (3) メモリスタ増幅器と位相変調器, メムインダクタンスとメムキャパシタンスの回路応用
 - (4) メモリスタを用いた脳型学習ハードウェアに関する検討

の四つの研究を平行に進める計画であったが、メモリスタ発振回路の設計法の確立(2)、およびメモリスタ増幅器と位相変調器(3)については基礎調査に留まり、回路的な新規性を出すことができなかった。よって、構築した電荷保存則(1)、およびメモリスタを用いた脳型学習ハードウェア(4)に関する成果と別視点の新規成果を次章にて報告する。

4. 研究成果

- (1) 「C-ReRAM 基本回路における電荷-コンダクタンス保存則」

メモリスタの基本法則 (電荷-コンダクタンス保存則) を検証するための回路を下図に示す (バイポーラ型 ReRAM, キャパシタ (C), および二つの nMOS FET (M1 と M2) からなる CMOS-ReRAM ハイブリッド回路)。



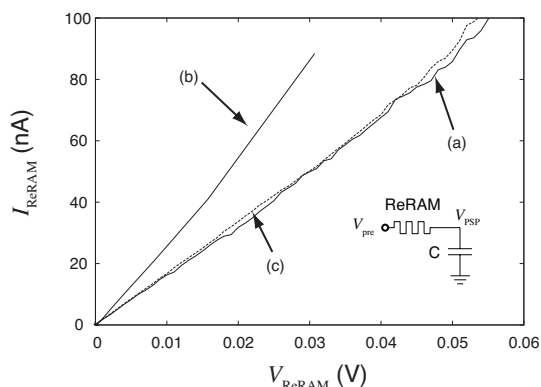
以下、二つの入力パルス電圧と C の両端電圧をそれぞれ V_{pre} , V_{post} および V_{PSP} で表す。

また、M1 のドレイン電流を IPSC で表し、この電流の積分値を観測値とする。

まず、M2 がオフの状態を考える。M1 のゲート容量が C よりも十分小さければ、この回路は単なる CR 回路である (R は ReRAM の抵抗)。この状態で V_{pre} にパルス電圧が与えられると、まずパルス電圧の立ち上がりで ReRAM を介して C が充電される。このとき、ReRAM を介して C へ電流が流れる (電荷が移動する) ため、ReRAM のコンダクタンスが増加する。その増加量は、ReRAM 内部を移動した電荷量により決まる。次にこのパルス電圧が立ち下がると、ReRAM を介して C が放電される。C の放電が完了したとき、ReRAM からグラウンド ($V_{pre}=0$) へ逆向きに移動した電荷量は、パルス電圧の立ち上がりで C に蓄えられた電荷量と同じである。よって、C の充電による ReRAM のコンダクタンスの増加量と同じ量だけ ReRAM のコンダクタンスが減少する。したがって、 V_{pre} のパルス電圧の立ち上がり/立ち下がり前後で ReRAM のコンダクタンスは変化しない (=電荷-コンダクタンス保存則)。まず、この推測が正しいかどうかを実験により調べ、回路理論を構築した。

次に、C が充電された状態で M2 がオンとなった場合を考える。上記と同様、 V_{pre} にパルス電圧が与えられると、まずパルス電圧の立ち上がりで ReRAM を介して C が充電され、ReRAM のコンダクタンスが増加する。この状態で M2 がオンになると、M2 を介して C が放電される。したがって、この後で V_{pre} のパルス電圧が立ち下がると、ReRAM からグラウンド ($V_{pre} = 0$) へ移動する電荷量は充電時の電荷量よりも少なくなる。よって、この放電による ReRAM のコンダクタンスの減少量は、C の充電によるコンダクタンスの増加量よりも少なくなる。その結果、 V_{pre} のパルス電圧の立ち上がり/立ち下がり前後で、ReRAM のコンダクタンスが変化する (コンダクタンスが増える)。簡単のためこれらのパルスの幅と振幅が一定であるとすれば、このコンダクタンスの増加量は、 V_{pre} と M2 をオンにするパルス (V_{post}) の時間差によって決まる。 V_{pre} および V_{post} のパルス立ち上がり時間をそれぞれ t_{pre} および t_{post} とすれば、 Δt ($=t_{post}-t_{pre}$) が正のときに、コンダクタンスが増加する。逆に Δt が負のときには、コンダクタンスは変化しない。このしくみにより、 V_{pre} および V_{post} のパルスタイミングで ReRAM のコンダクタンスを制御できることを実験により調べ、コンダクタンス増減量の解析と併せて回路理論を組み込んだ。

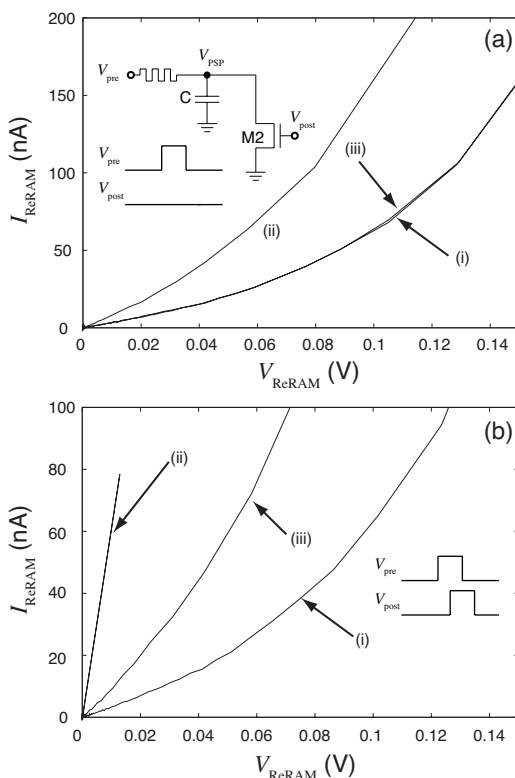
下図は電荷-コンダクタンス保存則が成り立つことを裏付ける実験結果である。この図において、(a) は V_{pre} のパルスが立ち上がる前の IV 特性、(b) はパルスが立ち上がった後の IV 特性、(c) はパルスが達下がった後の IV 特性を表す。これより、 V_{pre} のパルスの前後で、ReRAM のコンダクタンスがほとんど変化しないことがわかる。よって、仮定した電荷



-コンダクタンス保存法則は成立する。

(2) メモリスタを用いた脳型学習ハードウェアに関する検討

上図中の ReRAM-C 回路にリーク用の nMOSFET を付加した回路の予備実験結果を下図に示す。下図 (a) では M2 が常にオフ ($V_{post} = 0$) であるため、IV 特性は前述の図と同じになる (使用した ReRAM と容量 C では、nMOS トランジスタのリーク電流はほぼ無視できる)。下図中の (i), (ii), および (iii) は、それぞれ初期状態、 V_{pre} の立ち上がり後、および立ち下がり後の ReRAM の IV 特性である。次に、C の充電後に M2 がオンとなるような V_{post} を与える予備実験を行った結果を下図 (b) に示す。この場合、初期状態 (i) から V_{pre} のパルスの立ち上がりによって一時的に増加したコンダクタンス (ii) は、 V_{pre} の立ち下がり後、初期コンダクタンス (i) に戻らず [(iii)], 推測どおりの動作結果が得られている。よって、二つのパルスの時間差によるコンダクタンス増減が起こると結論づけた。



また、パルス電圧を V_{pre} , V_{post} に与えそ

のときのVPSPおよびCの電流からIV特性を算出し、その微分コンダクタンスを計算すれば、パルスタイミング差 (Δt) が小さくなるにつれて、微分コンダクタンスの変化量 (Δg) が増えることも併せて実験により確認できた。この結果より、脳型情報処理に必要なSTDPシナプスを実現可能であることを示した。

(3) メモリスタの非線形ダイナミクス

別応用として、メモリスタを用いて構成した反応拡散系(拡散定数が系の時空間パターンにより変化するような系)の振舞いについて調べた。具体的には、興奮波が伝搬する一次元の反応拡散系(オレゴネータの結合系)の拡散定数が濃度勾配に応じて局所的に変化するような系における興奮波の伝搬特性について調べた。通常オレゴネータ反応拡散系における興奮波の伝搬の様子は、例えば一次元場の右端と左端に刺激を与えると、興奮波が場の中央に向かって伝搬し、中央で衝突する(その後、興奮波は消滅する)。しかしメモリスタ反応拡散系の場合は、興奮波の進行方向と通過回数に応じて結合強度が局所的に変化するため、通常オレゴネータ反応拡散系とは異なる結果が得られるはずである。数値計算の結果、一次元場の右方向に伝搬する興奮波と左方向に伝搬する興奮波の速度が異なり、場の中央よりも右側で興奮波が衝突することがわかった(興奮波の進行方向依存性)。これは、右方向に伝搬する興奮波がその位置におけるメモリスタのコンダクタンスを増加させ、左方向の興奮波がコンダクタンスを減少させるものであると考えられる。さらに、ランダムな極性を持つ一次元および二次元のメモリスタ反応拡散系において発生する非線形現象・時空間パターンの発生の予測・観測を行った。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計4件)

- (1) Ishimura K., Komuro K., Schmid A., Asai T., and Motomura M., "FPGA implementation of hardware-oriented reaction-diffusion cellular automata models," *Nonlinear Theory and Its Applications*, vol. 6, no. 2, pp. 252-262 (2015). (査読有) DOI: 10.1587/nolta.6.252
- (2) Ishimura K., Komuro K., Schmid A., Asai T., and Motomura M., "Image steganography based on reaction diffusion models toward hardware implementation," *Nonlinear Theory and Its Applications*, vol. 5, no. 4, pp. 456-465 (2014). (査読有) DOI: 10.1588/nolta.5.456
- (3) Mori M., Itou T., Ikebe M., Asai T.,

Kuroda T., and Motomura M., "FPGA-based design for motion-vector estimation exploiting high-speed imaging and its application to motion classification with neural networks," *Journal of Signal Processing*, vol. 18, no. 4, pp. 165-168 (2014). (査読有) DOI: 10.2299/jsp.18.165

- (4) Gong X., Asai T., and Motomura M., "Excitable reaction-diffusion media with memristors," *Journal of Signal Processing*, vol. 16, no. 4, pp. 283-286 (2012). (査読有) DOI: 10.2299/jsp.16.283

[学会発表] (計25件)

- (1) Oya T. and Asai T., "Emerging computation on single electron circuits and devices (tentative)," The 3rd Bilateral Italy-Japan Seminar of Silicon Nanoelectronics for Advanced Applications, Campus Plaza Kyoto, Kyoto, Japan (Jun. 17, 2015).
- (2) 石村 憲意, 牛田 実穂, Schmid A., 浅井 哲也, 本村 真人, "無地物体の奥行き検出に向けたパターン生成アルゴリズムとそのLSIアーキテクチャ," LSIとシステムのワークショップ, 北九州国際会議場, (北九州市), 2015年5月11-13日.
- (3) 浅井 哲也, "機械学習のデジタル実装と応用," 東北大学電気通信研究所 プレインウェア工学研究会, Tohoku University, Sendai, Japan (Apr. 28, 2015).
- (4) Itou T., Mori M., Ikebe M., Asai T., Kuroda T., and Motomura M., "A new architecture for feature extraction to perform machine learning by using motion vectors and its implementation in an FPGA," *Proceedings of the 2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing*, pp. 294-297, Universiti Teknologi Malaysia, Kuala Lumpur, Malaysia (Feb. 27-Mar. 2, 2015).
- (5) Ueyoshi K., Asai T., and Motomura M., "Scalable and highly-parallel architecture for restricted boltzmann machines," *2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing*, pp. 369-372, Universiti Teknologi Malaysia, Kuala Lumpur, Malaysia (Feb. 27-Mar. 2, 2015).
- (6) Ushida M., Ishimura K., Asai T., and Motomura M., "A reaction-diffusion algorithm for texture generation towards motion-vector estimation of

- textureless-objects," 2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, pp. 361-364, Universiti Teknologi Malaysia, Kuala Lumpur, Malaysia (Feb. 27-Mar. 2, 2015).
- (7) 森 政文, 伊藤 健之, 池辺 将之, 浅井 哲也, 黒田 忠広, 本村 真人, "動きベクトルの機械学習アーキテクチャとそのFPGA実装," STARCシンポジウム2015, 新横浜国際ホテル, (横浜), 2015年1月30日.
- (8) Ishimura K., Komuro K., Schmid A., Asai T., and Motomura M., "Stochastic resonance in a unidirectional network of nonlinear oscillators driven by internal noise," Proceedings of the 2014 International Symposium on Nonlinear Theory and its Applications, pp. 89-92, Cinema of Bourbaki Panorama, Luzern, Switzerland (Sep. 14-18, 2014).
- (9) 石村 憲意, 小室 勝郎, Schmid A., 浅井 哲也, 本村 真人, "興奮性媒体の自発的活動による自己確率共鳴," 第3回情報ネットワーク科学研究会・複雑コミュニケーションサイエンス研究会合同ワークショップ, CCS-016, 丸駒温泉, (千歳), 2014年8月7-8日.
- (10) Asai T., "A Memristor ---the Fourth Fundamental Circuit Element--- and its Application to Unconventional Computation," The 6th IEEE International Nanoelectronics Conference 2014, Hokkaido University, Sapporo, Japan (Jul. 28-31, 2014).
- (11) Akai-Kasaya M., Tuan D. N., Asai T., Yamamoto S., Saito A., and Kuwahara Y., "Molecular neuromorphic learning systems consisting of synaptic devices on high-conductive polypyrrole films," CMOS Emerging Technologies Research 2014 Symposium, MINATEC, Grenoble, France (Jul. 7-8, 2014).
- (12) 石村 憲意, 小室 勝郎, Schmid A., 浅井 哲也, 本村 真人, "統計的解析法に耐性のあるステガノグラフィアルゴリズムとそのFPGA実装," LSIとシステムのワークショップ, 北九州国際会議場, (北九州市), 2014年5月26-28日.
- (13) Asai T., "Trends in neuromorphic engineering towards nanoelectronic brain machines (TBD)," The 10th International Nanotechnology Conference on Communication and Cooperation, NIST, Maryland, U. S. A. (May 13-16, 2014).
- (14) 浅井 哲也, "ERD 動向と ERD のための Emerging アーキテクチャ," 2013 年度 STRJ ワークショップ, Kokuyo Hall, Tokyo, Japan (Mar. 7, 2014).
- (15) Mori M., Itou T., Ikebe M., Asai T., Kuroda T., and Motomura M., "FPGA-based design for motion-vector estimation exploiting high-speed imaging and its application to machine learning," Proceedings of the 2014 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, pp. 145-148, Waikiki Beach Marriott Resort & Spa, Honolulu, U. S. A. (Feb. 28-Mar. 3, 2014).
- (16) 森 政文, 伊藤 健之, 池辺 将之, 浅井 哲也, 黒田 忠広, 本村 真人, "高速撮像を前提とする動きベクトル演算の簡素化アーキテクチャとその機械学習応用," 電子情報通信学会 集積回路研究会 学生・若手研究会, 京都大学, (京都), 2014年1月28-29日.
- (17) 石村 憲意, 小室 勝郎, Schmid A., 浅井 哲也, 本村 真人, "縞・斑点画像を生成/修復する反応拡散モデルのFPGA実装," 第3回バイオメトリクスと認識・認証シンポジウム, pp. 98-103, A10-1, 日本科学未来館, (東京), 2013年11月26-27日.
- (18) 小室 勝郎, 石村 憲意, Schmid A., 浅井 哲也, 本村 真人, "ハードウェア向け反応拡散モデルの電子透かし応用とそのFPGA実装," 計測自動制御学会システム・情報部門 学術講演会 2013, ピアザ淡海, (大津), 2013年11月18-20日.
- (19) Ishimura K., Schmid A., Asai T., and Motomura M., "Image steganography based on hardware-oriented reaction-diffusion models," 2013 International Symposium on Nonlinear Theory and its Applications, Santa Fe Community Convention Center, Santa Fe, U. S. A. (Sep. 8-12, 2013).
- (20) Ishimura K., Schmid A., Asai T., and Motomura M., "Image steganography on digital reaction-diffusion processor," Nonlinear Dynamics of Electronic Systems 2013, Palazzo Ateneo, Bari, Italy (Jul. 10-12, 2013).
- (21) 石村 憲意, Schmid A., 浅井 哲也, 本村 真人, "ハードウェア実装に向けた反応拡散ステガノグラフィモデル," 2013年度第1回電子情報通信学会複雑コミュニケーションサイエンス時限研究会, (草津), 2013年6月.
- (22) Asai T., "Neuromorphic architectures," ITRS Workshop on Fundamental Concepts in Emerging Research Architectures, Hilton San

Francisco Union Square, San Francisco, U. S. A. (Dec. 8, 2012).

- (23) 浅井 哲也, "メモリスタ~第4の基本電気素子~とその応用," 第22回MIT (Modern Innovative Technology) 研究会, Step One Ltd., Kobe, Japan (Sep. 29, 2012).
- (24) Gong X., Asai T., and Motomura M., "Spatio-temporal pattern formation on memristive reaction-diffusion systems," Asia Conference on Nanoscience and Nanotechnology 2012, Crowne Plaza Lijiang Ancient Town, Yunnan, China (Sep. 7-10, 2012).
- (25) Gong X., Asai T., and Motomura M., "Reaction-diffusion media with excitable Oregonators coupled by memristors," The 13th International Workshop on Cellular Nanoscale Networks and their Applications (The 3rd Memristor and Memristive Symposium), Politecnico di Torino, Turin, Italy (Aug. 28-31, 2012).

[図書] (計3件)

- (1) Asai T. and Peper F., "Explorations in Morphic Architectures," Emerging Nanoelectronic Devices, Chen A., Hutchby J., Zhirnov V, and Bourianoff G., Eds, Wiley, New Jersey (2015). (576 pages)
- (2) Asai T., "Memristor-CMOS-hybrid synaptic devices exhibiting spike-timing-dependent plasticity," VLSI: Circuits for Emerging Applications, Wojcicki T. and Iniewski I., Eds., CRC Press (2014). (486 pages)
- (3) Asai T., "Reaction-diffusion media with excitable Oregonators coupled by memristors," Memristor Networks, Adamatzky A. and Chua L., eds., Springer (2013). (720 pages)

[産業財産権]

○出願状況 (計1件)

名称: 分子電気素子
発明者: 田中 啓文, 小川 琢治, 浅井 哲也
権利者: 大阪大学
種類: 特許
番号: 特願 2013-179578
出願年月日: 25年8月30日
国内外の別: 国内

○取得状況 (計0件)

[その他]

ホームページ等
<http://lalsie.ist.hokudai.ac.jp>

6. 研究組織

- (1) 研究代表者
浅井 哲也 (ASAI TETSUYA)
北海道大学・大学院情報科学研究科・准教授
研究者番号: 00312380
- (2) 研究分担者
なし
- (3) 連携研究者
柳田 剛 (YANAGIDA TSUYOSHI)
大阪大学・産業科学研究所・准教授 (平成27年1月より九州大学・先端物質化学研究所・教授)
研究者番号: 50420419
石村 憲意 (ISHIMURA KAZUYOSHI)
北海道大学・大学院情報科学研究科・博士課程在籍中
宮 曦媛 (GONG XIYUAN)
北海道大学・大学院情報科学研究科・修士 (H24年度修了)
松浦 正和 (MATSUURA MASAKAZU)
北海道大学・大学院情報科学研究科・修士 (H24年度修了)