

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 7 日現在

機関番号：14301

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24500061

研究課題名(和文) 先端デバイスを用いた論理回路の高信頼化タイミング設計手法の研究

研究課題名(英文) studies on high-reliability timing design methods for logic circuits using advanced devices

研究代表者

高木 一義 (Takagi, Kazuyoshi)

京都大学・情報学研究科・准教授

研究者番号：70273844

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：下記の2点の成果を得た。

1. 超高速かつ低消費電力の論理回路が実現可能である、超伝導単一磁束量子論理デバイスを用いた集積回路の、自動配置および配線手法を開発した。これまで人手でチェック、修正が必要であったレイアウト設計の自動化が可能になり、タイミング余裕の広い高信頼な回路の設計が容易になった。
2. 断熱型磁束量子パラメトロンは、大規模回路が制作可能になりつつある超低電力論理デバイスであり、多数決ゲートを基本論理素子とする。本研究では、このデバイスを用いた論理回路の合成手法の基礎となる、5変数までの全ての論理関数に対する3入力多数決ゲートを用いた最小段数の回路を列挙した。

研究成果の概要(英文)：We obtained the following two results.

1. We developed an automatic placement and routing method for integrated circuits using superconducting single-flux-quantum logic device which can realize super high-speed and low-power consumption logic circuits.
2. Adiabatic quantum-flux-parametron is a super low-power logic device and attempts to build large scale circuits with the device have begun recently. The basic logic elements are majority gates. We enumerated minimum depth circuits for all five-variable logic functions using three-input majority gates. The result is useful as the basis for logic synthesis method for the device.

研究分野：計算機科学

キーワード：論理回路 論理関数 タイミング設計 レイアウト設計 超伝導単一磁束量子デバイス

1. 研究開始当初の背景

我々は半導体集積回路に代わるコンピューティングデバイスとして、超伝導単一磁束量子デバイスに注目している。超伝導単一磁束量子デバイスは、超高速かつ低消費電力の論理回路が実現可能なデバイスであり、半導体とは異なる原理で動作しパルス論理に基づく設計が必要である。このデバイスを用いた論理回路設計に関する研究が進められていたが、素子や動作環境のばらつきが無視できない条件下での、信頼性の高い動作のためのタイミング設計手法が必要になってきていた。

制約が厳しい条件下でのタイミング設計手法の開発は、高集積化、高速化が進む半導体論理回路や、他の新デバイスを用いた回路の設計にも有用と考えられる。

2. 研究の目的

本研究では、高速、高信頼な回路動作のために、クロックスキューの存在を前提とし積極的に利用する論理回路設計に関する研究を行う。超伝導単一磁束量子デバイスを用いた論理回路設計のためのアルゴリズムおよび設計手法を開発し、また、他のデバイスにも適用可能な高速論理回路の設計手法を検討する。

3. 研究の方法

研究代表者らが開発してきた超伝導単一磁束量子回路向け設計フローにおいて、自動化が不十分な箇所の検討を行い、特に配置配線段階における回路動作タイミングの扱いが必要と考えられたため、そのための設計アルゴリズムの開発を進めることとした。既開発のアルゴリズムや設計ツールと合わせ、回路全体へのクロック信号配信のスケジュール

リング、クロック分配のための木構造の配線の構成、論理設計、配置・配線設計を統合した回路最適化、タイミング解析等を連携した、単一磁束量子デバイス向けの回路設計フローの完成を目標とした。設計フローの全体図における、本研究の位置付けを図1に示す。

また、新たに開発が始まった断熱型磁束量子パラメトロンを用いた論理回路の設計のための設計手法を開発することとした。開発した設計手法の、半導体回路や他の新デバイスへの適用可能性を検討した。

4. 研究成果

(1) 超伝導単一磁束量子論理回路の自動配置および配線手法を開発した。

超伝導単一磁束量子論理回路の設計では、回路がパルス論理に基づき各論理ゲートがクロックで駆動されること、また、数十 GHz のスイッチング速度を目標にした設計であり半導体回路に比べ配線遅延の影響が相対的に大きいことから、タイミングの整合性が最優先される。配置配線の段階では、前段階の論理合成・最適化の段階で調整された信号タイミングを厳密に維持しつつ小面積のレイアウトを得ることが必要となる。

提案手法は、パルス到着タイミングを最適化することにより、素子や動作環境のばらつきに対する動作余裕が広いレイアウトを得ることを目標としている。パルス論理での動作のため、クロック入力を有しクロックに同期して論理演算を行う、クロックゲートを基本論理ゲートとして用いる。回路の入力側のゲートから順に、各ゲートへクロック、データの順にパルスが到着するコンカレントフロックロッキング方式を前提とし、既開発されているクロックツリー合成手法により、クロックツリーとともに素子の概略配置が与えられる。

本手法ではまず、与えられた回路面積を制約として、素子の概略配置に従い初期詳細配置を決定する。この初期配置から、クロックを分配する分岐ノードの配置を行う。次に、既開発の自動配線手法を用いて配線を行う。この際、タイミングに関して影響が大きいクロック信号を優先して配線を行い、その後順次データ信号の配線を行う。配線長に基づき各ゲートにおけるパルス到着タイミングを評価し、クロックとデータの相対的なパルス到着時刻がタイミング制約範囲の中央に近づくよう、配線長を調整する。データ配線長を長くする必要がある場合は迂回配線を行い、また、短くする必要がある場合は既配線の引き剥がしによる配線優先順位の変更、さらに、必要な場合にはクロック入力タイミングの変更、素子配置の再調整を行う。

本手法に基づき、既開発のツールと連携す

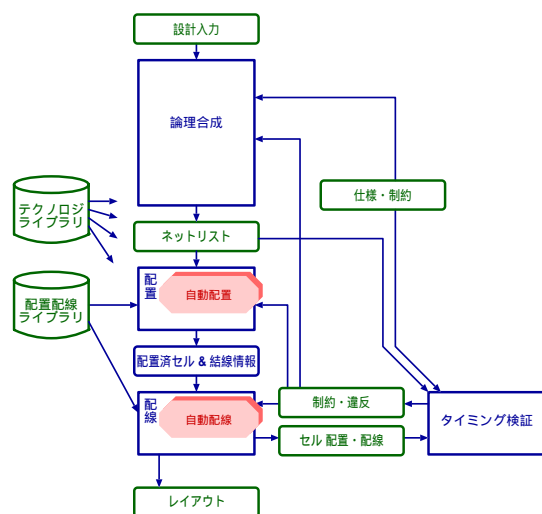


図1: 単一磁束量子論理回路の設計フロー

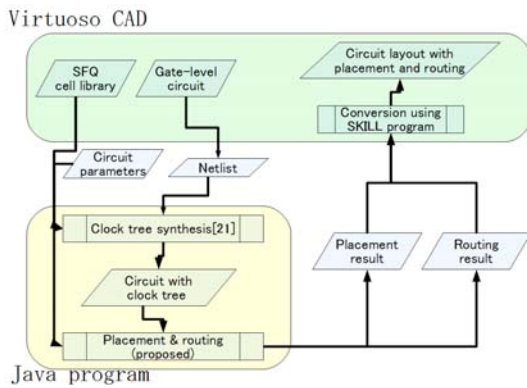


図 2: レイアウト設計フロー

る配置配線ツールを実装した。本ツールを用いるレイアウト設計フローを図 2 に示す。左下の「Placement & routing」の部分为本ツールでの処理である。汎用 CAD システムの設計データからクロックツリー合成を行い、本ツールで配置配線を行い、結果を汎用 CAD システムへ返す形でツールの連携を実現した。このシステムをサンプル回路に適用し、提案手法を用いず最短距離配線のみを行うレイアウト結果と比較し評価を行ったところ、最大で約 25% の配線長増加によって、パルス到着タイミングの調整を行い信頼性の高い回路レイアウトを得ることができた。

本手法により、これまでタイミング設計が困難であり最終的には人手でチェック、修正が必要であった単一磁束量子論理回路のレイアウト設計の自動化が可能になった。また、タイミング制約範囲の中央を最適値として目標を設定し逐次改善を行うことにより、動作余裕の広い高信頼な回路の設計が容易になった。

(2) 断熱型磁束量子パラメトロンを用いた論理回路の設計のための、最小段数回路を求める手法を開発した。

断熱型磁束量子パラメトロンは、単一磁束量子回路より更に低消費電力の計算デバイスを実現可能な回路方式であり、大規模回路の作成が可能になりつつある。その動作原理により、3 入力あるいは 5 入力程度の多数決ゲートを基本論理素子とし、論理否定を配線で実現する論理回路を構成できる。この構成法は従来の半導体論理回路や超伝導単一磁束量子回路とは異なるため、断熱型磁束量子パラメトロン回路の高速化や面積削減を行うためには、従来の論理合成手法とは異なる手法が必要となる。

論理回路の段数は回路の速度及び面積に直接影響するため、段数の削減は回路のタイミング最適化に有効である。そこで本研究で

は、与えられた論理関数を実現する、断熱型磁束量子パラメトロンを用いた最小段数論理回路の解析を行った。本研究では、5 変数までの全ての論理関数に対し、3 入力多数決ゲートを用いた最小段数の回路を列挙した。ここで、論理否定は配線で実現されるため、論理否定のための段数や素子数には計上されない。これまで、4 変数以下の論理関数の最小段数は知られていたが、5 変数論理関数については知られていなかった。本研究により、5 変数論理関数全てが 4 段の 3 入力多数決回路で実現できることを、計算機を用いた列挙により初めて示すことができた。

最小段数の回路の列挙の方法は以下の通りである。まず、単一の 3 入力多数決ゲートで実現できる 5 変数論理関数を全て列挙する。次に、列挙された論理関数を入力とする 3 入力多数決ゲートで実現できる 5 変数論理関数を、全ての組み合わせについて計算する。これで、2 段の 3 入力多数決回路で実現できる論理関数が全て列挙される。以下、これを 3 段、4 段と繰り返し、全ての 5 変数関数について、それを実現する論理回路が発見されれば終了する。この際、論理否定が配線で実現されることを考慮すると、変数の否定、変数の置換、関数値の否定の操作を行うことで互いに変換される論理関数の同値類、すなわち NPN 同値類に属する論理関数は同じ段数の論理回路で実現できることに注意し、列挙する空間を大幅に削減することができる。

この方法により、5 変数論理関数のうち 3 段の 3 入力多数決回路で実現できるものは全てプログラムで列挙することができたが、4 段の回路については膨大な計算時間がかかるため単純な列挙は現実的ではない。そこで、論理関数のある変数 x に関するシャノン展開を用いて、与えられた 5 変数関数を x 、 x の否定、および 2 つの 4 変数関数の積和形で表現し、論理和が 1 つの多数決ゲートで実現できることを利用して、部分的な空間探索を行った。これにより、ほとんどの 5 変数論理関数が 4 段の多数決回路で実現できることが示された。残りの論理関数については、多数決ゲートによる排他的論理和の実現は回路段数が比較的多いことに着目し、論理関数のある変数 x による制限が 4 変数排他的論理和である関数の集合を考え、その分解を用いて部分的な空間探索を行った。その結果、全ての関数が 4 段多数決回路で実現できることが分かった。結果として、全ての 5 変数論理関数について、対応する多数決論理回路を現実的な計算時間で発見することができた。

表 1 に k 段以下の 3 入力多数決ゲートによる回路で実現可能な関数の個数を $k=1, 2, 3, 4$ について示す。

表 1: k 段以下で実現可能な関数の個数

| 段数 | 5 変数論理関数の個数 | NPN 同値類の個数 |
|----|-------------|------------|
| 1 | 172 | 4 |
| 2 | 235732 | 132 |
| 3 | 4225442636 | 603890 |
| 4 | 4294967296 | 616126 |

6 変数以上の論理関数について、本手法をそのまま適用することは計算量的に困難だが、5 変数以下の結果を回路設計パターンとして用いてマッピングするなどの方法で、6 変数以上の一般の論理関数に対するタイミング最適化能力の高い論理合成手法のためにも有用と考えられる。また、多数決論理に基づく論理合成手法は、断熱型磁束量子パラメトロン回路に限らず一般の論理デバイス向けの手法として応用できる可能性がある。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 0 件)

[学会発表] (計 5 件)

① 西村翔、高木一義、高木直史、単一磁束量子回路のパルス到着タイミングを最適化する配置配線手法、電子情報通信学会総合大会、C-8-8、査読無、2015 年 3 月 11 日、立命館大学

② 守家大雄、高木一義、高木直史、3 入力多数決ゲートを用いた 5 変数論理関数の最小段数回路、2014 年冬の LA シンポジウム、B-3、査読無、2015 年 1 月 28 日、京都大学

③ M. Moriya, K. Takagi, N. Takagi, Minimum Depth Logic Circuits for Five-Variable Logic Functions Using Three-Input Majority Gates, Superconducting SFQ VLSI Workshop (SSV 2014), P-3, 査読無, 2014 年 12 月 1 日, NICT, Kobe, Japan

④ S. Nishimura, K. Takagi, N. Takagi, Automatic Placement and Routing of a Pipelined Module in an RSFQ Logic Circuit with Timing Constraints, Superconducting SFQ VLSI Workshop for Young Scientists (SSV 2014-YS), P-1, 査読無, 2014 年 3 月 6 日, Nagoya University, Japan

⑤ 西村翔、高木一義、高木直史、単一磁束量子回路向けの論理ゲート配置手法、電子情報通信学会総合大会、C-8-23、査読無、2013 年 3 月 22 日、岐阜大学

6. 研究組織

(1) 研究代表者

高木 一義 (TAKAGI, Kazuyoshi)
 京都大学・大学院情報学研究科・准教授
 研究者番号：70273844

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：