

**科学研究費助成事業 研究成果報告書**

平成 28 年 6 月 29 日現在

機関番号：15301

研究種目：基盤研究(C) (一般)

研究期間：2012～2015

課題番号：24500065

研究課題名(和文) 制御フローグラフを用いた非同期式パイプラインの最適設計法

研究課題名(英文) Design method of optimized asynchronous pipelines using control-flow graphs

## 研究代表者

籠谷 裕人 (KAGOTANI, Hiroto)

岡山大学・自然科学研究科・講師

研究者番号：50271060

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：クロック信号を使用しないことにより消費電力や電磁波放射が低減されると期待される非同期式回路の性能を向上させるには、パイプライン構成が有効である。制御フローグラフを利用したパイプライン化は、回路量の削減に効果があるが、それでもなお冗長な回路により制御回路が増大する傾向にあるため、パイプライン化後の制御フローグラフから冗長なノードを除去するための単純化アルゴリズムを開発した。またこのアルゴリズムを改良し、単純化のための計算量の削減を行った。

研究成果の概要(英文)：Pipelines are effective for improving performance of asynchronous circuits, which are expected to reduce power consumption and electromagnetic radiation by eliminating clock signals. Although pipelining using control-flow graphs are effective for reducing circuit size, there remains some redundant circuitry increasing the control circuits. In this research, an algorithm for simplifying pipelined control-flow graphs by eliminating redundant nodes. Also, an improved algorithm reduces computational complexity for the simplification.

研究分野：非同期式回路設計手法

キーワード：非同期式回路 制御フローグラフ 依存性グラフ 単純化

## 1. 研究開始当初の背景

グローバルなクロックを用いない非同期式プロセッサは、消費電力と電磁的雑音の低さが期待される一方で、回路量と性能の面で解決すべき課題が多数ある。このうち、性能を向上させるには、パイプライン構成が欠かせないが、従来の Micropipeline を代表とするデータフローグラフに基づくパイプライン設計では、データパス中のレジスタが極端に増加するという問題があり、これを解決するために代表者らは制御フローグラフに基づくパイプライン設計を提案している。この方法によれば、極力並列な動作が可能なパイプライン動作を表す制御フローグラフが得られ、そのグラフの各ノード上でのトークン移動を模擬するような回路ブロックをノードの接続関係と同じように接続することにより、制御回路が構成できる。また、スピードインディペンデントモデルを仮定して、これらの回路ブロックの構成を提案している。

制御フローグラフを用いたパイプライン設計では、集中的な制御が可能となるため、並列に動作しえない演算間での演算資源の共有機構が容易に構成可能である。しかし、この手法ではデータパスにおける各演算の遅延が無制限に延び得るという非現実的な仮定を置き、どのような遅延の組み合わせにおいても極力並列な動作が行えるようにスケジューリングするため、細粒度の待合せが多数発生してオーバーヘッドが増大するだけでなく、演算間での資源共有の可能性は高いとはいえない。また、このパイプライン化アルゴリズムは、仕様として与えられた演算をそのまま用いることを前提として演算そのもののパイプライン実行やバッファ挿入を行わない。さらに、確実に並列化するためにグラフ中の多くのノードを無条件に複製するため、制御回路の冗長性が高い。

## 2. 研究の目的

本研究の目的は、上で述べたパイプライン設計法の不完全な部分を完成させ、非同期式パイプラインの最適設計法を確立することである。具体的な目的は次のとおりである。

(1) より現実的な遅延モデルである SDI を仮定した上で、パイプラインの深度を最適化するアルゴリズムを構築する。これにより、わずかのパイプラインレジスタが増加するだけで、スループットが大幅に増加すると期待される。

(2) 無意味な並列性による専用演算資源の検出と、リスケジューリングによる演算資源共有の促進を行うアルゴリズムを構築する。これにより、データパス内の演算資源の共有が可能となり、ハードウェア量の削減が期待され、さらに細粒度の待合せが減ることにより、回路の性能向上が期待される。

(3) パイプライン化のために複製されたノードを再統合して冗長な制御回路を単純化するアルゴリズムを構築する。これにより、制御回路内の回路ブロック数が削減され、ハードウェア量の低減が期待される。

## 3. 研究の方法

(1) まず、制御フローグラフにおける冗長性の要因となっている冗長なセレクトおよびマージの削減アルゴリズムを開発し、これを実装する。グラフの構造のみから冗長性を判定することは容易ではないので、削減(複数のノードを単一化)してみた場合に、元のグラフと等価な動作を表現できているかどうかを判定し、等価ならその単一化を実施するというトライアンドエラー方式を採用する。

この方式において、グラフの等価性の判定方法が重要であり、その正当性および計算量について十分に検討を行う。これは、上述の目的(3)に対応している。

(2) 次に、パイプライン深度の最適化アルゴリズムおよび演算資源共有アルゴリズムを開発し、これを実装する。SDI 遅延仮定において、パイプラインを構成する各閉路のうち、最大の設計遅延をもつ閉路を探索し、各経路の設計遅延に SDI の最大変動率を掛けた値にこれより大きいものがなければ、その経路の待ち合わせが省略可能となる。これは、上述の目的(2)に対応している。

(3) さらに、パイプライン深度の最適化アルゴリズムおよび演算資源共有アルゴリズムを開発し、これを実装する。SDI 遅延仮定において、パイプラインを構成する各閉路のうち、最大遅延をもつループ内の基本操作を分割することにより、パイプライン深度を調整できる。これは、上述の目的(1)に対応している。

#### 4 . 研究成果

(1) まず、パイプライン化された制御フローグラフを単純化する二つのアルゴリズムの開発に取り組み、完成させた。

一つめのアルゴリズムは、単純化後のグラフの等価性が状態遷移の等価性と同等であるという比較的明白な性質を用いることで、アルゴリズムの正当性が証明できる。また、方法(1)で述べたように、トライアンドエラーにより最大限の組み合わせで単一化の可否を判定するので、完全性も容易に示される。しかし、状態数が非常に多くなることから、計算量に問題がある。

二つめのアルゴリズムは、グラフ上の発火の因果関係の等価性に帰着させる方法である。この方法では、無限に続く発火の系列から、等価性の判定が可能となる有限の因果関係のみを抽出する必要があり、その正当性の証明に工夫を要した。この二つ目により、計算量の大幅な削減が可能となった。これらにより、目的(3)は十分に達成することができた。

(2) 次に、条件分岐を含まない限定した仕様に対して、SDI 遅延仮定を用いることにより、同期のためのノードを削減する手法を開発した。この手法では、制御フローグラフ中で設計時遅延が最大となる閉路を探索し、この閉路と、SDI 遅延仮定における遅延変動によって拡大した遅延との差を求め、閉路の遅延の方が大きければその遅延間隔以上でしか各ノードが発火しないことを利用して、不要な待ち合わせを検出・削減している。これにより、より現実的な遅延仮定を採用することで、回路量を削減することが可能となった。目的(2)については、限定的に達成された。

(3) 目的(1)については達成することができなかった。

#### 5 . 主な発表論文等

( 研究代表者、研究分担者及び連携研究者には下線 )

[ 雑誌論文 ] ( 計 1 件 )  
籠谷裕人, 杉山裕二, 岡本卓爾, セレクト及びマージ頂点数の最小化によるパイプライン化依存性グラフの単純化, 電子情報通信学会論文誌(D) 査読有, J95-D, No. 5, pp.1206-1215, 2012年5月

[ 学会発表 ] ( 計 4 件 )

嶋田勇希, 籠谷裕人, 杉山裕二, パイプ  
ライン化依存性グラフの強等価性判定アル  
ゴリズムの性能評価, 電気・情報関連学会中  
国支部第 66 回連合大会, 2015 年 10 月 17 日,  
山口県宇部市

籠谷裕人, 大西紘之, 田井伸拓, 五百旗  
頭健吾, 杉山裕二, FPGA におけるレジスタ冗  
長化による CPA 耐性, 第 6 回ホットチャネル  
ワークショップ, 2015 年 4 月 8 日, 岡山県岡  
山市

大西紘之, 籠谷裕人, 田井伸拓, 五百旗  
頭健吾, 杉山裕二, WDDL 方式 AES 暗号処理回  
路の FPGA 実装と CPA 耐性の評価, 電気・情報  
関連学会中国支部第 65 回連合大会, 2014 年  
10 月 25 日, 広島県福山市

田崎智也, 籠谷裕人, 杉山裕二, 複数の  
最大遅延ループを持つ非同期式回路の SDI 遅  
延仮定を用いた縮小法, 電子情報通信学会  
コンピュータシステム研究会, 2014 年 1 月  
28 日, 神奈川県横浜市

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

## 6 . 研究組織

### (1)研究代表者

籠谷 裕人 (KAGOTANI, Hiroto)

岡山大学・大学院自然科学研究科・講師

研究者番号 : 50271060

### (2)研究分担者

### (3)連携研究者