

## 科学研究費助成事業 研究成果報告書

平成 27 年 6 月 19 日現在

機関番号：22604

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24500070

研究課題名(和文)高電磁環境下の新しい過渡故障モデルに対する耐故障順序回路の検討

研究課題名(英文)Studies on Fault Tolerant Sequential Circuits for a New Transient Fault Model under Highly Electromagnetic Environment

研究代表者

福本 聡 (Fukumoto, Satoshi)

首都大学東京・システムデザイン研究科・教授

研究者番号：50247590

交付決定額(研究期間全体)：(直接経費) 4,100,000円

研究成果の概要(和文)：本研究課題では、高電磁環境下で論理回路に発生する過渡故障を、ディペンダブルコンピューティングにおける新しい故障モデルとして捉え、その同時多重性や周期性といった特徴を踏まえた順序回路の冗長構成手法を構築した。おもな成果は以下の二つである。

- 1) 過渡故障の継続期間を回路起動時に組み込み自己テスト回路を用いて計測し、ノイズの影響下で回路動作をクロックゲーティングで回避する手法を提案した。
- 2) デジタル制御電流モード電力変換回路のための適応型サンプリング手法を提案した。スイッチングノイズを回避するために、ADコンバータのサンプル時刻をスイッチング周期のデューティ比から算出する方法の有効性を示した。

研究成果の概要(英文)：In this project, we have studied on fault tolerant sequential circuits for a new transient fault model under highly electromagnetic environment, which is characterized by simultaneous multiple occurrences and periodicity. The major results are as follows.

- 1) We have proposed a scheme to construct highly reliable processors that can tolerate against simultaneous multi-bit transient faults which occur synchronously with the switching noise. The proposed scheme applies Built-in Self Test (BIST) logic, which is implemented beside the target circuit to measure the duration of the transient faults.
- 2) We have proposed an adaptive sampling method for a digital control current-mode power converter circuit on an FPGA (Field Programmable Gate Array) with the PWM (Pulse Width Modulator) sawtooth carrier waveform. To avoid the switching noises, sampling timing of the AD converter will be tuned adaptively regarding the duty ratio of each switching cycle.

研究分野：ディペンダブルコンピューティング

キーワード：高電磁環境 故障モデル ディペンダブルコンピューティング 組み込み自己テスト 周期的な多重故障 DC-DC コンバータ

### 1. 研究開始当初の背景

近年、スマートグリッド、ソーラーパネル、電気自動車などの急激な普及拡大に伴って、電力変換回路の小型化や高密度化に関する研究が進んでいる。例えば、IGBT(Insulated Gate Bipolar Transistor) と制御基板が一体となったインバータや、車載用のモータにインバータ回路を一体化するなどの技術は、それらの研究の成果と言える。DC-AC インバータの応用では、高速スイッチング、高電圧、高電力密度などの特性を強化しながら、同時にそれらの主電源と制御回路の一体化を指向する傾向にある。そこで問題になるのが、主回路のパルス大電流部分が引き起こす近傍電磁界ノイズ(near-field noise)の影響である。このノイズは、DC-AC インバータの制御回路や周辺回路、特に論理回路に大規模な過渡故障を発生させる可能性があり、その対策が必須である。現在、具体的な対策としては EMC(electro-magnetic compatibility) 技法が主流である。本研究では、この EMC と併用あるいは将来的に代替可能な冗長構成技術について検討する。

論理回路に発生する過渡故障とは、ハードウェアの損傷を伴わない一過性の故障であり、ディペンダブルコンピューティングの研究分野では、古くから取り扱われてきた。しかしながら、従来、その故障モデルは、アルファ線などの放射線によるソフトエラーや、LSI 内の隣接配線間のクロストークノイズなどを対象としており、信号線や記憶素子に 1 ビットから数ビット程度のビット反転をランダムに引き起こすものと想定されていた。

一方、上記の近傍電磁界ノイズによる過渡故障では、これまでのこうした故障モデルとは異なる、ふたつの特徴を持つ新しい故障モデルを考える必要がある。その特徴のひとつは、同時多重故障、すなわち同時に複数ビットの反転が記憶素子や組み合わせ回路内の信号線に大量発生する現象を表すことにある。こうした大規模な故障については、誤り訂正符号などによる対応には限界があり、実装コストや性能とのトレードオフを考慮しながら、何らかの時間冗長や空間冗長を導入した高信頼化技術を検討する必要がある。もうひとつの特徴は、この故障モデルがパルス大電流の波形に相関して周期的に発生する誤りを反映することにある。これは、冗長化技術とりわけ時間冗長を導入して高信頼化を図る上で極めて重要なポイントとなる。

同時多重故障には、レジスタなどの記憶素子の保持する値が直接反転する MEU(multi event upset)と、ノイズで過渡的に反転した信号線の値を記憶素子が取り込む MET(multi event transient)とが考えられる。MEU に対しては、記憶素子そのものの耐故障性の強化が主要な高信頼化アプローチとなる。一方、MET に対しては、時間冗長や空間冗長などをアーキテクチャレベルで取

り入れることで回避できる可能性がある。

### 2. 研究の目的

本研究の開始当初の目的は以下の通りである。

本研究では MET について取り扱う。具体的には、現在のところ先ず二つの冗長構成手法の提案と評価を予定している。ひとつは、故障の発生期間中にクロック供給を停止して、レジスタへ不正な値を取り込むことを阻止するものである。故障発生期間は、電力変換回路の回路方式や使用環境に依存するため、個別にそれを特定する必要がある。本研究では、BIST(built-in self test)回路による機能テストでこれを実行する。これは上記の通り、DC-AC インバータに起因する故障の発生が周期的であることに着目して実現する。もうひとつの冗長構成手法は、レジスタの多重化によって誤りをマスクするものである。この手法もやはり、ノイズの発生が周期的であるという故障モデルの特徴を利用する。

これらの手法は、しかしながら、クロック信号へのノイズの影響を想定していない。本研究のつぎのステップとして、近傍電磁界ノイズがクロック信号の機能にまで及ぶ場合について検討する。さらに、最終的には DC-AC インバータのスイッチング周期の変化や負荷変動によってノイズの発生周期が変化する場合についても検討する必要がある。これらの課題へ対処するには、同期式順序回路だけでは限界があると考えられ、コントローラ部分へ非同期回路を導入した冗長構成手法の構築を予定している。

提案する各手法について、実回路での有効性を確認することは必ずしも容易ではないが、その第一段階として、(1)ディスクリート、(2)FPGA、(3)ASIC の各実装デバイス種別について、比較的簡単な順序回路を冗長構成して実験・評価する。実験環境には、実際の DC-AC インバータの主回路の電圧・電流値に準じて動作し、近接電磁界ノイズを発生する装置を導入する。

本研究で提案する手法は、電力変換回路とその周辺回路のさらなる高密度化に伴って EMC 技術の適用が極めて困難になるとき、それに代替する、あるいはそれと併用する有望な技術になることが期待される。

### 3. 研究の方法

本研究の開始当初の方法は以下の通りである。

#### 1) BIST 回路を用いた冗長構成手法

過渡故障が継続する期間を BIST によって計測し、その期間のクロック供給を停止することで MET を回避するための構成について検討する。具体的には、DC-AC インバータのスイッチング周期と相関を持つ制御信号をトリガとする機能テスト回路を設計する。また、このような故障モデルに基づく

アプローチが適用可能な電力変換回路の制御回路または周辺回路のアーキテクチャについて検討する。その検討結果に基づいて、過渡故障の継続期間を探索・特定する機能テストを実行するための BIST 回路を含めた冗長構成回路を RTL 記述し、FPGA 実装する。また VDEC で LSI 試作し、故障挿入・評価を行う。

#### 2) レジスタ多重化による冗長構成手法

三重化レジスタによる多重ビット誤りマスクを実現するための時間冗長および空間冗長について検討する。具体的には、まず、誤り発生周期および誤りの継続期間に対するチェックポイントデータの時間配置と結果比較のための時間オーバーヘッドについて精査する。また、多重時間冗長系では外部とのデータアクセスをバッファリングして一貫性を保つ必要があるため、その仕様に対応可能な電力変換回路の制御回路または周辺回路について考察する必要がある。その検討結果に基づいて、レジスタを三重化した冗長構成回路を RTL 記述し、FPGA 実装する。動作の確認・評価に加えて、コンパレータの最小化やチェックポイントデータの削減による面積オーバーヘッドの最適化も試みる。また、VDEC での LIS 試作と故障挿入・評価を行う。

#### 3) 非同期回路を導入した冗長構成手法

上記の 1), 2) と並行して、クロックにまで近傍電磁界ノイズの影響が及ぶ場合の故障モデルを仮定して、これに非同期回路の設計手法を導入することで対応することを検討する。はじめに、非同期設計の手法を調査して、耐故障性向上の可能性について精査する。また、シミュレーションレベルでの耐故障実験をおこなう。その検討を基に、主にレジスタ多重化回路のコントローラに非同期設計を導入した冗長構成アーキテクチャおよびアルゴリズムを決定する。VDEC での LSI 試作を行い、実際の電力変換器の近傍に冗長構成した論理回路を配置したときの動作を実験・評価する。

#### 4. 研究成果

初年度(24年度)には、まず、BIST 回路を用いた冗長回路構成およびレジスタ多重化による冗長回路構成を適用可能な回路規模、実装デバイス、回路種別などについて検討・予備実験することをテーマとした。また、クロックがノイズの影響を受ける場合を想定した故障モデルに対処する冗長回路構成を実現するための、非同期設計手法の基礎的検討をはじめるともテーマとした。

一つ目のテーマの BIST 回路を用いた冗長回路構成の基本的なアイデアは、ノイズの影響下で回路動作をクロックゲーティング手法で意図的に停止し、不正な状態に陥ることを回避するというものである。過渡故障の継続期間を回路起動時に組み込み自己テスト回路(BIST: Built-in Self Test) を用いて

計測した。本テーマでは、提案方式をカウンタ、独自設計 8 ビットプロセッサ、そしてルネサスエレクトロニクス社 H8/300 のサブセットプロセッサに実装し、シミュレーションによって提案方式を評価した。また論理合成によって各対象回路での実装について面積オーバーヘッドの比較・評価を行った。8 ビットプロセッサおよび H8/300 サブセットでは、それぞれ 3.71% および 0.0777% の非常に小さな面積オーバーヘッドを実現した。

一方、レジスタ多重化による冗長回路構成と非同期設計手法については、本研究課題で取り扱う故障モデルとの適合性の点で本質的な問題があることがほぼ明らかになり、その部分の計画を再検討せざるを得ない結果となった。特に、レジスタ多重化による冗長回路構成では、同時多重故障に耐性を持たせるためにはどうしても順序回路内の記憶素子のデータを外部に退避する必要があり、単独の回路構成方式として成立させることが困難であった。

25 年度は、24 年度の研究結果を基に、基本的に故障モデルとその対策を再検討した。故障モデルからくる制約を若干緩和して、回路方式として実現可能な高信頼化手法を検討した。具体的には、DC-DC コンバータのスイッチング時に発生する過渡ノイズに着目し、FPGA によるデジタル制御回路を前提とした高信頼化を取り扱った。FPGA への故障挿入実験に基づいて故障モデルを決定し、それに対する高信頼化手法を提案した。さらに、提案手法を適用した制御回路を設計し、デジタル・アナログ混在の電子回路シミュレーションによってその有効性を示した。ノイズが入力信号線に混入することから、DC-DC コンバータにおいて主回路と直接電氣的に接続する制御回路のサンプリング時に誤りが挿入されることを想定した。基本的なアイデアは、主回路の電圧値をサンプリングするタイミングを、過渡ノイズの大きいパルス波の立ち上りと立ち下りからできるだけ遠ざげ、誤動作を回避するというものである。サンプリング時点が一定周期ではなくなるので、電力変換回路の制御に何らかの影響があるものと考えられるが、完全な無制御状態に陥ることを回避するための耐故障手法となることが期待できる。この提案手法を適応した制御回路を FPGA 実装することを前提に設計し、主回路と合わせた電源回路としてシミュレーションによって耐故障性を評価した。この研究成果をまとめた論文は、IEEJ Transactions on Electrical and Electronic Engineering に採録された。

26 年度では、25 年度に成果が得られた (1) DC-DC コンバータのスイッチングノイズの影響を回避するデジタル制御回路の知見を基に、より一般的な制御回路に関する高信頼化手法を検討した。また、24 年度に検討した、(2) 組み込み自己テストによって周期的な多重故障の影響を計測して回避する

高信頼化手法について再び取り組んだ。

上記の (1) の検討では、まず、制御回路などの比較的小規模な順序回路の定量的信頼性を評価するための新しいモデルを構築した。具体的には、研究代表者らの提案したレジスタ三重化回路の各レジスタの状態に着目して、離散時間マルコフ連鎖を生成させた。つぎに、元の順序回路の組み合わせ回路部分の回路情報から、アナログシミュレーションレベルで各信号線に同時多重過渡ノイズを印加し、状態遷移確率を特定した。そして、最終的にはマルコフ連鎖の過渡解および定常解を基に、実用的な計算時間で精度良く、信頼性評価することに成功した。

また、上記の (2) の再取り組みでも、シミュレーションベースによる評価手法を検討した。提案している故障回避方法の要諦は、ノイズの継続期間分布の上限値を正しく特定することにある。しかしながら、これは実際には簡単ではない。観測されるノイズの継続期間は確率的であり、フリップフロップの入力信号線に重畳するノイズのうち、最も継続期間の長いものでも、常にその上限値に達するとは限らないからである。本研究では、オンラインテストで特定した上限推定値に適切な補正係数を掛けることで修正した値を用いる場合に、その妥当性の根拠を与えるためのシミュレーション実験を行った。ルネサスエレクトロニクス社の H8 プロセッサのサブセットに提案手法を適用し、想定される継続時間分布のもとでロジックシミュレーションを行い、補正值の有効性を評価した。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 2 件)

[1] Aromhack Saysanasongkham, Masayuki Arai, Satoshi Fukumoto, Shun Takeuchi and Keiji Wada, "A Highly Reliable Digital Current Control using an Adaptive Sampling Method," IEEJ Journal of Industry Application, Vol.3, No.4, pp. 296-303, 2014. (査読あり)

[2] R. Suzuki, M. Ohara, M. Arai, S. Fukumoto, and K. Iwasaki, "Checkpoint Time Arrangement Rotation in Hybrid State Saving with Limited Number of Periodical Checkpoints," IEICE Transactions on Information and Systems, Vol. E96-D, No. 1, pp. 141-145, January 2013. (査読あり)

[学会発表](計 32 件)

[1] サイサナソンカム アロムハック, 福本聡, "高電磁環境下における FPGA 若化の検討," 電子情報通信学会技術研究報告, DC2014-78, pp.1-6, 2015年2月13日, 機械振興会館(東京).

[2] 秋本健太, 大原 衛, 酒井和哉, 福本聡,

"分散データレプリケーションのデータ配置についての考察," 第 72 回 FTC 研究会, セッション 2, 2015年1月23日, かんぽの宿山鹿(熊本).

[3] 緑川 直樹, 中村 宗幸, サイサナソンカム アロムハック, 酒井 和哉, 福本 聡, "レジスタ三重化回路の信頼性評価手法に関する検討," 電子情報通信学会技術研究報告, DC2014-72, pp.29-32, 2014年12月19日, 高岡テクノドーム(富山).

[4] Satoshi Fukumoto, Tomoki Endo, Mamoru Ohara, and Masayuki Arai, "Study on Routing Protocol for Structured P2P Network Taking Account of the Nodes Which Behave Like a Byzantine Fault," fast abstract of The 20th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2014), pp.31-32, Singapore (Republic of Singapore), 19 Nov. 2014.

[5] 中村宗幸, 大原衛, サイサナソンカム アロムハック, 新井雅之, 酒井和哉, 福本聡, "CANにおけるDC-DCコンバータノイズに対処したハイブリッドARQの一考察," 電子情報通信学会技術研究報告, DC2014-25, pp.23-28, 2014年10月27日, 機械振興会館(東京).

[6] Muneyuki Nakamura, Mamoru Ohara, Aromhack Saysansongkham, Masayuki Arai, Kazuya Sakai, and Satoshi Fukumoto, "Hybrid ARQ for DC-DC Converter Noise in Controller Area Networks," in Proceedings of International Workshop on Applications of Wireless Ad hoc and Sensor Networks (AWASN'14), 9 September 2014, Minneapolis (USA).

[7] 六川恵, 福本聡, 新井雅之, 酒井和哉, "日 and 見主義的なモバイルネットワークにおけるキャッシュ・データの鮮度維持手法の検討," 第 13 回情報科学技術フォーラム (FIT2014), C-009, pp. 199-200, 2014年9月3日, 筑波大学(茨城).

[8] 福本聡, 神田一平, 新井雅之, "分散レプリケーションの性能・可用性・一貫性に関する評価尺度の検討," 電子情報通信学会技術報告, R2014-14, pp.25-30, 2014年8月1日, スマイルホテル函館(北海道).

[9] Masahiko Negishi, Aromhack Saysanasongkham, Muneyuki Nakamura, Mamoru Ohara, Masayuki Arai, Satoshi Fukumoto, "Application-Layer Hybrid ARQ in CAN Networks for Tolerating DC-DC Converter Noise," Fast Abstracts of The 44nd Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN 2014), 25 June 2014, Atlanta (USA).

[10] 福本聡, 遠藤知輝, 大原衛, 新井雅之, "ビザンチン故障的に振舞うノードを考慮した構造化P2Pネットワークの探索プロトコル," 電子情報通信学会技術研究報告,

DC2014-9, pp.43-48, 2014年4月25日, 国立情報学研究所(東京).

[11] 根岸 正彦, サイサナソンカム アロムハック, 中村 宗幸, 大原 衛, 新井 雅之, 福本 聡, ``高電磁ノイズに対する CAN プロトコルの耐故障手法", 第70回 FTC 研究会セッション4, 松山市, 2014年1月24日, 宝荘ホテル(愛媛).

[12] 福本 聡, 大原 衛, 新井 雅之, ``ファイルバージョンングを伴うデータレプリケーションプロトコルの最適ノード配置の解析," 電子情報通信学会技術研究報告, DC2013-72, pp.23-28, 2013年12月13日, 和倉温泉旅館協同組合(石川).

[13] M. Ohara, M. Arai, S. Fukumoto, ``A Note on Influence of DC-DC Converter Noise in CAN Networks,' ' Fast Abstract of The 19th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2013), 3 Dec. 2013, Vancouver (Canada).

[14] Aromhack Saysanasongkam, Masayuki Arai, Satoshi Fukumoto, Shun Takeuchi and Keiji Wada, ``An Adaptive Sampling Method for a Highly Reliable Digital Control Power Converter," Proceedings of International Future Energy Electronics Conference 2013 (IFEEEC 2013), pp. 716-721, 6 Nov. 2013, Tainan (Taiwan).

[15] 神田 一平, 新井 雅之, 福本 聡, ``分散システムの評価尺度についての一考察," 第12回情報科学技術フォーラム(FIT2013), C-009, pp. 337-338, 2013年9月4日, 鳥取大学(鳥取).

[16] 緑川 直樹, 小山 善史, 新井 雅之, 福本 聡, ``レジスタ多重化による耐過渡故障高信頼プロセッサの評価," 電子情報通信学会技術研究報告, DC2013-20, pp.21-25, 2013年8月1日, 北九州国際会議場(福岡).

[17] 遠藤知輝, 新井雅之, 福本聡, ``構造化 P2P ネットワークの評価に関する一考察," 信学技法 R2013-26, pp. 37-42, 2013年7月26日, ホテルオホーツクパレス紋別(北海道).

[18] 根岸 正彦, サイサナソンカム アロムハック, 大原 衛, 新井 雅之, 福本 聡, ``高電磁環境下における CAN プロトコルの高信頼化に関する考察", 第69回 FTC 研究会セッション4, 2013年7月19日, かんぼの宿湯田(山口).

[19] Aromhack Saysanasongkam, Kenta Imai, Masayuki Arai, Satoshi Fukumoto, ``An Adaptive Approach to Dependable Circuits for a Digital Power Control," Fast Abstracts of The 43rd Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN 2013), 25 June 2013, Budapest (Hungary).

[20] 今井 健太, サイサナソンカム アロムハック, 新井 雅之, 福本 聡, 和田 圭二 ``デジタル・パワー制御の高信頼化に関する

試み," 電子情報通信学会技術研究報告 CPSY2013-1/DC2013-1, pp.1-6, 2013年4月26日, 首都大学東京秋葉原サテライトキャンパス(東京).

[21] 根岸 正彦, サイサナソンカム アロムハック, 新井 雅之, 大原 衛, 福本 聡, ``CAN プロトコルによる車載 LAN における高電磁ノイズ下での耐故障性," 電子情報通信学会技術研究報告 DC2012-75, pp.11-15, 2012年12月14日, アオッサ福井(福井).

[22] Aromhack Saysanasongkam, Masahiko Negishi, Masayuki Arai, Satoshi Fukumoto, ``A Dependable Processor by Using Built in Self Test to Tolerate Periodical Transient Faults under Highly Electromagnetic Environment," in Proceedings of The 18th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2012), pp. 127-134, 18 Nov. 2012, Niigata (Japan).

[23] M. Ohara, S. Fukumoto, ``A Note on Dynamic Topology Management for Distributed Data Replication System with File Versioning,' ' fast abstract of The 18th IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2012), 18 Nov. 2012, Niigata (Japan).

[24] S. Fukumoto, M. Ohara and M. Arai, ``Analyses of optimal checkpoint density for hybrid state saving in consideration of memory usage," 5th Asia-Pacific International Symposium on Advanced Reliability and Maintenance Modeling (APARM 2012), pp. 113-120, 1 Nov. 2012, Nanjing (China).

[25] 神田 一平, 新井 雅之, 福本 聡, ``分散データレプリケーションシステムにおける評価尺度に関する一考察," 電子情報通信学会技術研究報告, DC2012-22, pp.7-12, 2012年10月29日, 機械振興会館(東京).

[26] 永島一磨, 今井健太, 新井雅之, 福本聡, 和田 圭二, ``高電磁環境下で論理回路に発生する過渡故障の実験的評価," 第11回情報科学技術フォーラム(FIT2012), C-024, pp. 317-318, 2012年9月5日, 法政大学小金井キャンパス(東京).

[27] Aromhack Saysanasongkam, Masahiko Negishi, Masayuki Arai, Satoshi Fukumoto, ``A Processor Tolerating Periodical Transient Faults under Highly Electromagnetic Environment by Using Built in Self Test," The International symposium of the Interfaculty Initiative in Electrical Energy and Communications, Tokyo Metropolitan University, 31 August 2012, Tokyo Metropolitan University (Japan).

[28] 遠藤知輝, 小澤一平, 新井雅之, 福本聡, ``構造化 P2P ネットワーク Chord のオブジェクト探索プロトコルにおける耐故障性評価," 電子情報通信学会技術研究報告,

DC2012-18, pp. 7-12, 2012年8月1日, とりぎん文化会館(鳥取).

[29] 神田一平, 新井雅之, 福本聡, ``データレプリケーションにおける一貫性と信頼性の関係についての考察," 電子情報通信学会技術研究報告, R2012-15, pp. 11-16, 2012年7月27日, スマイルホテル苫小牧(北海道).

[30] Aromhack Saysanasongkam, Masahiko Negishi, Masayuki Arai, Satoshi Fukumoto, ``A Note on Dependable Processor for Periodical Transient Faults under High Electromagnetic Environment," Fast Abstracts III of The 42nd Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN 2012), 27 June 2012, Boston (UAS).

[31] R. Suzuki, M. Ohara, M. Arai, S. Fukumoto, and K. Iwasaki, ``Thinning out Checkpoint Sequence in Hybrid State Saving with a Limited Number of Periodical Checkpoints," IEICE Technical Report, R2012-12, pp. 7-11, 2012年6月15日, 機械振興会館(東京).

[32] 根岸 正彦, サイサナソクカム アロムハック, 新井 雅之, 福本 聡, ``組込み自己テストによって高電磁環境下の周期的過渡故障を回避するプロセッサ," 電子情報通信学会技術研究報告 CPSY2012-1/DC2012-1, pp.1-6, 2012年4月10日, 東工大大岡山キャンパス(東京).

〔図書〕(計 2 件)

[1] 福本聡, 岩崎一彦, コンピュータアーキテクチャ 第2版, 朝倉書店, 2015年3月25日刊行.

[2] Mamoru Ohara, Masayuki Arai, Satoshi Fukumoto and Kazuhiko Iwasaki, ``Chapter 11: Hybrid Checkpointing Technique Using Incremental Snapshots,' ' Reliability Modeling with Applications, World Scientific, pp.195-213, 2014.

〔産業財産権〕

出願状況(計 0 件)

名称:  
発明者:  
権利者:  
種類:  
番号:  
出願年月日:  
国内外の別:

取得状況(計 0 件)

名称:  
発明者:  
権利者:  
種類:

番号:  
出願年月日:  
取得年月日:  
国内外の別:

〔その他〕  
第13回情報科学技術フォーラム FIT 奨励賞  
(福本 聡), 平成26年9月5日.

6. 研究組織  
(1) 研究代表者  
福本 聡 (Satoshi Fukumoto)  
首都大学東京・システムデザイン研究  
科・教授  
研究者番号: 50247590

(2) 研究分担者  
新井 雅之 (Masayuki Arai)  
日本大学・生産工学部・助教,  
研究者番号: 10336521