

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 6 日現在

機関番号：12601

研究種目：基盤研究(C) (一般)

研究期間：2012～2015

課題番号：24540299

研究課題名(和文)アトラスミューオンシステムのための超高分解能ハードウェアトリガー

研究課題名(英文)A Very High Resolution Hardware Trigger for the ATLAS Muon System

研究代表者

坂本 宏 (Sakamoto, Hiroshi)

東京大学・素粒子物理国際研究センター・教授

研究者番号：80178574

交付決定額(研究期間全体)：(直接経費) 3,900,000円

研究成果の概要(和文)：LHC加速器ATLAS実験の大強度アップグレードのため前後方ミューオントリガーシステムの性能強化が必要である。現行のThin Gap Chamberの信号だけでは十分な位置分解能を確保できない。そのためMonitored Drift Tubeの信号をハードウェアトリガーに用いる。実験データを用いたシミュレーションにより十分な性能が得られることを確認した。またプロトタイプを作成するため汎用FPGAモジュールPT7を開発した。

研究成果の概要(英文)：Performance improvement is necessary for the high luminosity upgrade of the ATLAS experiment of the Large Hadron Collider at Geneva. Signals from existing Thin Gap Chamber is not enough to keep sufficient position resolution. So by applying signals from Monitored Drift Tubes to the hardware trigger, the necessary resolution can be achieved. This has been confirmed by a simulation work based on a study using real experimental data. A general purpose FPGA module PT7 was developed, which is used to construct a prototype trigger system.

研究分野：素粒子物理学実験

キーワード：陽子陽子衝突実験 トリガーシステム FPGA 高速シリアル通信 ミューオン検出器 シミュレーション

1. 研究開始当初の背景

ジュネーブ郊外に立地する欧州合同原子核研究機関(CERN)に建設された大型ハドロン衝突型加速器 LHC は 2009 年より運転を開始し、ATLAS と CMS 両実験は 2012 年にヒッグス粒子の発見を報告した。当時の衝突エネルギーは 8TeV であった。その後 LHC は最初の長期シャットダウンに入り、加速器調整や検出器の改良を進め、2015 年に第二期の実験 RUN2 を開始した。

ヒッグス粒子の発見は二つのモードでなされた。一つはヒッグス粒子が 2 光子に崩壊するもの、他方はヒッグス粒子が Z ボソンを経由して 4 つのレプトンに崩壊するものである。この発見を通して、レプトン信号の重要性が良く理解できる。

LHC は今後 2019 年から 2 年間次の長期シャットダウンを経て 2021 年から第三期実験 RUN3、さらには 2020 年代半ばに予定されている第四期実験 RUN4 へと続く。この間に衝突エネルギーは設計値である 14TeV を目指す。また、ルミノシティは当初の設計値を大きく超え、 $10^{35}\text{cm}^{-2}\text{s}^{-1}$ に達すると期待されている。

このようなビームコンディションでは、一回の陽子バンチ交差において 200 に及ぶ陽子陽子衝突反応が同時に発生する。このように非常に大量で複雑なバックグラウンドからいかにして効率的に信号事象を選び出すか。トリガーシステムに対する要請は大変厳しくなる。それを実現するために様々なトリガーのアップグレードが計画されている。本研究はその一端をなすものである。

2. 研究の目的

我々は ATLAS 実験の計画段階から前後方ミューオントリガーシステムの開発と構築・運用に参加してきた。その知見を元に今後のアップグレードのための研究開発を行っている。本研究はそのうち RUN4 での導入を目指すトリガーシステムのアップグレードに関するものである。

RUN4 のアップグレードでは前置エレクトロニクスを全面的に置き換える。それに合わせて ATLAS 実験全体のトリガー機構も新しいものに置き換わることになる。そこでは、これまで Level1 トリガーと呼ばれていた初段のハードウェアトリガーを 2 段階に分けることが検討されている。また、その際にトリガー判定の許容時間を、最前段においても現行より数倍長くする。これによりトリガー判定のための情報処理の自由度が一気に広がる。

前後方ミューオントリガーシステムにおいて RUN4 で使用可能な検出器としては、トリガー用に速い応答をするシンギャップチェンバー(TGC)と高速ではないが高分解能であるモニタードドリフトチューブ(MDT)の 2 種類の検出器がある。現在は TGC のみがハードウェアトリガーに用いられているが、もと

よりトリガー用に設計されており分解能はさほど良くない。ハードウェアトリガーで粗い判定をしたのち、後段ソフトウェアトリガー(HLT)で高精度の判定を行うというのが最初の設計思想であった。しかしこのスキームのままでは分解能が悪いため RUN4 ではハードウェアトリガーのレートを後段 HLT が許容できるだけ十分に下げることができない。これを実現するためには十分な分解能を持った検出器信号をハードウェアトリガーに食わせる必要がある。高分解能であるが高速でない MDT の信号をハードウェアトリガーに加え、十分なトリガー性能を実現できるかどうか、そのためにはどのようなトリガー判定論理が適切であるか、それを実装するためのハードウェアをどのように設計するかというのが本研究の目的である。

3. 研究の方法

(1) MDT は円筒形のドリフトチューブが依状に積み上げられた構造をしている。荷電粒子が生成した電離電子が中心にある陽極芯線に向かってドリフトし、芯線付近で電子雪崩を発生し信号として取り出される。荷電粒子の通過から信号発生までの時間が、ドリフト速度一定を仮定した場合、荷電粒子の飛跡と芯線との最短距離を表す。この距離を用いて描く円をドリフトサークルと呼んでいるが、単一のドリフトチューブの信号だけではドリフトサークル状のどの位置を粒子が通過したかはわからない。しかし、複数のドリフトチューブからの信号を組み合わせることにより飛跡を再構成することができる。

図 1 左側にドリフトチューブが 4 層積み

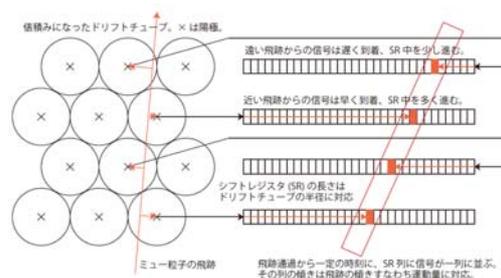


図 1. ドリフトチューブの信号を用いた飛跡再構成

ているが、それぞれのチューブのドリフト時間から一本の直線の飛跡が再構成されている様子がわかる。この飛跡再構成はそのままハードウェアに実装が可能である。図 1 右側にはドリフトチューブからの信号を左右から供給したシフトレジスターが配置されている。芯線の近くを通った飛跡の信号は早くシフトレジスターに入る。一方芯線から遠く離れた飛跡の信号は遅くシフトレジスターに入ることになる。図から見てわかるように、

同じ直線飛跡に由来する信号はシフトレジスタ上に一直線に並ぶことになる。このとき重要な情報が得られる。

・信号が直線に並ぶのは粒子が通過してから決まった時間経過後になる。この時間はチューブの最大ドリフト距離に対応する。このことで粒子通過時刻を決定できる。LHC では25ns 毎にバンチ交差が起こるが、この方法により粒子がどの交差で発生したものかを判定できる。

・シフトレジスタ上に信号が整列した場合、その場所は粒子の通過した位置を示し、またその傾きは通過方向を表す。粒子の方向は発生位置や初期運動量とともに通過した磁場の強度などを反映する。このことから粒子の運動量情報も得られることがわかる。

これらの情報はハードウェアトリガーにとって非常に有用なものである。このようなアルゴリズムによりMDT 信号をハードウェアトリガーに応用できる。実際にどの程度の性能を出せるのかを、モンテカルロシミュレーションや実際にATLAS で取得されたデータを用いて評価を行う。例えばシフトレジスタを駆動するクロックはドリフト時間のデジタル化の精度を決めている。ハードウェアとしてどの程度の分解能を持たせるかをこれらの評価から決定する。

(2) 原理的にはシンプルなアルゴリズムであるが、実際にこれをハードウェアに実装するには様々な問題がある。図1 からも想像できるが、図には1 本だけの例が書かれている。実際には粒子の通過位置や方向などは非常に多くの可能性がある。それらをすべてカバーするように、あらゆる組み合わせの判定回路を付加する必要がある。これらを実際に評価するためにFPGA を用いたプロトタイプを製作する。

プロトタイプにはいくつか満たすべき要件がある。上述したロジックを十分なスケールで実装が可能でなければならない。そのため十分な論理資源を有するFPGA を選択する必要がある。また、カバーするドリフトチューブの本数は場合により数十～数百に及ぶ可能性がある。それらの信号をプロトタイプに供給するには広帯域入出力機能が必要になる。

プロトタイプシステムとしては、信号源であるMDT のエミュレーション、トリガー判定回路本体、判定結果の収集と診断を行うデータ収集系などが構成要素となる。それらを構築するため、汎用のFPGA 搭載モジュールを開発する。

4. 研究成果

(1) まずMDT トリガーを導入した場合のトリガー性能についての評価を行った。評価にはミューオン単発のシミュレーションデータその他、RUN1 で取得された実データが用いられた。上述のアルゴリズムの導入により、ディ

ジタイズを80MHz で行った場合、これは約0.6mm の一分分解能に対応するが、20GeV/c のトリガーに対して現行の10GeV/c 程度の分解能を5GeV/c 程度まで改善する。オーバーオールな性能としても現行トリガーに比較し、すべての η 領域において1/3 程度までトリガーレートを低減できる。

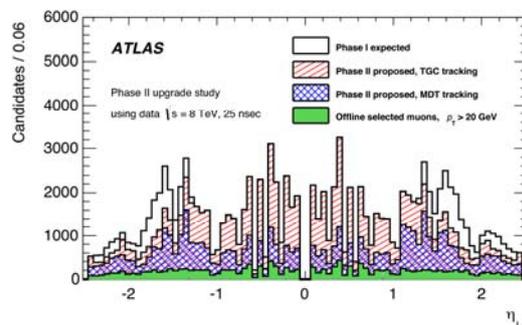


図2. MDT トリガーを導入する前後のトリガーレートの η 分布。青メッシュ部分まで提言できる。文献①より引用。

方法の部分で述べたバンチ交差の識別などはチューブの配置によっては左右の識別をできない領域があることがわかっている。そのため、TGC からのトリガー信号をバンチ交差識別に採用する方法が検討されている。

様々な課題はあるが、基本的にMDT 信号のハードウェアトリガーへの適用は十分な性能が期待されることが確認された。その結果、ATLAS 実験としてRUN4 に導入することが合意されている。2015 年には”Upgrade Scoping Document” (引用文献①) として公表された。(2) プロトタイプシステムの構築のため、汎用のFPGA モジュールの開発が行われた。このモジュールを複数使うことにより様々なプロトタイプシステムの構築が可能になる。

まず使用するFPGA について検討を行った。十分な量の論理資源を有することともに、効率的な入出力が行える必要がある。チップの端子数の制限から高速シリアル通信を使用することが合理的である。候補としてXilinx 社のKintex7 シリーズFPGA を採用した。

モジュールのフォームファクターとしてVME 規格を採用する。複数のモジュールを組み合わせてプロトタイピングを行うため、モジュラーシステムが望ましい。バックプレーンを経由し電源供給や制御等を行う。

モジュールの仕様は想定される使い方の検討から次のようになる。

・メインのFPGA にXilinx 社のKintex-7 シリーズFPGA であるXC7K325T-2FFG900 を採用する。このFPGA は12.5Gbps までの高速シリアル通信ポートを16 レーン保有する。

・FPGA はSRAM ベースのメモリーを使用して論理資源のオンフィギュレーションを行っている。そのため、電源投入時にはデザインが描き込まれていない。そのため電源投入時

にモジュールとして機能させるため、補助的に不揮発性メモリーによる論理素子 CPLD を搭載する。CPLD のデザインにより、VME バスインターフェース、FPGA の複数経路からのコンフィギュレーション、クロックのコントローラなどが電源投入時から可能になる。

- ・クロックソースとして基板上に持つ水晶振動子や外部からの NIM 入力を選択可能である。また、基板上に LHC 標準のクロック・トリガー信号配布システムのサブモジュール TTC-RX を搭載可能にしてあり、LHC 標準のクロックも利用できる。

- ・高速シリアル通信ポートとして Infiniband 規格コネクタを採用する。これによりモジュール間接続を簡便に行える。フロントパネルに 8 チャンネル分のコネクタを配置する。

- ・補助的な通信や制御のために Gigabit Ethernet 端子を設ける。制御は FPGA に組み込む SiTCP と呼ばれる IP (Intellectual Property) を利用する (引用文献②)。

- ・Common Mezzanine Card 規格の娘基板を搭載できるようにする。

これらの仕様を満たす汎用 FPGA モジュール PT7 を製作した。写真を図 3 に示す。



図 3. 汎用 FPGA モジュール PT7。6U 標準サイズの VME モジュールである。

このモジュールの開発は OpenIt (Open Source Consortium of Instrumentation 引用文献③) のプロジェクトとして実施されている。回路図やアートワークパターン、CPLD や FPGA のデザインソースなどは OpenIt を通して公開されている。

モジュールの基本的な性能がまず確認された。例えばデータ転送で重要な役割を果たす高速シリアル通信に関しては、トリガーシステムの一部を構成するためには通信で消費される遅延時間を最小限にとどめたい。測定の結果、6.2Gbps で 16 ビット幅の場合バッファ経由で 96ns、バッファバイパスで 62ns であることを確認した。

トリガー信号の経路として高速シリアル通信を使用するが、モジュールが送受信したり内部で生成したりしたデータのモニターのためには SiTCP を利用してネットワーク経由でデータを読み出すスキームを用いる。このため、SiTCP の性能を確認する必要がある。

実際に取得されたデータパターンを用いて転送レートを計測し、モジュール単体では 940Mbps 程度の実質転送レートを得た。これはほぼワイアスピードが利用可能であることを示している。

汎用モジュール PT7 を用いた MDT ハードウェアトリガーの研究開発は現在 ATLAS 実験の正規のプロジェクトとして進められている。その中で MDT 信号のディジタル化が必要になるが、名古屋大学のグループが PT7 を用いて TDC の開発を行っている。また PT7 自身は非常に汎用的なモジュールである。そのため、検出器の読み出しエレクトロニクスの研究開発のいろいろな局面で利用可能である。主に RUN3 のためのアップグレード研究開発 (引用文献④) が現在進行中であるが、そこでも PT7 が多用されている。これにより PT7 に関するファームウェアやソフトウェアなどがどんどん蓄積されて行っている。本研究の成果物は当初の目的を超えて貢献している。

<引用文献>

- ① "ATLAS Phase-II Upgrade Scoping Document," The ATLAS Collaboration, CERN-LHCC-2015-020, LHCC-G-166,
- ② T. Uchida. "Hardware-based tcp processor for gigabit Ethernet". Nuclear Science, IEEE Transactions on, Vol. 55, No. 3, pp. 1631-1637, June 2008.
- ③ Open Source Consortium of Instrumentation. URL <http://openit.kek.jp/>
- ④ "Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQ System," The ATLAS Collaboration, CERN-LHCC-2013-018, ATLAS-TDR-023

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 13 件)

- ① 赤塚俊一、坂本 宏他、「LHC-ATLAS 実験 Run3 に向けたレベル 1 ミューオントリガーシステムのためのエンドキャップ用トリガー判定回路のデザイン」、日本物理学会第 71 回年次大会、2016 年 03 月 19 日～2016 年 03 月 22 日、東北学院大学泉キャンパス (宮城県仙台市)
- ② 水上淳、坂本 宏他、「LHC-ATLAS 実験 Run3 に向けたレベル 1 ミューオントリガーシステムのトリガー判定モジュールの動作確認」、日本物理学会第 71 回年次大会、2016 年 03 月 19 日～2016 年 03 月 22 日、東北学院大学泉キャンパス (宮城県・仙台市)
- ③ 岸本巴、坂本 宏他、「LHC-ATLAS 実験 Run3 に向けたレベル 1 ミューオントリガーシステム用のトリガー判定モジュール

- の開発及び DAQ の構築」、日本物理学会 2015 年秋季大会、2015 年 09 月 25 日～2015 年 09 月 28 日、大阪市立大学杉本キャンパス (大阪府・大阪市)
- ④ 鈴木翔太、坂本 宏他、「LHC-ATLAS 実験 Run3 に向けたレベル 1 ミューオントリガーにおける DAQ の構築と FPGA デザインデータダウンロード技術の評価」、日本物理学会第 70 回年次大会、2015 年 03 月 22 日、早稲田大学(東京都・新宿区)
 - ⑤ 渡邊直樹、坂本 宏他、「LHC-ATLAS 実験 RUN3 へ向けたレベル 1 ミューオントリガーにおけるトリガー判定モジュールの評価及び設計」、日本物理学会第 70 回年次大会、2015 年 03 月 22 日、早稲田大学(東京都・新宿区)
 - ⑥ 徳永孝之、坂本 宏他、「LHC-ATLAS 実験 Run3 のための新しいレベル 1 ミューオントリガー装置読み出しの研究開発」、日本物理学会 2014 年秋季大会、2014 年 09 月 20 日、佐賀大学(佐賀県・佐賀市)
 - ⑦ 鈴木翔太、坂本 宏他、「LHC-ATLAS 実験 Run3 に向けたレベル 1 ミューオントリガーにおけるタイミング、トリガー、コントロール信号の読み出しモジュールの研究開発」、日本物理学会 2014 年秋季大会、2014 年 09 月 20 日、佐賀大学(佐賀県・佐賀市)
 - ⑧ 浦野祐作、坂本 宏他、「LHC-ATLAS 実験 Run3 に向けたレベル 1 ミューオントリガーにおける TCP を用いた DAQ の構築」、日本物理学会 2014 年秋季大会、2014 年 09 月 20 日、佐賀大学(佐賀県・佐賀市)
 - ⑨ 加藤千曲、坂本 宏他、「LHC-ATLAS 実験アップグレードに向けた新しいミューオントリガー装置読み出しの研究開発」、日本物理学会第 69 回年次大会、2014 年 03 月 29 日、東海大学湘南キャンパス(神奈川県・平塚市)
 - ⑩ ニノ宮陽一、坂本 宏他、「LHC-ATLAS 実験における $Z \rightarrow \mu \mu$ 事象を用いたミューオントリガー効率の測定」日本物理学会第 69 回年次大会、2014 年 03 月 29 日、東海大学湘南キャンパス(神奈川県・平塚市)
 - ⑪ 加藤千曲、坂本 宏他、「ATLAS 実験におけるレベル 1 ミューオントリガーのアップグレードに向けた運動量測定装置の読み出し系の開発」、日本物理学会 2013 年秋季大会、2013 年 09 月 20 日、高知大学朝倉キャンパス(高知県・高知市)
 - ⑫ 加藤千曲、坂本 宏他、「ATLAS レベル 1 ミューオントリガーのアップグレードに向けた TCP を用いたデータ収集システムの検証」、日本物理学会 第 68 回年次大会、2013 年 03 月 26 日、広島大学(広島県・東広島市)
 - ⑬ 大谷育生、坂本 宏他、「ATLAS アップグレードに向けたレベル 1 ミューオントリガーにおける読み出し系の開発」、日本物

理学会 2012 年秋季大会、2012 年 09 月 13 日、京都産業大学(京都府・京都市)

[その他]
ホームページ等
<http://openit.kek.jp/project/pt7/public/pt7>

6. 研究組織

(1) 研究代表者

坂本 宏 (SAKAMOTO, Hiroshi)
東京大学・素粒子物理国際研究センター・教授
研究者番号：80178574

(2) 研究分担者

川本 辰男 (KAWAMOTO, Tatsuo)
東京大学・素粒子物理国際研究センター・准教授
研究者番号：80153021