

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 11 日現在

機関番号：13501

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24560327

研究課題名(和文)超低損失炭化珪素静電誘導トランジスタの新しい動作モード

研究課題名(英文) A new operating mode of SiC-buried gate static induction transistor with ultra-low on-resistance

研究代表者

矢野 浩司 (YANO, Koji)

山梨大学・総合研究部・教授

研究者番号：90252014

交付決定額(研究期間全体)：(直接経費) 4,200,000円

研究成果の概要(和文)：炭化珪素(以下SiC)を用いた埋め込みゲート型静電誘導トランジスタ(buried Gate static induction transistor:BGSIT)において、「少数キャリアの弱い注入」を用いた新しい動作モードの原理と設計指針の解明、および3.3kVまでの設計指針を明らかにすることを目的としている。その結果、ターンオン時の入力電圧レベルを通常モードの2.5Vから7.5Vに増加させることにより出力スイッチング損失は3分の1に低減できた。また3.3kVノーマリーオフ型SiC-BGSITの設計指針を確立し、オン抵抗 $7.3\text{m}\Omega/\text{cm}^2$ の世界最高の低損失性能を実現した。

研究成果の概要(英文)：A new operating mode using the weak injection of the minority carrier was proposed for the SiC-buried gate static induction transistor (SiC-BGSIT). This project made clear the operating principle and design method. a 3.3kV SiC-BGSIT was also developed. The switching power dissipation drastically decreased with the increase of input voltage from 2.5V to 7.5V. Further increase of the input voltage rather increase the input power dissipation because of the increase of the input current.

3.3kV normally-off SiC-BGSITs were developed and its design method was made clear. The developed BGSIT had the smallest on-resistance among the power transistors having the same voltage rating.

研究分野：半導体工学

キーワード：パワーデバイス ワイドバンドギャップ

1. 研究開始当初の背景

研究代表者らは 2004 年から炭化珪素 (以下 SiC) を用いた埋め込みゲート型静電誘導型トランジスタ (Buried Gate Static Induction Transistor : BGSIT) の開発を進めてきた。SIT はチャンネル部を p⁺ゲート領域間の n 型のバルク領域に設置する為、MOSFET 構造とは異なり高いチャネル電子移動度を実現できる。埋め込みゲート構造を形成する際に、異方性エッチングと埋め戻しエピタキシャル技術を巧みに組み合わせた新たな構造を開発し (特開 2006-253292) サブミクロンチャネル寸法を実現しており、これと同時にデバイスシミュレーションによる徹底した設計 (特願 2005-191763) により 2005 年には降伏電圧 700V、特性オン抵抗 1.01mΩcm² という 600~900V 級で世界最低損失のパワーデバイスの試作に成功した ('05.3.29 日刊工業新聞ほか)。また 1000V、5A 級で世界最小オン抵抗 1.5mΩcm² のノーマリーオフ型素子の試作に成功した (H22 電気学会全国大会)。また H21~23 年度の科研費基盤 C では信頼性試験を実施し、1000 時間 125°C の連続遮断試験に成功し、信頼性の高さも証明した (平成 23 年電気学会全国大会)。更に同素子は Si パワー素子の 2 倍の負荷短絡耐量を示した。(IEEE Trans. Electron Devices 2010)

2. 研究の目的

当方で開発した SiC-BGSIT は pn 接合型のゲート構造を有し、電子のみを動作に用いたユニポーラ型の電界効果型トランジスタである。同時に素子を電力変換システムに用いる際の安全措置 (フェールセーフ) の観点から、ゲート信号がゼロの場合、素子がオフである「ノーマリーオフタイプ」を実現している。本素子の課題は

- ノーマリーオフ特性を実現する為、チャンネルの幅をサブミクロンオーダーで微細化するため、製造時のチャンネル寸法や添加する不純物濃度のゆらぎにともなう製造歩留まりの低下が生じる。これは材料が高コストである SiC 素子の実用化に向けての致命的な問題である。
- 微細チャンネル構造であるため、ターンオン動作の際にチャンネルの回復が鈍くターンオン損失が大きい。これは本来高速動作が可能であるという SiC 素子の特徴を損なうものである。

本研究では上記課題を克服するために、チャンネル領域を低不純物化するとともに駆動方式を調整し、素子動作時に活性領域に「少数キャリアの弱い注入」を起こさせ従来のバイポーラトランジスタと SIT の中間の新しい動作を実現することを目的とする。具体的には下記のような素子構造および駆動方式を提案する。

3. 研究の方法

まずデバイスシミュレーションにより、

SiC-BGSIT において弱い注入動作の原理、同動作を実現するためのチャネル構造、ゲートドライブ条件を予測した。シミュレーションにおいては、デバイスのスイッチング動作を正確にシミュレートするために、回路-デバイス連成シミュレーションを実施した。また BGSIT 構造はゲート領域が埋め込まれた 3 次元性が強い構造であるため、3 次元シミュレーションを行っている。

一方で、試作した SiC-BGSIT サンプルを用いて、ゲート電極に印加する駆動パルスのオン電圧レベル V_{IN,ON} を、通常モード (注入無し) の 2.5V から比較的強い注入モードが生じる 12.5V まで変化させ、スイッチング試験を行い、オン電圧レベルにより、スイッチング性能にどのような効果が出るかを検証した。スイッチング試験はダブルパルス測定を行い、負荷は L とした。

更に、3.3kV 素子の開発においては、まずデバイスシミュレーションにより、チャンネル部およびドリフト領域の不純物ドーパ量、寸法の最適化を行った。この最適設計手法に基づき、これまで培った SiC-BGSIT 製造技術を駆使して試作を実施した。

4. 研究成果

まず、SiC-BGSIT の弱い注入の動作原理を把握するために、3 次元デバイスシミュレーションを実施した。シミュレーション構造を図 1 に示す。同構造においてスイッチング動作のシミュレーションを実施した。図 2 は、ターンオン過渡時における SiC-BGSIT のチャンネル部の電位障壁高の推移である。この結果より V_{IN,ON} を 2.5V から 12.5V に増加させることにより、速く電位障壁が消滅することがわかる。即ちターンオン動作が改善される。また SiC-BGSIT は埋め込みゲート構造であり、ゲート電極はデバイスの活性領域の周辺に設置されているため、ゲート電極端 (Line A) にくらべて、電極から最も離れたチャンネル部 (Line B) では電位障壁の低下が遅れることがこの結果より示唆されている。

図 3 は SiC-BGSIT サンプルを用いたスイッチング試験の結果である。上記シミュレーション

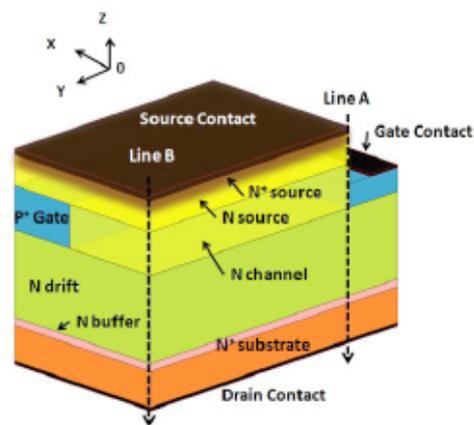


図 1 : SiC-BGSIT の 3D シミュレーション構造

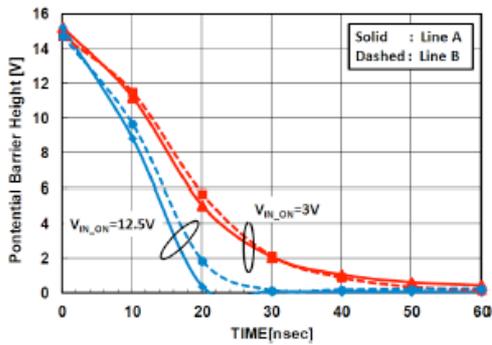


図2：ターンオン時のチャンネル領域の電位障壁高の推移

ヨンで示唆されたように、 V_{IN_ON} の増加によりターンオン時間が減少していることがわかる。

図4に V_{IN_ON} に対する出力電力損失 E_{OUT} および入力損失 E_{IN} の実験結果を示す。各損失は、スイッチング周波数を20kHzとし、Duty比0.5で1秒あたりの損失を算出した。この結果より V_{IN_ON} の増加で E_{OUT} が減少している一方で、 E_{IN} が増加していることがわかる。すなわち V_{IN_ON} の増加で、ゲート電流が顕著になり、

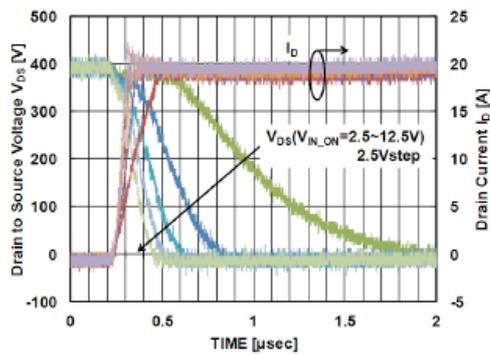


図3：ターンオン波形の入力電圧レベル V_{IN_ON} 依存性

V_{IN_ON} が2.5Vから12.5Vに増加させると、少数キャリア注入が無い状態から、極めて強い注入状態に推移することがわかる。またシミュレーションにより、この注入は、電流導通路にはあまり作用せず、ゲート電極直下およ

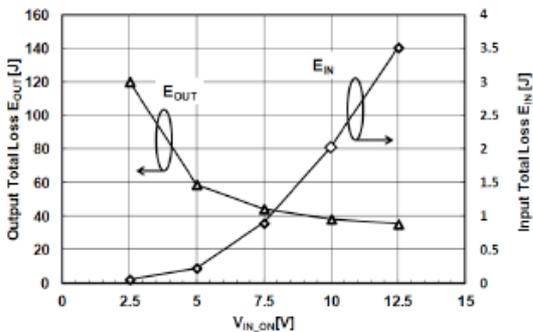


図4： V_{IN_ON} に対する入力および出力損失 E_{IN}, E_{OUT}

シミュレーションにより、この注入は、電流導通路にはあまり作用せず、ゲート電極直下およ

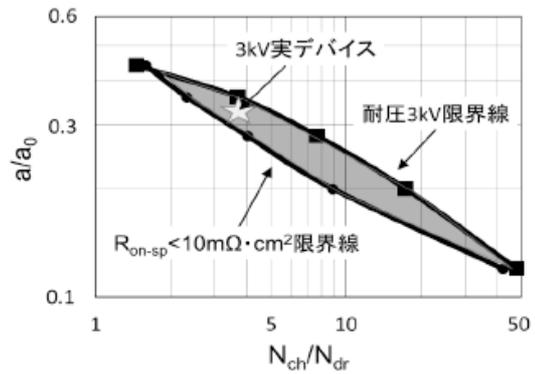


図5：3kV SiC-BGSIT のチャンネル設計領域

び埋め込むゲート上部に起こることがわかっている。すなわち過度の注入は入力損失を無駄に増加させる結果となる。図4の結果より、 V_{IN_ON} が7.5Vが少数キャリアの弱い注入状態で E_{OUT} が効果的に低減できている条件といえることが判明した。

次に3.3kVのSiC-BGSITの開発について述べる。図5はシミュレーションによって求めたノーマリーオフ型で3kV耐圧および特性オ

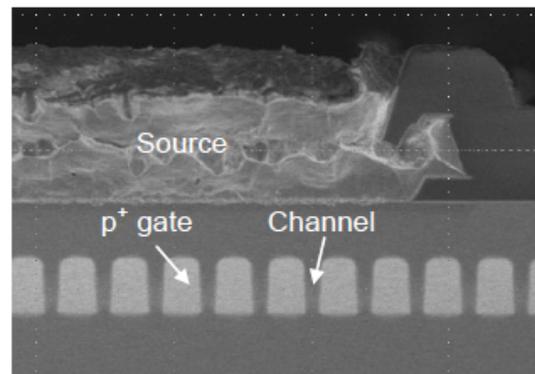


図6：3.3kV SiC-BGSIT のチャンネル領域の断面SEM像

ン抵抗 $R_{on-sp}=10m\Omega cm^2$ 以下の特性が得られるチャンネル半幅 a_0 およびチャンネルドーピング濃度 N_{ch} の設計領域である。図中の灰色の領域が同設計領域を示す。この領域は耐圧3kV限界線と $R_{on-sp}<10m\Omega cm^2$ 限界線で囲まれる。

この設計を基にして3.3kV SiC-BGSITの試作を行った。図6は試作素子のチャンネル領域の断面SEM写真である。 p^+ 埋め込みゲート領域間のチャンネル領域はポイドなどの欠陥が無いことがわかる。図7、8に試作素子のオン特性およびオフ特性をそれぞれ示す。試作素子は $R_{on-sp}=7.3m\Omega cm^2$ ($V_{GS}=2.5V$)で降伏電圧3.3kVを示し、同様の降伏電圧を有する素子で世界最小のオン抵抗を実現できた。

以上より、本研究によりSiCパワーデバイスにおいてスイッチング損失を低減する新しい動作モードの知見が得られ、同時にSiC-BGSITが3.3kV級においてもその潜在能力を発揮できることが証明できた。

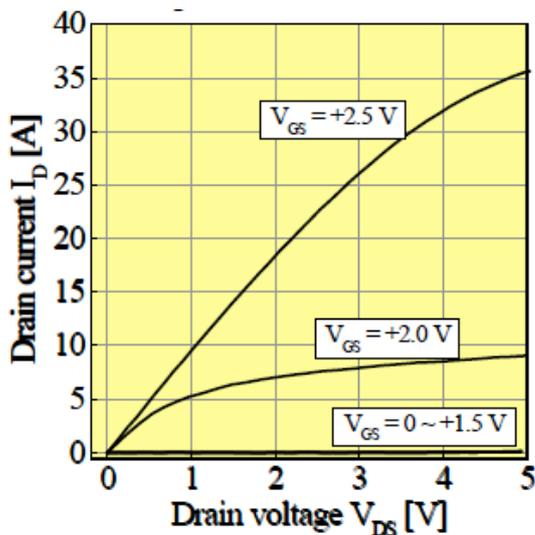


図 7:試作した 3.3kV SiC-BGSIT のオン特性

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕 (計 0 件)

〔学会発表〕 (計 4 件)

- ① 飯塚大臣、田中保宣、八尾勉、高塚章夫、山本真幸、矢野浩司、3kV ノーマリーオフ型 SiC-BGSIT の設計、先進パワー半導体分科会第 1 回講演会、2014 年 11 月 19 日、ウインクあいち (名古屋市)
- ② 望月雄貴、田中保宣、八尾勉、高塚章夫、山本真幸、矢野浩司、SiC 埋め込みゲート型 SIT におけるオン抵抗の温度特性、先進パワー半導体分科会第 1 回講演会、2014 年 11 月 19 日、ウインクあいち (名古屋市)
- ③ Yasunori TANAKA, Akio TAKATSUKA, Koji YANO, Norio MATSUMOTO, Tsutomu Yatsuo, 3.3kV SiC Buried Gate Static Induction Transistors (SiC-BGSIT) with Ultra Low Specific On-Resistance, European Conference Silicon Carbide & Related Materials, Sept. 21th 2014, Grenoble, France.
- ④ 勝俣公貴、田中保宣、八尾 勉、高塚章夫、山本真幸、矢野浩司、ゲートオーバードライブによるノーマリーオフ型 SiC-BGSIT のターンオン損失改善、SiC 及び関連半導体研究会 第 22 回講演会、2013 年 12 月 9 日、埼玉会館 (さいたま市)

6. 研究組織

(1) 研究代表者

矢野 浩司 (YANO Koji)
山梨大学・大学院総合研究部・教授
研究者番号：90252014

(2) 研究分担者

山本 真幸 (YAMAMOTO Masayuki)
山梨大学・大学院総合研究部・助教
研究者番号：00511320

(3) 連携研究者

田中 保宣 (TANAKA Yasunori)
産業技術総合研究所・先進パワーエレクトロニクス研究センター・主任研究員
研究者番号：20357453

八尾 勉 (YATSUO Tsutomu)
産業技術総合研究所・先進パワーエレクトロニクス研究センター・非常勤研究員
研究者番号：10399503