

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 9 日現在

機関番号：17104

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24560408

研究課題名(和文)素子ばらつき・経年劣化に影響を受けず動作可能な完全デジタルSRAM回路の研究

研究課題名(英文) Study on fully digital ratio-less SRAM design for avoiding the variability and aging effects of device characteristics

研究代表者

中村 和之 (NAKAMURA, KAZUYUKI)

九州工業大学・マイクロ化総合技術センター・教授

研究者番号：60336097

交付決定額(研究期間全体)：(直接経費) 4,100,000円

研究成果の概要(和文)：素子ばらつき、経年劣化等の影響を受けない、完全デジタル動作の新規オンチップメモリ(レシオレスSRAM)の研究開発を行った。

意図的に設計パラメータをばらつかせたモザイクセル構成のテスト回路、MOSFETのしきい値電圧を意図的にばらつかせることが可能な可変 V_{th} -TEG、さらには従来SRAMと低電源電圧特性を直接比較可能なテストSRAMを試作し、それらの実測結果により、従来の6トランジスタ構成のSRAMに対して、レシオレスSRAM回路の素子ばらつきに対する高い耐性(ドレイン電流ばらつき2桁、しきい値電圧ばらつき3倍)、非常に低い電源電圧(0.22V)での動作を確認し、その有用性を実証した。

研究成果の概要(英文)：The Ratio-less SRAM technology which features fully digital operation and large operating margin for device variability and aging effect was studied. Several test chips: Mosaic SRAM cell TEGs with intentionally-added device variability for confirming the ratio-less SRAM operation, variable V_{th} -TEGs for emulating the threshold voltage shift, and 1Kbit SRAM test chips for comparing the minimum operating supply voltage between conventional 6T-SRAM and developed ratio-less SRAM were developed. Measured results from these test chips showed the higher immunity for device variability and the superior low supply voltage operation of ratio-less SRAM than conventional SRAMs.

研究分野：工学

キーワード：CMOS SRAM LSI 素子ばらつき 経年劣化 マージン レシオレス 低電圧

1. 研究開始当初の背景

トランジスタの微細化により、素子の性能ばらつきや経年変化等の問題が深刻になっている。特に、現在のマイクロプロセッサのキャッシュメモリ等に使われる半導体スタティックランダムアクセスメモリ (Static Random Access Memory : SRAM) は、現在、ばらつきの増大や経年劣化、更には低電圧化の影響により、動作マージンの確保が危機的状況になってきている。図1に示す標準的なメモリセルに用いられてきた6トランジスタ構成のCMOS SRAMセル (6T SRAM) では、CMOSインバータラッチ (LP1, DN1, LP2, DN2) からなる記憶部分に対して、外部から書き込みトランスファークラック (TN1, TN2) のインピーダンスを介して、書き込み (ラッチ反転) を行い、一方、読み出し時には、同じトランスファークラックを介しながらも、ラッチ内の情報破壊を防止しつつ、ビット線へ記憶情報を出力しなければならない。すなわち、トランスファークラックのトランジスタのサイズ設計には、インピーダンス的に許される上限値と下限値が存在し、いわゆるレシオ設計が求められる。この設計のために、スタティックノイズマージン (Static Noise Margin : SNM) と呼ばれる指標が、従来から用いられてきた [1]。しかし、この SNM は、電源電圧の低下と、素子性能ばらつきの影響を直接的に受けるため、素子の微細化が進んだ近年では、その確保が非常に厳しくなっている。この問題を回避するために、多種多様な回路技術が提案されていたが、いずれも設計マージンの一部を緩和する視点での改良であり、読み出し、書き込み、書き込み半選択 (被書き込みセルに隣接するセルのデータ保持) の3状態において、本研究で提案するすべてのマージン要素を排除して、完全にデジタル的な動作を実現するものは皆無であった [2-8]。

2. 研究の目的

本研究では、我々が提案した素子ばらつきや経年劣化の影響を全く受けずに、回路動作が保証される完全デジタル動作の新しい SRAM 回路であるレシオレス SRAM (Ratio-less SRAM: RL-SRAM) の研究を行う [9]。従来の LSI 回路設計においては、±20%~50%程度の素子性能のばらつきの仮定であったが、将来に予想される、1/10~10倍という、桁違いに素子性能がばらついた状況下においても、動作が保証される回路構成を実現する。この素子ばらつきや経年劣化に影響を全く受けない SRAM 回路の研究は、従来のマージン確保型の設計法を見直す革新的なものであり、素子微細化に伴いばらつきが増大する最先端プロセスの SRAM セル開発に特に有効となる。

3. 研究の方法

本研究では、素子ばらつき、経年劣化等の課題を克服して、設計パラメータによらず動

作が確保される新たなオンチップメモリ (レシオレス SRAM) の新しい設計手法の構築とそれを適用した性能実証回路の試作・評価による性能実証を3ヵ年間で進めた。メモリセルだけでなく、周辺回路を含めた検討が必要であり、素子ばらつきや低電圧動作への対応の検討とその実証のために、VDEC (東京大学大規模集積システム設計教育研究センター) を利用した性能実証 LSI の試作を行い、素子ばらつきを模擬する構成のテストチップや、低電圧動作を確認するチップの実測データによりその効果を実証していく。

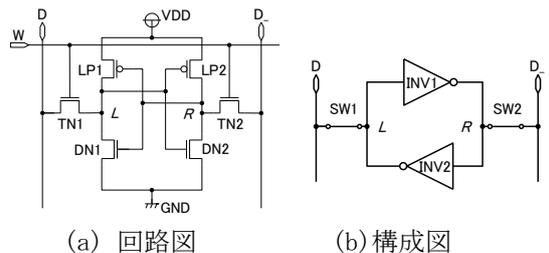


図1 従来の6トランジスタSRAMセル

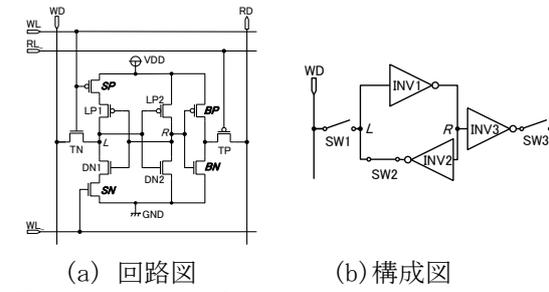


図2 12トランジスタレシオレスSRAMセル

4. 研究成果

(1) 電流ばらつきに対する動作特性評価
初年度は、まず、レシオレス SRAM のメモリセル構成の候補の抽出と、最適構成の探索を行った。レシオレス SRAM のメモリセルの最小構成としては、一部のトランスファークラックを片チャンネル化することで、トランジスタ数を9個まで削減することが可能である [9]。しかし、これらの削減は、低電圧動作への対応や書きこみ速度の低下等を引き起こすために、図2に示す、完全相補な12トランジスタ構成のレシオレス SRAM セル (12T RL-SRAM) を基本セルとした。そこで、12トランジスタ型レシオレスメモリセルと、書き込み半選択問題を回避する周辺回路を組み合わせた SRAM の回路を設計し、その性能実証のために、VDEC を利用した LSI の試作を行った。0.18μm プロセスで、最先端の微細 CMOS における素子ばらつきの増大を模擬するために、メモリセル毎に、意図的に設計値をランダムのパラッキさせた構成 (モザイクセル構成) を用いた [9]。チップ写真を図3に示す。モザイク SRAM は、メモリセルを構成する12個のトランジスタそれぞれを、基準W値の1/10または、10倍のW値とした、全ての組み合わせ (4096通り) を網羅した異なる設計

値の 4096 個のメモリセルを含む特殊な SRAM 回路である。本チップの測定の結果、全てのセルでの動作を確認することができた。同時に試作した従来提案されている SRAM (6、8、10 トランジスタ型) との比較を表 1 に示す。メモリセルサイズが大きくなったことで、12T RL-SRAM の動作速度は遅くなっているが、デジタル動作のために消費電力は少なく、モザイク SRAM での不良ビット数は、0 となっている。これにより、素子性能が桁違いにばらついた状況下においても、12 トランジスタレシオレス SRAM の動作安定性を確認し、その効果を実証することに成功した。(詳細については学会発表⑤⑥⑦参照)

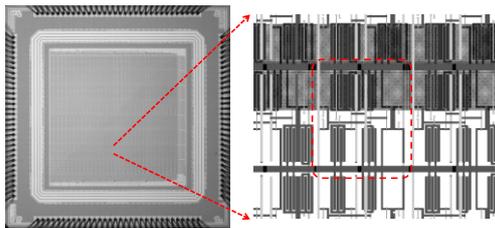


図 3 4Kb 12T RL-SRAM モザイク SRAM TEG

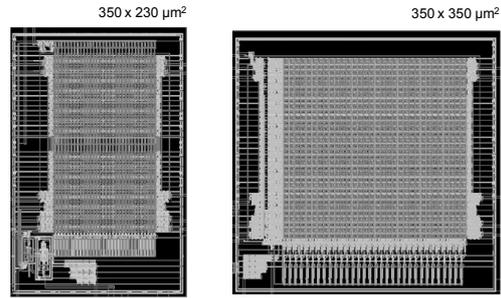
表 1 従来 SRAM と 12T RL-SRAM の性能比較

トランジスタ構成	従来のSRAM				RL-SRAM
	6トランジスタ	8トランジスタ	10トランジスタ	12トランジスタ	12トランジスタ
ワード線数	1	2	2	3	3
データ線数	2 ⁿ¹	3 ⁿ²	2 ⁿ¹	2 ⁿ¹	2
マージンの確保	読み出し	要	不要	不要	不要
	書き込み	要	要	要	不要
半導体	要	要	要	不要	不要
補助回路		ビットラインキーマー ⁿ⁴	ビットラインキーマー ⁿ⁵ センスアンプ		DL
消費電流	リード	4.91	2.56	6.78	1.61
[μ A]	ライト	1.05	1.12	1.98	0.66
動作速度	リード	164	240	215	261
[ns]	ライト	49	49	92	86
Mosaic-TEGでのFail rate[%]		89.7	75.6		0

(2) 低電源電圧下での動作特性評価

次に、12T RL-SRAM の低電源電圧特性を評価するために、1 Kb 構成のメモリを、従来の 6T SRAM 回路と、12T RL-SRAM 回路について、VDEC の 0.18 μ m プロセスを用いて試作し、実測により比較評価を行った。図 4 に、今回開発した、1Kbit 6T SRAM と 1Kbit 12T RL-SRAM のレイアウト結果を示す。今回は標準ロジックプロセスを用いて SRAM 回路を設計したために、特別に面積を削減するレイアウト手法は取っておらず、12T RL-SRAM のメモリセルサイズは、従来の 6T SRAM に比べてほぼ倍のサイズとなっている。図 5 に試作したチップから得られた測定結果を示す。従来の 6T SRAM は、素子ばらつきの影響のために、電源電圧が 0.5V 以下となると動作が困難になるが、12T RL-SRAM は、動作速度は低下していくものの、電源電圧：0.22V までの動作を確認することができた。図 6 には低電圧下におけるフェイルビットマップを示す。12T RL-SRAM は、動作下限に近い狭い電圧範囲で動作不可となるセルが多く、ばらつきに影響を受けにくいことを示している。これらの結果により、従来 SRAM では、電源電圧=0.5V が、動作の下限であるのに対して、レシオレス SRAM は、素子ばらつきに対して耐性が高

く、0.22V という非常に低い電源電圧での動作が可能であることを実測により証明できた。(詳細については雑誌論文①、学会発表①②参照)



(a) 6T SRAM (b) 12T RL-SRAM
図 4 低電圧動作評価用 1 Kb SRAM TEG

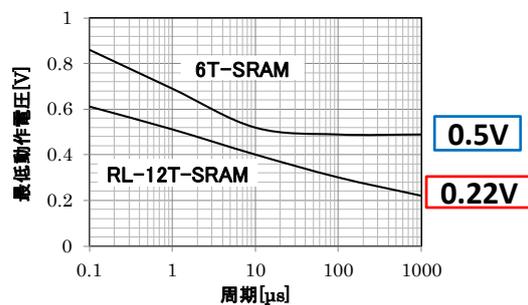
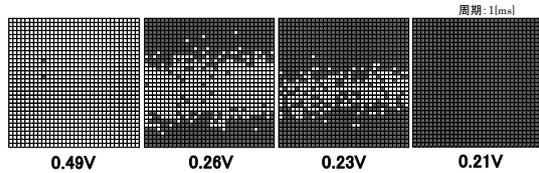
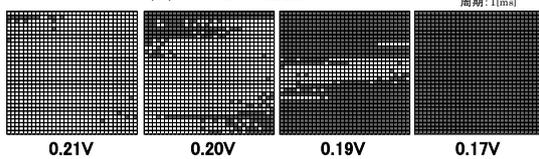


図 5 最低動作電圧の測定結果



(a) 6T SRAM



(b) 12T RL-SRAM

図 6 フェイルビットマップ

(3) V_{th} ばらつきに対する動作特性評価

さらに、MOSFET のしきい値電圧のばらつきに対する耐性を実測により直接定量評価するために、可変 V_{th} -TEG を開発した。これは、メモリセルを構成する各トランジスタのしきい値電圧 (V_{th}) を外部から設定できるもので、図 7 に 12T RL-SRAM セルに対する可変 V_{th} -TEG の構成図を示す。各トランジスタのゲート端子を ESD 素子を介して外部に取り出しており、ここに外部電源を接続することで、任意の V_{th} シフト量を設定可能な構成となっている。ローム社の 0.18 μ m CMOS プロセスを用いて 6T SRAM セル構成の V_{th} -TEG と、12T RL-SRAM セル構成の V_{th} -TEG の 2 つを搭載した試作チップの写真を図 8 に示す。各トランジスタのゲートに加える電圧は、 $+\Delta V_{th}$ [V] または $-\Delta V_{th}$ [V] の 2 種類とし、SRAM

メモリセルを構成する全てのトランジスタに対して、2種類のしきい値電圧ばらつきの組み合わせを全て網羅するよう測定を行った。ここで、動作不良が初めて発生する時の ΔV_{th} の値をクリティカル V_{th} （以下 CV_{th} ）とし、比較を行った。図9に測定結果を示す。全ての電源電圧において、6T SRAM に比べて12T RL-SRAMの方が CV_{th} が高く、レシオレスSRAMの安定動作が可能なしきい値電圧の許容ばらつき値は、電源電圧1V以下においても、 $\pm 0.25V$ 程度はあり、従来のSRAMの許容ばらつき値に対して少なくとも3倍以上のマージンを持つことが実証できた。（詳細については学会発表③参照）

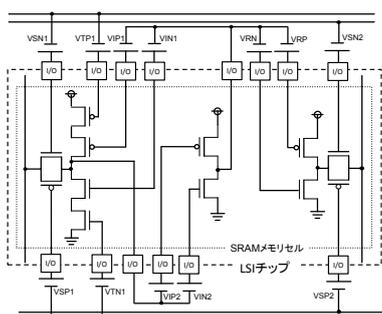


図7 可変 V_{th} -TEGの構成

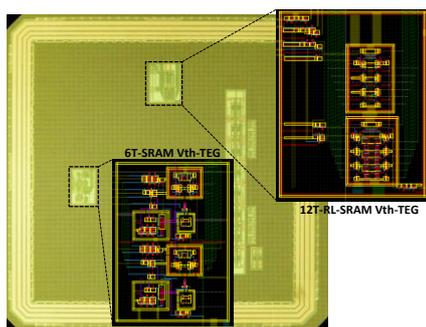


図8 可変 V_{th} -TEGのチップ写真

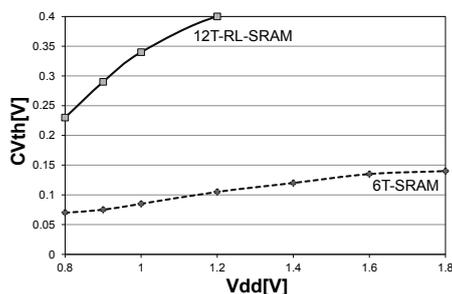


図9 実測したクリティカル V_{th} の比較

(4) 研究成果のまとめ

3年間の研究期間内に、トランジスタの電流ばらつき、及びしきい値電圧ばらつきに対するRL-SRAMの耐性の実測評価と、低電源電圧下での動作特性評価を行い、実測結果をベースとしたこれらの研究成果により、研究目標であった、素子ばらつきの影響を受けずに、非常に低い電圧下でも動作可能なSRAMとして提案されたレシオレスSRAMが、期待どお

りの性能を持つことを確認することができた。研究成果の宣伝と事業化促進のために、8月29、30日に東京ビッグサイトで開催されたイノベーションJAPANに“耐素子ばらつき・超低消費電力のレシオレスSRAM回路”というタイトルで出展を行った。これらの発表や出展を通して、将来の微細CMOS向けのメモリ技術としてよりも、むしろ超長期信頼性や極限状態での動作を確保するメモリ技術として、たとえば医療や航空宇宙関係への応用が、より近々の応用として期待されることが分かった。今後、これらの応用分野にフォーカスして、技術の展開・事業化を実現するよう、学内外の関係者と連携して産学官連携による事業化を図っていく。尚、これらの成果については、学术论文1件、査読付き国際学会3件、国内学会3件（表彰1件を含む）、国内展示会1件の成果発表により公表し、さらには、JSTの海外出願支援の獲得により、基本特許の国際（PCT）出願1件を行うことができた。

<引用文献>

- [1] E. Seevinck, F. J. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells" IEEE J. Solid-State Circuits, vol. SC-22, no. 5, pp. 748-754, Oct. 1987.
- [2] H. Yamauchi, "A Scaling Trend of Variation-Tolerant SRAM Circuit Design in Deeper Nanometer Era", Journal of Semiconductor Technology and Science, Vol. 9, No. 1, Mar. 2009.
- [3] L. Chang et al., "Stable SRAM Cell Design for the 32 nm Node and Beyond", Symposium on VLSI Technology, pp. 128-129, June 2005.
- [4] Y. Morita et al., "An Area-Conscious Low-Voltage-Oriented 8T-SRAM Design under DVS Environment", Symposium on VLSI Circuits, pp. 256-257, June 2007.
- [5] I-J. Chang et al., "A 32 kb 10T Subthreshold SRAM Array with Bit-Interleaving and Differential Read Scheme in 90 nm CMOS" ISSCC Dig. Tech. Papers, pp. 388-622, Feb. 2008.
- [6] J. Singh et al., "A Subthreshold Single Ended I/O SRAM Cell Design for Nanometer CMOS", IEEE International SOC Conference, pp. 243-246, Oct. 2008.
- [7] K. Takeda et al., "A read-static-noise-margin-free SRAM cell for low-VDD and high-speed applications," IEEE J. Solid-State Circuits, vol. 41, no. 1, pp. 113-121, Jan. 2006.
- [8] A. Agarwal et al., "A 320mV-to-1.2V on-die fine-grained reconfigurable fabric for DSP/media accelerators in 32nm CMOS", ISSCC Dig. Tech. Papers, pp. 328-329, Feb. 2010.

[9] T. Saito, H. Okamura, M. Yamamoto, K. Nakamura, "A Ratio-Less 10-Transistor Cell and Static Column Retention Loop Structure for Fully Digital SRAM", 2012 4th IEEE International Memory Workshop (IMW), 2012. 05. 29

5. 主な発表論文等

〔雑誌論文〕(計1件)

① Takahiro Kondo, Hiromasa Yamamoto, Satoko Hoketsu, Hitoshi Imi, Hitoshi Okamura, Kazuyuki Nakamura, "Ratioless full-complementary 12-transistor static random access memory for ultra low supply voltage operation", Japanese Journal of Applied Physics(査読有), Vol.54 No.4S, April.2015 DOI:10.7567/JJAP.54.04DD11

〔学会発表〕(計7件)

- ① 近藤敬宏, 山本裕允, 法華津智子, 伊見仁, 岡村均, 中村和之, "12トランジスタ完全相補型レシオレスSRAMの低電圧動作特性", LSIとシステムのワークショップ2015, 北九州, 2015.5.11-12
- ② T. Kondo, H. Yamamoto, H. Imi, H. Okamura, K. Nakamura, "A Measurement of Ratio-less 12-transistor SRAM cell Operation at Ultra-low Supply-voltage", 2014 International Conference on Solid State Devices and Materials(SSDM), Tukuba, pp.82-83, Sep.10. 2014
- ③ 伊見仁, 徳丸翔吾, 岡村均, 中村和之, "CMOS SRAMセルのしきい値電圧ばらつき耐性評価用TEGの設計及び評価", LSIとシステムのワークショップ2014, 北九州, 2014.5.26
- ④ 中村和之, "耐素子ばらつき・超低消費電力のレシオレスSRAM回路", JST&NEDO主催イノベーション・ジャパン2013~大学見本市&ビジネスマッチング~, 東京ビッグサイト, 2013.8/29-30.
- ⑤ 山本裕允, 齋藤貴彦, 岡村均, 中村和之, "Ratio-less 10Tr-SRAMセルとColumn Retention Loop構造による完全デジタルSRAMの設計及び評価", LSIとシステムのワークショップ2013 (ICD優秀ポスター賞), 北九州, 2013.5.13
- ⑥ H. Okamura, T. Saito, H. Goto, M. Yamamoto, K. Nakamura, "Mosaic SRAM Cell TEGs with Intentionally-added Device Variability for Confirming the Ratio-less SRAM Operation", IEEE International Conference on Microelectronic Test Structures (ICMTS) 2013, pp.212-215, Osaka, 2013.03.28
- ⑦ T. Saito, H. Okamura, M. Yamamoto, K. Nakamura, "A Ratio-Less 10-Transistor Cell and Static Column Retention Loop Structure for Fully Digital SRAM", 2012 4th IEEE International Memory Workshop

(IMW), milano Italy, 2012. 05. 29

〔産業財産権〕

○出願状況(計1件)

名称: 半導体記憶装置
発明者: 中村和之、齋藤貴彦、岡村均
権利者: 九州工業大学
種類: PCT 国際出願
番号: PCT/JP2013/58217
出願年月日: 2013.3.22
国内外の別: 国外

〔その他〕

ホームページ等
<http://www.design.cms.kyutech.ac.jp/~nakamura>

6. 研究組織

(1) 研究代表者

中村 和之 (NAKAMURA Kazuyuki)
九州工業大学・マイクロ化総合技術センター・教授
研究者番号: 60336097