

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 23 日現在

機関番号：27101

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24560411

研究課題名(和文)環境センサー向け超微細・超低電力アナログLSI複合評価技術の研究

研究課題名(英文) Study on diverse evaluation technology of ultra-fine, ultra-low-power analog LSIs for environmental sensors

研究代表者

中武 繁寿 (Nakatake, Shigetoshi)

北九州市立大学・国際環境工学部・教授

研究者番号：10282831

交付決定額(研究期間全体)：(直接経費) 4,200,000円

研究成果の概要(和文)：様々な環境センサーで扱う微少なアナログ信号を安定して測定するために用いる計装アンプなどのアナログ集積回路を低コストで開発するための回路評価技術の研究を行った。具体的には、チップを製造することなくその製造性を再現するために、チップ内のトランジスタのレイアウト依存性を考慮した統計的シミュレーションを導入し、計装アンプの性能ごとに製造性を評価する方式を確立した。さらに、この方式のシステム的な評価を行うために、計装アンプを搭載する小型センサーのプロトタイプを開発し、センシング精度と通信品質の観点から、実用的な品質が得られることを明らかにした。

研究成果の概要(英文)：This research deals with a circuit evaluation technology to manufacture low-cost analog integrated circuits, typically, an instrumentation amplifier that it measures small analog signals for a variety of environmental sensors. In details, in order to reproduce the manufacturability without chip fabrication, we established a methodology to evaluate the manufacturability of instrumentation amplifiers with respect to their performances introducing statistical simulation considering the layout dependence of the transistors inside the chip. Besides, for the purpose of a systematic evaluation of the methodology, we developed a prototype of a small sensor with the instrumentation amplifier, and revealed the sensor had practical quality from the viewpoint of the communication quality with the sensing accuracy.

研究分野：集積回路設計技術

キーワード：センサー 計装アンプ 統計的シミュレーション 製造性シミュレーション オペアンプ レイアウト

1. 研究開始当初の背景

近年、ユビキタス、またアンビエント情報社会の実現に向け、あらゆる生活環境が著しく高度情報化されてきている。近未来の自動車を考えれば、走行上のあらゆる環境情報をセンシングし、瞬時に情報処理し、危機回避を警告し、安全走行へと制御するであろう。また、橋梁、高速道路、ビルなどには、その経年劣化をセンシングする無線通信型 IC が設置され、定期的に建造物診断できる生活安全のインフラも提供されていくであろう。従って、これらの機能を実現する集積回路の品質が社会の安全性に与える影響は甚だ大きい。これら集積回路のほとんどは、アナログとデジタルの混載するミクストシグナル型であり、その市場規模は、2008 年の段階で、メモリを除く IC 市場（世界規模で 1670 億ドル）の約 6 割を占めている。

しかし、超微細 CMOS 技術でのアナログ IC 実現を考えると、製造ばらつきや環境変動の影響が顕著になってきており、設計生産性の向上（コスト）と品質保全を両立させることに窮しているのが現状である。実際に、ミクストシグナル LSI 開発では、アナログブロックの開発評価に関する労力はチップ全体の 7~8 割を占めており、その生産性が市場拡大のボトルネックになっている。また、微細化の影響で、光近接効果、STI ストレス、ウェル近接効果など、設計上考慮せねばならない要因が複雑化している。この結果、例えば低電力アナログ回路では、シミュレーションと実機評価が一致せず、実際に試作評価を行わねば実現可能な仕様検討すらできない。

2. 研究の目的

本研究では、様々な環境センサーシステムに搭載されているアナログ集積回路を低コストで開発するためのチップ製造性を考慮した回路評価技術の研究を行う。

そのために、チップを製造することなくその製造性を再現するために、チップ内のトランジスタのレイアウト依存性を考慮した統計的シミュレーションを導入し、アナログ回路の性能ごとに製造性を評価する方式を提案する。さらに、この評価方式の体系的な評価を行うために、実際のセンサーシステムを開発し、センシング精度の観点から検証を行う。

3. 研究の方法

本研究では、環境センサーで扱う微少なアナログ信号を安定して測定するために用いる計装アンプを題材として、そのレイアウト設計方式の提案、及び実際の試作・評価によるその方式の妥当性の検証を行う。

以下の(1)~(3)の方法に従い、提案方式の妥当性を検証する。

(1) 計装アンプを構成する入力オペアンプ対の特性マッチングを向上させるためのレイアウト手法を検証する。

①各オペアンプを、バイアス部、差動入力部、出力部、カレントミラー電流源部の部分ブロックに分割し、マッチングさせるオペアンプ対のそれぞれの部分ブロックを重ね合わせるようにレイアウトを行うブロック融合レイアウト方式を提案する。

②近接配置や拡散共有などのレイアウト手法を組み合わせることで、合計 5 つのパターンでレイアウトを行い、0.6um/5V の製造プロセスを利用して試作したチップから実測評価により、その効果を実証する。

(2) オペアンプ対の相対精度ばらつき実測評価結果に基づき、計装アンプのレイアウトに依存した製造性評価手法を提案する。

①実測に基づく、モンテカルロ法を用いたオペアンプ対のレイアウト依存性ばらつきモデル化する。

②オペアンプ対の関連のモデル化とその再現する。

③ばらつきモデルを用い、相対精度を考慮した計装アンプのシミュレーションを行い、製造性を考慮した性能検証を行う。

(3) 製造性評価に用いた計装アンプと市販のマイコン製品と組み合わせ小型センサーシステムを開発し、センシング精度と通信品質の観点から、体系的な品質を検証する。

4. 研究成果

(1) 計装アンプの製造性検証

①オペアンプの製造ばらつき評価

計装アンプの入力対となるオペアンプを製造し、製造ばらつきのレイアウト方法に対する依存性について評価を行った。このオペアンプを次の A~E の方法でレイアウトを作成した。

(A) 教科書レベル

(B) オペアンプ 2 個分の各部分回路ブロックを近接配置

(C) オペアンプ 2 個分の各部分回路ブロックを拡散層で共有

(D) 特性への影響が大きい各部分回路ブロックのみ拡散層で共有

(E) オペアンプ 4 個分の各部分回路ブロックを近接配置

各チップには 4 つのオペアンプが搭載されている。

表 1：製造性評価

種類	Opamp 1-2個数	Opamp 3-4個数	良品 注(1)	良品率 [%]	測定数 注(2)	標準偏差	標準偏差 良品率	総数
CHIP A	190	185	20	8.7	375	17.7	1.97	230
CHIP B	177	195	47	20.4	372	19.2	0.96	233
CHIP C	214	205	48	20.9	419	18.0	0.86	230
CHIP D	199	181	16	6.9	380	25.2	3.65	231
CHIP E	206	191	30	13.0	397	20.8	1.60	230

表 1 に各レイアウトの対応するチップの製造性の評価を示す。ここでは、2 個のオペアン

プのオフセットの相対的なばらつき（標準偏差値）を製造性として評価している。この表からチップCのレイアウト方法は、2つのオペアンプのオフセットにおける相対的なばらつきを効果的に抑制できることが実証できた。

② 計装アンプの設計・検証

検証オペアンプを利用して図1に示す計装アンプを開発し、その性能を評価した。ここで各入力オペアンプのレイアウトは、製造性評価の結果からチップCを採用している。た図2にチップ写真を示す。この計装アンプは図1の回路図中のR1（チップ外）の抵抗値を変更することにより、次式のように利得値 $(V_{out1} - V_{out2}) / (V_{in2} - V_{in1})$ を変更することができる。

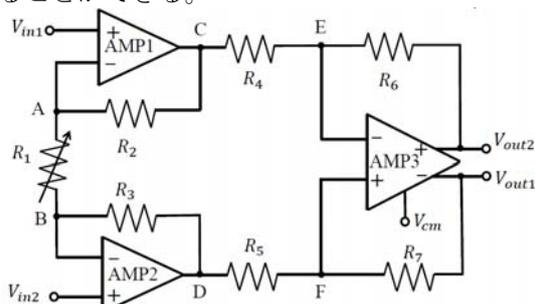


図1：計装アンプ回路図

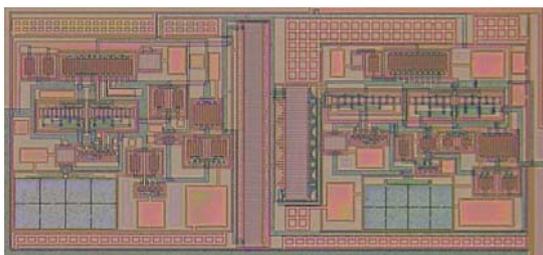


図2：計装アンプのチップ写真

表2：計装アンプのシミュレーション結果

項目	Sim結果 (入力AMP)	Sim結果 (完全差動AMP)
直流利得[dB]	101.82[dB]	85.994[dB]
カットオフ周波数[Hz]	174.47[Hz]	753.34[Hz]
ユニティゲイン周波数[MHz]	24.475[MHz]	14.748[MHz]
位相余裕[°]	62.46[°]	78.36[°]
出力電圧範囲	-1.4319~0.75161	-1.01~0.67
消費電流[μA]	159.0353	504.3386
PSRR(VDD側)[dB](@1Hz)	-118.62[dB]	-109.29[dB]
PSRR(VSS側)[dB](@1Hz)	-112.92[dB]	-135.7[dB]

表2に計装アンプ（入力AMP、完全差動アンプ）のシミュレーション結果を示す。この回路の製造後の測定を行った。注目すべきは、実測においては、1倍、10倍、200倍の計装アンプが実現できており、AMP1とAMP2にはそれぞれオフセットが生じているがその相対値は小さく計装アンプにおいては相殺され、差動出力において高い利得を得ることができていることである。これにより、提案レイアウト方法（チップC）の優位性を示すことができた。

(2) オペアンプの製造ばらつき評価に基づく計装アンプの製造性検証

オペアンプの製造性評価データに基づき、計装アンプの製造性をシミュレーションレベルで検証を行った。ここでは、オペアンプ（計装アンプの入力AMP）のオフセットばらつきの測定データから、オペアンプのモンテカルロ・シミュレーションのためのばらつきパラメータを導出している。そのパラメータに基づき、計装アンプの統計的シミュレーションを行った。

表3：統計的シミュレーションによる製造性評価

YIELD W.R.T. BLOCK MARGE LAYOUT					
LAYOUT-STYLE	Yieldratio [%]				
	×1	×10	×100	×1000	
A	OP1-2/OP3-4	100/100	100/99.8	35.5/14.0	3.3/1.7
	Avg [%]	100	99.9	24.75	2.5
B	OP1-2/OP3-4	100/100	100/100	30.8/42.2	2/5.2
	Avg [%]	100	100	36.5	3.6
C	OP1-2/OP3-4	100/100	100/100	33.7/29.3	2.8/3.2
	Avg [%]	100	100	31.5	3
D	OP1-2/OP3-4	100/100	100/100	37.8/19.5	4.1/1.4
	Avg [%]	100	100	28.65	2.75
E	OP1-2/OP3-4	100/100	100/100	33.7/23.2	2.5/1.8
	Avg [%]	100	100	28.45	2.15

表4：製造性に関するシミュレーションと実測の比較

COMPARISON OF DC GAIN				
R[ohm]	開放	5000Ω	500Ω	50Ω
Ideal	×1	×10	×100	×1000
Simulation	0.9994	10.473	98.465	823.05
Measurement	0.96	11	86	N/A

表3にシミュレーションによる製造性評価の結果をまとめている。チップBとCが高い歩留まりを示していることが確認できる。ただし、いずれのレイアウトパターンに対しても1000倍では低い歩留まりとなった。

また、表4に今回の計装アンプを製造後、実測した結果を示す。実測では100倍まで有る程度のチップで動作が確認できたが、1000倍ではすべてのチップで動作が確認できなかった。この結果は、表3で示した歩留まりのデータと一致しており、本提案の製造性評価手法の妥当性が検証できた。

(3) センサーシステムにおける評価

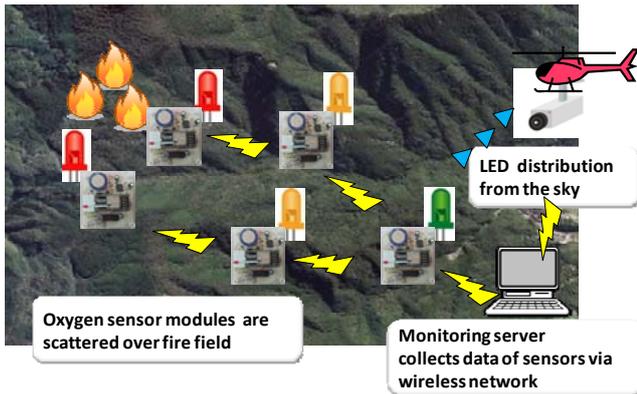


図 3： 散布型センサーモジュールの開発

本研究では、環境センサーとしてのシステム評価を行うために、市販のマイコンを利用して、計装アンプを搭載するセンサーモジュールを開発した。図 3 に散布型センサーシステムの概要を示す。広域災害の現場にセンサーモジュールが散布され、温度や酸素濃度を検出し、無線通信を利用して遠隔の制御 PC へデータを送信することができる。

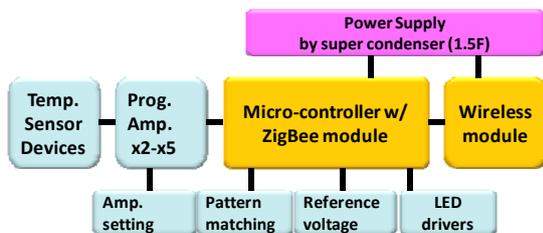


図 4： センサーモジュールのブロック図

図 4 にセンサーモジュールのブロック図を示す。今回は無線通信のために Zigbee モジュールを、”Prog. Amp” に計装アンプを利用している。

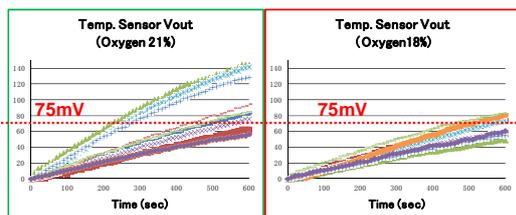


図 5： センシング精度の評価

図 5 にこのセンサーモジュールを利用したセンシング精度の評価結果を示す。火災を想定した不安定な環境下においても 3 つ以上のセンサーデバイスと計装アンプを利用することにより、多数決で温度から安全酸素濃度が判別できることが確認できた。

本研究で提案している開発方式を用いることにより、低コスト化な計装アンプを開発でき、このような環境センサーシステムへの応用が期待できることが実証できた。

5. 主な発表論文等

〔雑誌論文〕(計 8 件)

① Gong Chen, Yu Zhang, Qing Dong, Mingyu Li, Shigetoshi Nakatake,

“Layout-dependent Effect-aware Leakage Current Reduction and Its Application to Low-power SAR-ADC”, IEICE Transaction on Fundamentals of ECCS, 査読有, to appear, 2015.

② Gong Chen, Qing Dong, Shigetoshi Nakatake, Zhangcai Huang, Yasuaki Inoue,

“A Novel Retargeting Methodology in Computer-aided Design of Nano-watt CMOS Reference Circuit based on Advanced Compact MOSFET Model”, Journal of Computer Information Systems, 査読有, to appear, 2015.

③ Mingyu Li, Chuan Li, Gong Chen, Yu Zhang, Qing Dong, Shigetoshi Nakatake,

“New Sparse Design Framework for Broadband Power Amplifier Behavioral Modeling and Digital Predistortion”, IEEJ Transaction on Electrical and Electronic Engineering, 査読有, Vol.9, No.5, pp.532-541, 2014.

④ Yu Zhang, Gong Chen, Qing Dong, Mingyu Li, Shigetoshi Nakatake,

“Performance-driven SRAM Macro Design with Parameterized Cell Considering Layout-dependent Effects”, Proc. of IFIP/IEEE International Conference on Very Large Scale Integration, 査読有, pp.156-161, 2013.

⑤ Gong Chen, Yu Zhang, Qing Dong, Shigetoshi Nakatake, Bo Yang, Jing Li,

“A 9-bit 50MSps SAR ADC with Pre-charge VCM-based Double Input Range Algorithm”, Proc. of ACM Great Lake Symposium on VLSI, 査読有, pp.315-316, 2013.

⑥ Yu Zhang, Gong Chen, Bo Yang, Jing Li, Qing Dong, Mingyu Li, Shigetoshi Nakatake,

“Analog Circuit Synthesis with Constraint Generation of Layout-dependent Effects by Geometric Programming”, IEICE Transaction on Fundamentals of ECCS, 査読有, Vol.E96-A, No.12, pp.2487-2498, 2013.

⑦ Bo Yang, Qing Dong, Jing Li, Shigetoshi Nakatake,

“Structured Analog Circuit and Layout Design with Transistor Array”, IEICE Transaction on Fundamentals of ECCS, 査読有, Vol.E96-A, No.12, pp.2475-2486, 2013.

⑧ Gong Chen, Bo Yang, Shigetoshi Nakatake,

Zhangcai Huang, Yasuaki Inoue, “A retargeting methodology of nano-watt CMOS reference circuit based on advanced compact MOSFET model”, Proc. of IEEE International Symposium on Circuits and Systems, 査読有, pp.938-941, 2012.

[学会発表] (計 12 件)

- ① Yusuke Katsuki, Mingyu Li, Qing Dong, Shigetoshi Nakatake, “A Study on Visualization of Auscultation-based Blood Pressure Measurement”, 19th Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan(Taiwan), 17th, March, 2015.
- ② Ryuta Nishino, Tatsuya Yamada, Qing Dong, Shigetoshi Nakatake, “Oxygen with Majority Sensing for Monitoring Wide Area at Disaster”, 19th Workshop on Synthesis And System Integration of Mixed Information Technologies, Yilan(Taiwan), 16th, March, 2015.
- ③ Takuya Hirata, Shigetoshi Nakatake, Masaya Shimoyama, Masashi Miyagawa, Koichi Tanno, Akihiro Yamada, “Layout-dependent Manufacturability Evaluation of Instrumentation Amplifier”, IEEE/ACM Workshop on Variability Modeling, and Characterization, San Jose(USA), 6th, Nov. 2014.
- ④ Daijiro Murooka, Yu Zhang, Qing Dong, Shigetoshi Nakatake, “Clock Skew Post-silicon Tuning by Multilevel Delay Locked Loop”, IEEE/ACM Workshop on Variability Modeling, and Characterization, San Jose(USA), 6th, Nov. 2014.
- ⑤ Gong Chen, Jing Li, Bo Yang, Qing Dong, Shigetoshi Nakatake, “Routability-driven Common-centroid Capacitor Array Generation with Signal Coupling Constraints”, IEICE International Conference on Integrated Circuits, Design, and Verification, Ho Chi Minh(Vietnam), 15th, Nov. 2013.
- ⑥ Zhang Yu, Gong Chen, Mingyu Li, Qing Dong, Shigetoshi Nakatake, “A Delay-locked Loop with Multi-level Channel Length Decomposed Programmable Delay Elements”, IEICE International Conference on Integrated Circuits, Design, and Verification, Ho Chi Minh(Vietnam), 15th, Nov. 2013.
- ⑦ Mingyu Li, Yu Zhang, Gong Chen, Qing Dong, Shigetoshi Nakatake, “Wideband Digital Predistorter Design Using Subspace Pursuit-based Volterra Model”, IEICE International Conference on Integrated Circuits, Design, and Verification, Ho Chi Minh(Vietnam), 15th, Nov. 2013.
- ⑧ Shigetoshi Nakatake, “Practicality on Placement Given by Optimality of Packing”, ACM International Symposium on Physical Design, Stateline(USA), 24th, March,

2013.

- ⑨ 森山新平, 中武繁寿, “容量充電式の独立電源を伴う低消費電力オペアンプ動作に関する考察”, 情報処理学会 システム LSI 設計メソドロジー研究会, 対馬市交流センター, 2013 年 3 月 6 日
- ⑩ 中武繁寿, “トランジスタ・アレイ方式に基づくアナログレイアウトの高速プロトタイプ技術”, 電気学会 電子回路研究会, 東京理科大学, 2012 年 12 月 21 日
- ⑪ 中武繁寿, “High Routability and Low Ratio Mismatch Driven Common-Centroid Capacitor Array Generation”, IEEE Variability, Characterization and Modeling 2012, San Jose(USA), 8th, Nov., 2012.
- ⑫ 陳功, 中武繁寿, “A Comparator Energy Model Considering Shallow Trench Isolation Stress by Geometric Programming”, 電子情報通信学会, VLSI 設計技術研究会, 北九州国際会議場, 2012 年 5 月 31 日

6. 研究組織

(1) 研究代表者

中武 繁寿 (NAKATAKE, Shigetoshi)
北九州市立大学・国際環境工学部・教授
研究者番号 : 10282831