

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 15 日現在

機関番号：32678

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24560420

研究課題名(和文) 時間精度を利用した高精度AD変換器の高速化に関する研究

研究課題名(英文) A study on high-speed technique for highly accurate dual-slope AD converter using time accuracy

研究代表者

堀田 正生 (Hotta, Masao)

東京都市大学・知識工学部・教授

研究者番号：40409371

交付決定額(研究期間全体)：(直接経費) 4,100,000円

研究成果の概要(和文)：高精度アナログ・デジタル変換(ADC)回路の高速化を目的として縦続二重積分形ADCにおいて、精密と高速の積分を行う基準電流源の重みの比を電流パルスの個数の比で実効的に正確な電流比を実現する方法を提案した。この方式の主要構成要素である積分器を構成する増幅器の有限利得や基準電流源の出力抵抗および積分を制御するMOSスイッチのオフ抵抗がADCの直線性に与える影響を、理論からの検討とTSMC 90nm CMOSプロセスを用いたSPICEによる回路シミュレーションにより設計要件と性能の関係を明らかにし、実現可能性を示した。

研究成果の概要(英文)：In conventional cascade dual-slope AD converter, one of the problems is how to achieve highly accurate current ratio of reference current sources for coarse and fine integration. In this study, a dual-slope AD converter using time accuracy by current pulse is proposed to solve the problem. Circuit configuration is discussed and some performances are studied by circuit simulations. From the results of simulations, a feasibility and effectiveness of proposed architecture is cleared.

研究分野：アナログ電子回路

キーワード：AD変換器 アナログ・デジタル混載LSI 高精度変換技術

1. 研究開始当初の背景

近年の半導体集積回路は急速に微細化が進み、既にナノ CMOS 時代となり、65nm や 45nm 技術が実用化される中、コスト、性能面からシステム LSI も微細化が進んでいる。一方で、マイコンなどのデジタル信号処理とのインタフェースに AD 変換器が必要で、システムの高精度化に伴い AD 変換器も高精度が要求されるようになってきた。例えば、電池の残量計測などに用いられる AD 変換器は 16 ビット以上に、X 線 CT などの医用画像機器などでは 18 ビット以上の高精度 AD 変換器が必要となってきた。このような AD 変換器は、高精度化と共に、システム LSI (大規模集積回路) へ集積することや多チャネル化への対応のために小型化も要求される。システム LSI の機能の高集積化と低コスト化へ対応するためには微細 CMOS プロセスの採用が必須であるが、AD 変換器のようなアナログ回路では、微細トランジスタのしきい電圧ばらつきの増大や出力抵抗の低下などのトランジスタ性能の劣化および受動素子の相対精度の劣化などである。このような性能や精度が劣化したトランジスタや受動素子を用いて高精度をいかに実現するかが今後のナノ CMOS 時代のシステム LSI を発展させる鍵となる。

2. 研究の目的

高精度の AD 変換器として逐次比較形や $\Delta\Sigma$ 変調形などが広く用いられ、これまで逐次比較形の変換誤差のデジタル補正技術による高精度化の研究を進めてきた。逐次比較形ではその精度を内部 DA 変換器に精度を依存しているためにデジタル補正技術などを必要となるが構成が複雑となる。また、 $\Delta\Sigma$ 変調形ではスイッチの線形性確保が問題となる。一方、積分形は時間精度の良いクロックを用いて AD 変換する、すなわち精度の拠りどころを時間精度に持たせていることから高精度を比較的容易に実現できる。しかし、変換時間が遅いという問題があるために、高速化技術が確立できれば応用範囲が画期的に広がると考え、高速化技術の開発を本研究の目的とする。

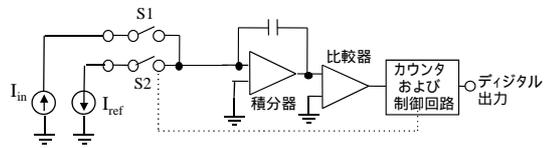
3. 研究の方法

一般に用いられる 2 重積分形 AD 変換器は図 1(a) に示す構成で、入力信号電流 I_{in} を積分器で一定時間 $T1$ だけ積分する。その後、逆極性の基準電流 I_{ref} を積分器に入力し、積分器の出力が再び 0 に戻るまでの時間 $T2$ をカウンタにより計数すれば入力信号電流は次の関係式から求められる。

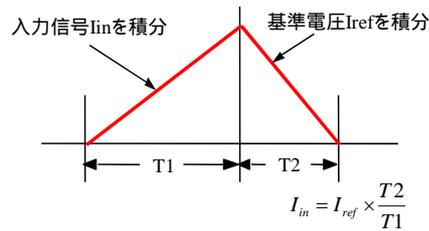
$$I_{in} = I_{ref} \times \frac{T2}{T1} \quad (1)$$

この方式は積分器出力が 0 に戻るまでカウンタで計数するために時間がかかるという問題がある。

この変換速度の改善方法として縦続積分方式が提案されている。その原理を図 2 に示し、16 ビット AD 変換器を例に説明する。まず、スイッチ $S1$ を閉じて入力信号電流 I_{in} を一定時間積分する。その後、 $S2$ と $S3$ を閉じることにより定電流 $128I_o$ で粗く積分し (入力電流により容量 C に充電された電荷を放電することになる)、積分器出力が第 1 の基準電圧 V_T を超えるまでのカウンタのカウンタ数から上位 7 ビットを得る。その後、 $S2$ を開いて I_o で精密積分し、第 2 の基準電圧 0 を超えるまでのカウンタ数から下位の 9 ビットを得るものである。この原理からすると、本来 N ビット ADC の場合、 2^N のカウンタ数が必要なのに対して上位 M ビットを粗積分とすることで全体のカウンタ数は $2^M + 2^{N-M}$ となり、 $(2^{M-N} + 2^{-M})$ 倍に低減する。図 2 の場合、 $M=7$ 、 $N=9$ とすればカウンタ数は約 1/100 にカウンタ数を減らすことができ、高速変換が可能となる。



(a) 回路図



(b) 積分波形

図 1. 2 重積分形 AD 変換回路

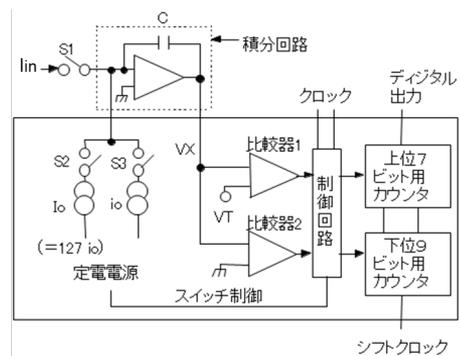


図 2. 縦続積分形 AD 変換回路

上述のように、縦続積分方式の採用により原理的には変換速度を大幅に向上することが可能となるが、実際には下記の解決すべき課題があり、それが容易に実用化できない理由となっている

(1) 粗積分時と精密積分時の電流比は AD 変換器の $\pm 1/2$ LSB 以下の精度で合わせこむ必要がある。そのために、18 ビット AD 変換器を実現するためには 2^{-19} の精度が要求され、

ICにおける相対精度が高々 2^{-10} 程度であることを考えると、トリミングや自己校正技術など特別な技術が必要でコストの増大が実用化を困難にしている。

(2) 比較器に関しても 2^{-19} の精度で基準電圧を超えた時点判定しなければならないことから、高感度のために120dB程度の利得と高速応答も要求される。この問題の解決が縦続積分方式の実現のカギとなる。

提案する縦続積分AD変換回路の構成は基本的には図2と同じである。異なるのは粗変換および精密変換を行う定電流源である。本研究で提案する定電流源は図3に示すようにパルスにしたことに特徴がある。カウンタでクロック数をカウントするが、そのカウンタクロックの周期を T_{CK} とすると、 T_{CK} の間に 2^M 個のパルスを積分器に入力する。また、精密変換の時にはそのパルスを T_{CK} の間に1個とすれば、積分器に入力する電流比は正確に $2^M:1$ とすることができる。この精度はクロックの時間精度によって決まるが水晶発振器などの周波数安定度を考慮すれば 10^{-6} 程度は十分に達成できるものである。また、定電流源と電流スイッチを用いて図4のように容易に実現できる。この時の変換シーケンスを図5に示す。

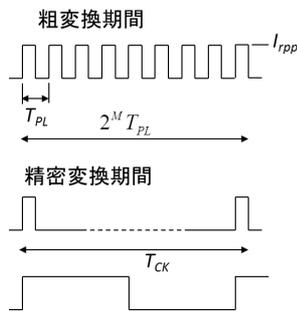


図3. 粗変換および精密変換の電流パルス

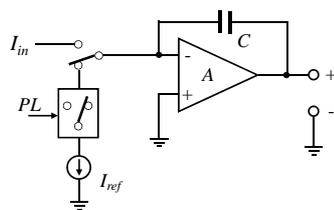


図4. 積分電流と積分器の関係

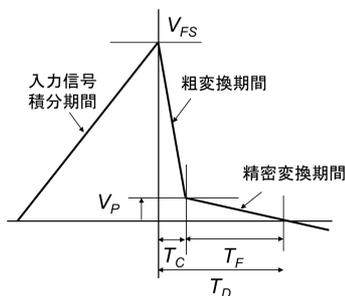


図5. 変換シーケンス

4. 研究成果

4.1 提案する高速化手法

(1) パルス電流源を用いた縦続積分AD変換回路

本研究で提案する定電流源は図3に示すようにパルスにし、 T_{CK} の間における粗積分(高速積分)と精密変換でのパルス数の比により積分器に入力する電流比は正確に $2^M:1$ とすることができる。定電流源と電流スイッチを用いて図4のような回路を用いれば容易に実現できる。まず、粗積分と精密積分とのパルスの個数の比 M の最適値を検討する。振幅 I_{rpp} をもつ電流パルス1個により積分器に充電される電流を I_{ref} とすると、

$$I_{ref} = \int_0^{T_{PL}} I_{rpp} dt \quad (2)$$

となり、粗変換時の電流 I_C は次式となる。

$$I_C = 2^M I_{ref} \quad (3)$$

また、精密変換時の電流は、 $I_F = I_C$ となる。

粗変換から精密変換に切り替える基準電圧を V_P とすると、粗変換にかかる時間 T_C は

$$T_C = \frac{V_{FS} - V_P}{2^M V_{LSB}} T_{CK}$$

となり、精密変換に要する時間 T_F は

$$T_F = \frac{V_P}{V_{LSB}} T_{CK} \quad (4)$$

となることから、 V_P を粗変換時の1カウンタクロックの周期 T_{CK} での積分器出力電圧の変化分の α 倍とすると、変換にかかる時間 T_D は次式で与えられる。

$$T_D = T_C + T_F = (2^{N-M} - \alpha + \alpha \cdot 2^M) T_{CK} \quad (5)$$

この式より、 T_D を最小にする M の値 M_{opt} が存在し、それは次式で与えられる。

$$M_{opt} = \frac{N \log 2}{2 \log 2} - \frac{\log \alpha}{2 \log 2} = \frac{N}{2} - \frac{\log \alpha}{2 \log 2} \quad (6)$$

積分器出力が基準電圧を超えて1カウンタ後に粗変換から精密変換に確実に切り替わるためには α を2に選ばばよく、その時の M_{opt} は $N=18$ のとき、8ないし9となる。

(2) 基準電流パルスの周波数と振幅

$M=8$ とし、サンプリング周波数2kHzを満たすために必要な基準電流パルスの周期を求める。 $f_s = 2 \text{ kHz}$ より

$$T_C + T_F = 500 \mu\text{s}$$

となり、使用する半導体プロセスをTSMC 90nmとし、I/Oトランジスタを使用すると仮定する。フルスケール電圧 $V_{FS} = 1.3\text{V}$ 、積分器に使用する容量 $C = 1\text{nF}$ とするとフォトダイオードからのフルスケール電流 $I_{in} = 5 \mu\text{A}$ のとき、フルスケール入力では

$$T_C = \frac{C \cdot V_{FS}}{I_{FS}} = \frac{1\text{nF} \cdot 1.3\text{V}}{5 \mu\text{A}} = 260 \mu\text{s}$$

となる．所望のサンプリング周波数を満たすためには， $T_F = 240\mu s$ とする必要がある． T_F と T_{CLK} は下式(7)のような関係のため，

$$T_F = (CNT_1 + CNT_2)T_{CLK} = \left(\frac{2^{18} - \alpha \cdot 2^8}{2^M} + \alpha 2^8\right)T_{CLK} \quad (7)$$

$\alpha = 4$ とすると， T_{CLK} は $116ns$ 以下となればよい．

T_{CLK} の値から基準電流パルスの周期を T_{PL} とし，その値を計算した． T_{CLK} と T_{PL} の関係を図 3 に示す． $M=8$ として， T_{PL} を計算すると

$$T_{PL} = T_{CLK} / 2^8 = 116ns / 2^8 \approx 453ps$$

となり，これは $1.6GHz$ という非常に高速のパルスとなり，タイミング設計や消費電力などで問題が生じる．そこで，高速放電期間の電流パルスの振幅を変えることで電流パルスの周期を緩和する方法を提案する．具体的には，図 6 のように高速放電期間と精密放電期間の電流振幅比を $2^\beta : 1$ ， T_{CLK} 内のパルスの個数比を $2^L : 1$ とし， $\beta + L = M$ とすることで， $I_{ref1} : I_{ref2} = 2^M : 1$ の電流比を実現する．例えば， $\beta=4, L=4$ とすると， $T_{PL} = 7.25ns$ となり，約 $130MHz$ のパルスで電流比を実現することが可能となる．

次に，基準電流パルスの振幅 I を求める． I_{ref2} のパルス 1 波形で変化する電圧は V_{LSB} なので，電流振幅値 I は以下の式で求めることができる． $CV = It$ より

$$I = \frac{C \cdot V_{LSB} \cdot 2^{L+1}}{T_{CLK}} \quad (8)$$

$L=4$ とし，フルスケール電圧を $1.3V$ ，積分器の容量値 C を $1nF$ とすると，振幅 I は約 $1.38\mu A$ と求めることができる．

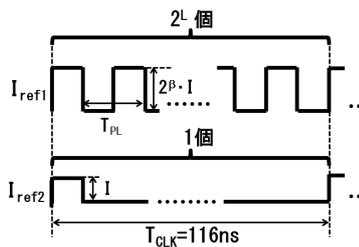


図 6. 電流パルスの振幅と周期

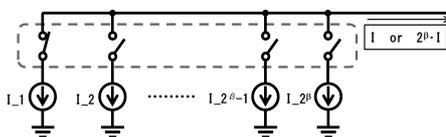


図 7. 定電流源の構成

提案する基準電流源の回路構成を図 7 に示す．同様の電流源とスイッチを複数個使い，セグメント形 DAC の原理に基づき，その個数比で電流比を実現する．例えば， $2^\beta \cdot I$ を出

力するときには全てのスイッチを ON に， I を出力するときには 1 つのスイッチを ON にする．各電流源に誤差があってもその総和が $2^\beta \cdot I$ となり， $2^\beta \cdot I$ 出力時の誤差はゼロとなる．また， I 出力時には T_{CLK} と同様の周期で，使用する定電流源を 1 つずつローテーションすることで誤差を平均化することができる．

(3) 提案する縦続二重積分形 AD 変換器の全体構成

提案する縦続二重積分形 ADC の全体構成を図 8 に示す．まず，一定時間入力電流 I_{in} を用いて C に充電を行う．その後にカウンタをリセットし，高速放電を開始する．積分器出力が切り替え電圧 V_C を下回るとレジスタ 1 が動作し，高速放電時のカウント値を保持する．その後にカウンタを 1 度リセットし，精密放電に切り替え，同様に積分器出力が $0V$ を下回るとレジスタ 2 が動作する．レジスタ 1 の値に重みを付与しレジスタ 2 の値と足し合わせることで AD 変換値を得る．精密放電への切り替え時に 1 クロックの期間を用いてカウンタをリセットするため $\alpha=4$ とした．提案する構成の動作を確認するために，MATLAB によるシミュレーションを行った．積分器出力波形は図 9 のようになり，高速放電，精密放電の動作を確認した．

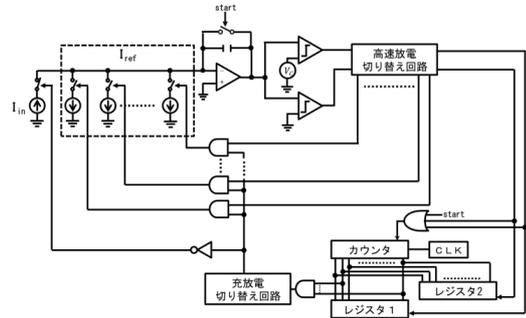


図 8. 提案する全体構成

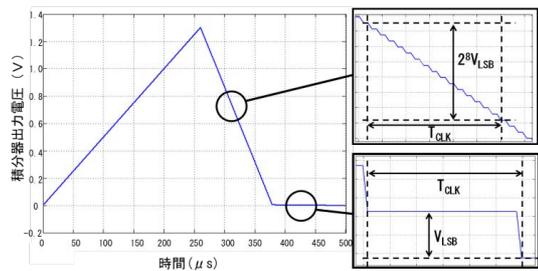


図 9. MATLAB シミュレーションによる積分器出力波形

4.2 提案する縦続二重積分形 AD 変換器の誤差要因

(1) 基準電流源の出力抵抗による積分器の非線形性

二重積分形 ADC において，積分器の非線形性が ADC の積分直線性(INL)を劣化させる．このため，NMOS を用いた定電流源を使用する場合の積分器の非線形性を計算した．定電流源の出力抵抗を R_{out} と置いた場合の積分

器のモデルを図 10(a)に示す．積分器の DC 利得を A, 容量値を C, 定電流源の電流値を I, 積分器出力を V_{out} とする．この時 V_{out} は式(9)で表される．

$$V_{out} = \frac{I \cdot t}{C \left(1 + \frac{1}{A}\right) + \frac{t}{A \cdot R_{out}}} \quad (9)$$

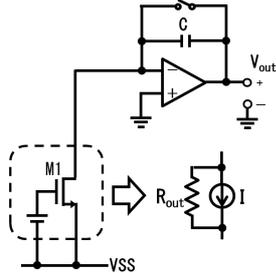
積分時間と V_{out} の関係は, 図 10(b)のような波形となる．ここで, V_{out} の終点の時間を t_{end} として理想直線を引き, V_{out} との差分を ε とする． ε は以下の式のようになる．

$$\varepsilon = \frac{I \cdot t \cdot \frac{t_{end} - t}{A \cdot R_{out}}}{\left\{ C \left(1 + \frac{1}{A}\right) + \frac{t}{A \cdot R_{out}} \right\} \left\{ C \left(1 + \frac{1}{A}\right) + \frac{t_{end}}{A \cdot R_{out}} \right\}} \quad (10)$$

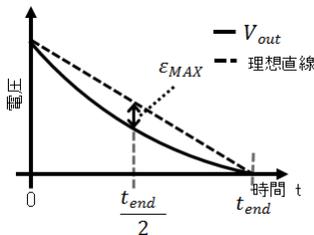
ε が $t = t_{end}/2$ の時に最大とし, その値を ε_{MAX} とすると, それは次式で近似できる．

$$\varepsilon_{MAX} \approx \frac{I \cdot t_{end}^2}{4 \cdot C^2 \cdot A \cdot R_{out}} \quad (11)$$

式(11)より, 18bit 精度の線形性を得るために必要な定電流源の出力抵抗は, $\beta=4, L=4, \alpha=4$ とし, $2^\beta \cdot I$ は約 $20\mu A$, 切り替え電圧 αV_1 は約 $1.3mV$, $A=90dB, C=1nF$ とすると, 高速放電期間において 18bit の線形性を得るには, $R_{out} > 115k$ とすればよいことがわかる．同様の計算を精密放電期間についても行うと $R_{out} > 117k$ と求めることができる．



(a) 定電流源出力抵抗を考慮した積分器



(b) 積分器出力の非線形性
図 10. 積分器の構成と出力の非線形性

(2) 積分容量のスイッチのオフ抵抗による積分器の非線形性

スイッチのオフ抵抗を r , 積分器の出力を V_{out} と置いた場合の積分器のモデル図を図 11 に示す．この時 V_{out} は式(12)で表される．

$$V_{out} = \frac{I}{\left(\frac{C}{T} - \frac{1}{r}\right) \left(1 + \frac{1}{A}\right)} \quad (12)$$

V_{out} の終点の時間を T_{end} としてオペアンプの利得を A とした理想直線の式を求めると, 次式を得る．

$$V_{out} \approx \frac{I \cdot T}{C - \frac{T_{end}}{r}} \quad (13)$$

式(12)と式(13)の差から, $T = T_{end}/2$ で最大誤差となるとすると, 最大誤差は次式で求められる．

$$\varepsilon_{MAX} = \frac{-I \cdot T_{end}^2}{4R \left(C - \frac{T_{end}}{2r}\right) \cdot \left(C - \frac{T_{end}}{r}\right)} \quad (14)$$

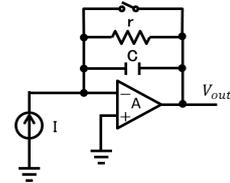


図 11. スイッチのオフ抵抗が有限の場合の積分器モデル

(3) 積分器の周波数特性

提案する縦続型二重積分形 AD 変換器について図 4 を用いて伝達関数を考える．同図に示すように定電流源を用いた積分器の出力電圧 V_o は A が有限の時は次式となる．

$$G(s) = \frac{V_o}{i_{in}} = \frac{-1}{SC \left(\frac{1}{A} + 1\right)} \quad (15)$$

実際には積分器の増幅器にはオペアンプを使用するが, 一般に利得の高いオペアンプの遮断周波数は低いので, これを無視できない．そこで, 用いる増幅器に 1 次の周波数特性を持たせて, これが変換精度に与える影響を検討することにした．このとき, 伝達特性は次式で与えられる．

$$G(s) = \frac{V_o}{i_{in}} = \frac{-\omega_c A_0}{CS^2 + SC\omega_c(1 + A_0)} \quad (16)$$

粗積分から精密積分にえた時に, 積分器の出力が収束する時間つまり伝達関数のステップ応答は式(16)より

$$G(t) = \frac{-A}{C(1+A)} \left(t + \frac{1}{\omega_c(1+A)} \left(-1 + e^{-\omega_c(1+A)t} \right) \right) \quad (17)$$

と求まる．図 12 にその積分波形を示す．応答速度の目安となる時定数は上式より

$$\tau = \frac{1}{\omega_c(1+A)} \quad (18)$$

となる．ここで, 簡単のために粗積分期間での入力を 1 つのパルスと考えて $A_0 = 3 \times 10^4$ としたときのオペアンプのカットオフ周波数を計算した．

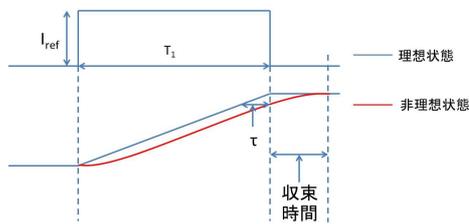


図 12. 周波数特性を有するオペアンプを用いたときの積分波形

非理想状態(周波数特性をもたせた場合)が理想状態(誤差を一切含まない理想の状態)と誤差 $1/2\text{LSB}$ 以内に収束する時間は精密積分期間の間に収束すればよい。非理想状態の粗積分から精密積分の切り替えは1クロック以内に切り替わらなくてはならない。このことから $\tau < T_{CK}$ となる。 $T_{CK} = 160\text{ns}$ として、オペアンプの遮断周波数を求めると、

$$f_c > \frac{1}{2\pi(1+A)T_{CK}} = 33\text{Hz}$$

であればよいことが分かる。

4.3 積分器の線形性誤差に関するシミュレーション結果

使用デバイスとして TSMC90nm CMOS プロセスの I/O 用トランジスタを想定し SPICE による回路シミュレーションから積分器の線形性誤差を検討した。

上述の理論検討より定電流源の出力抵抗は、 $R_{out} > 117\text{k}$ を満たせば 18bit の線形性を実現できることが分かった。そこで、トランジスタサイズを $L=1\mu\text{m}$ として W を $5\sim 10\mu\text{m}$ とすれば $1.3\mu\text{A}$ 出力時の出力抵抗をシミュレーションで求めたところ $10\text{M}\Omega$ 以上が得られたので定電流源トランジスタサイズを $L=1\mu\text{m}$, $W=10\mu\text{m}$ とした。図 13 に示す回路を用いてオペアンプの利得を 60dB, 80dB, 100dB と設定し、積分容量のスイッチトランジスタの W の値を変化させたときの線形性誤差を求めた。このとき、 $L=1\mu\text{m}$ としてある。その結果を図 14 に示す。これより、オペアンプの利得が 80dB 程度であると非線形性誤差が 8ppm 以上となり 18 ビットの精度には若干不足であるが、100dB あれば十分精度を確保できることが示された。

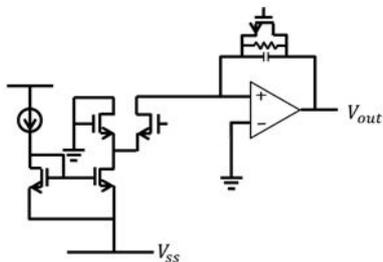


図 13. シミュレーションに用いた回路図

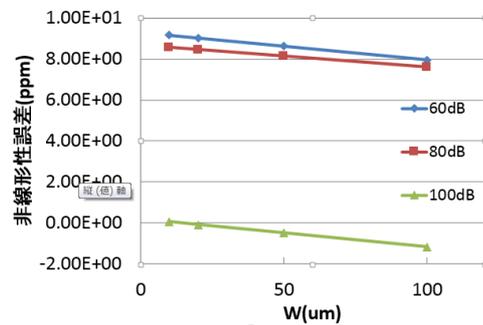


図 14. スイッチのオフ抵抗とオペアンプの利得が有限の場合の線形性誤差 MAX

4.4 まとめ

X 線 CT など高精度 AD 変換器を必要とする応用に対応するために、パルス電流を用いた縦続二重積分形 AD 変換器の実現可能性について検討した。提案方式で用いる定電流源や、比較器に必要な性能を検討し、CMOS で実現可能なことを回路シミュレーションによって確認した。積分器に用いるオペアンプも直流利得 80~100dB, カットオフ周波数 30Hz 程度と実現可能な範囲でよいことを明らかにした。また、全体構成を検討し、MATLAB シミュレーションにより従来の積分形 ADC と比較し 18 ビット精度と 128 倍高速化の実現可能性を確認できた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 3 件)

内田亜沙人, 吉田勇太, 山田俊毅, 吉田昂右, 松浦達治, 傘昊, 堀田正生, “カレントミラーアンプを用いた展開サイクリック形 AD 変換器の試作および評価結果,” 電気学会電子回路研究会資料, 査読無, ECT-14-057, 出雲市, 2014 年 7 月.

吉田昂右, 菅原論平, 山田俊毅, 松浦達治, 傘昊, 堀田正生, “展開に基づく ADC 用オペアンプ回路の検討,” 電気学会電子回路研究会資料, 査読無, ECT-14-023, 金沢, 2014 年 1 月.

高村亮太郎, 堀田正生, 傘昊, “二重積分形 AD 変換器の高速化手法に関する検討,” 電気学会電子回路研究会資料, 査読無, ECT-13-015, 香川, 2013 年 1 月.

[図書](計 1 件)

堀田正生・関根かほり 共著, “基本を学ぶアナログ電子回路”, オーム社, 2013 年, 152 ページ

6. 研究組織

(1)研究代表者

堀田 正生 (HOTTA MASAO)

東京都市大学・知識工学部・教授

研究者番号: 40409371