

科学研究費助成事業 研究成果報告書

平成 27 年 5 月 27 日現在

機関番号：12501

研究種目：基盤研究(C)

研究期間：2012～2014

課題番号：24560494

研究課題名(和文) 進化・学習システムに基づく適応学習型最適化法の開発と再構成可能デバイスへの応用

研究課題名(英文) Development of an adaptive learning type optimization method based on evolutionary systems and application to reconfigurable device design

研究代表者

小坏 成一 (KOAKUTSU, Seiichi)

千葉大学・工学(系)研究科(研究院)・教授

研究者番号：70241940

交付決定額(研究期間全体)：(直接経費) 2,800,000円

研究成果の概要(和文)：本研究は、再構成可能デバイス設計問題のように解の品質と求解の高速性が要求される問題に対応するために、評価関数曲面の構造に基づいて解の探索過程を自律的かつ適応的に調整する適応学習型最適化法の開発を目的とする。開発手法では、最適化の過程で評価関数の構造に関する情報が収集され、解の探索過程の適応的な調整に用いられる。その結果、問題の規模およびモデル化に依存することなく、高品質の解を効率的に探索できる。

研究成果の概要(英文)：This research aims at a development of an adaptive learning type optimization technique that adjusts its search process based on the structure of a cost function. The developed technique is applied to combinatorial optimization problems such as design problems of reconfigurable device which have a large-scale and complex cost function. In the developed technique, information on the structure of the cost function is collected in the process of optimization, and it is used to adjust the search process of the solution. The developed technique is effective to quality improvement of the solution and shortening at computation time. As a result, the solution of the high quality comes to be obtained efficiently without adjusting the programs of each problem by hand, and without depending on the scale and modeling of problems.

研究分野：システム工学

キーワード：最適化手法 進化型計算法 再構成可能デバイス

1. 研究開始当初の背景

本研究では、再構成可能デバイス設計のように解の品質と求解の高速性が要求される問題に対応するために、評価関数曲面の構造に基づいて解の探索過程を自律的・適応的に調整する適応学習型最適化法を開発する。

遺伝的アルゴリズムや遺伝的プログラミングなどの進化型計算法に関しては、遺伝的アルゴリズム国際会議および進化型計算法国際会議が開催されており、国内外で並列化による高速処理、あるいは他の最適化法と組み合わせたハイブリッド化による性能向上などの研究が活発になされている。しかしながら、本研究のように評価関数曲面を直接、探索過程に反映させる方法の議論はほとんど行われていない。本研究は従来の研究のような高速化などの単なるアルゴリズムの改良に留まらず、探索過程の制御法の構築を目指すユニークなものであり、最適化の研究として新たな展開を加えるものと考えられる。

また、本研究で開発した適法学習型最適化手法の応用の対象としている再構成可能デバイスに関しては、再構成可能デバイス国際会議が開催されており、国内外でデバイスモデル化、や産業応用などの研究が活発になされている。しかしながら、設計法に関しては、十分な検討がなされているとは言い難く、新たな手法の開発が求められている。

2. 研究の目的

再構成可能デバイス設計のように大規模かつ複雑な評価関数曲面を有する問題に対しては、最適化の過程で評価関数の構造に関する情報を収集・蓄積し、この情報に基づいて解の探索過程を適応的に調整することが、解の品質向上および計算時間短縮に有効であると考えられる。本研究では、生物進化を模倣した進化型計算法に基づいた新たな最適化手法として、評価関数局面の構造に基づいて解の探索過程を自律的・適応的に調整する適応学習型最適化法を開発する。遺伝的アルゴリズムや遺伝的プログラミングなどの進化型計算法は、解の状態を遺伝子コード化し、有益な部分解を交叉により組み合わせることにより、高品質の解を効率よく探索できる。しかし、実際的な問題に応用した際には、理想的な遺伝子コード化および交叉法を見出すことは困難である。本研究の特徴は、解の探索過程そのものを遺伝子情報として付加し、観測された評価関数曲面の特徴に応じて探索過程を適応的に最適化する機能を、進化型計算法に導入する点にある。その結果、問題毎に人手で遺伝子コード化および交叉法を調整することなしに、また、問題の規模およびモデル化に依存することなく、高品質の解を効率的に求められるようになる。

3. 研究の方法

本研究では、次の点に関して検討する。

(1) 進化型計算法に評価関数曲面の構造を遺

伝情報として蓄積する機能を加えることにより、探索過程を自律的・適応的に最適化する適応学習型最適化手法を構築する。

(2) 開発手法を実現する具体的なアルゴリズムを構築する。特に、評価関数曲面の構造情報を収集する手法、これを遺伝子にコード化する方法、およびこの遺伝情報を効率的に受け継ぐための交叉法を検討する。

(3) 開発手法を最適化問題の基礎的なベンチマーク問題に応用し、有効性を検証する。また、ここでの実験結果に基づいて、開発手法の改良を検討する。特に、大規模かつ複雑な問題への応用を念頭に、改良する。

(4) 開発手法を再構成可能デバイス設計に応用し、有効性を検証する。

4. 研究成果

研究成果の一例として「島モデル型差分進化法によるブロック構造ニューラルネットワークの構造学習法とそのハードウェア化」について述べる。

(1) まえがき

近年、ハードウェアを環境に応じて進化させる進化型ハードウェア (Evolvable hardware: EHW) の研究が注目されている。このような EHW のモデルとして、ハードウェア上に進化的構築が可能なブロック構造ニューラルネットワーク (Block-Based Neural Networks: BBNN) が報告されている。BBNN は高い拡張性と学習可能な構造を持ち、ネットワークの構造と重みを同時に学習できる。この同時学習の方法として遺伝的アルゴリズム (Genetic Algorithm: GA) が利用されており、特にハードウェア実装においては世代交代を一部個体のみとすることでメモリとレジスタを削減できる SMGG (Simplified Minimal Generation Gap) モデルが用いられる。しかし、SMGG モデルでは、世代交代の際、子個体の生成は1個体だけで個体群の更新も2個体までのため、最良解への収束性が低く、局所解に収束すると脱出が困難という問題点がある。そこで、本研究では学習効率の向上とリソースの削減を行う手法として島モデル型差分進化法 (Island-typed Differential Evolution: IDE) を提案し、BBNN の学習に応用する。提案手法をパターン分類問題である XOR 問題およびコンタクトレンズのフィッティング問題に応用し、論理シミュレーションと FPGA への実装を通じて、提案手法の有効性を検証する。

(2) 提案手法

従来手法で用いられる SMGG モデルは1世代に2個体ずつ世代交代することにより、世代交代が局所的に行われ、解候補集団の多様性が確保される。さらに、このモデルはハードウェア化に適しており、必要となるメモリとレジスタを削減できる。しかし、世代交代が過度に局所的となり、最良解への収束に多くの時間が必要で、局所解からの脱出が困難という問題点がある。

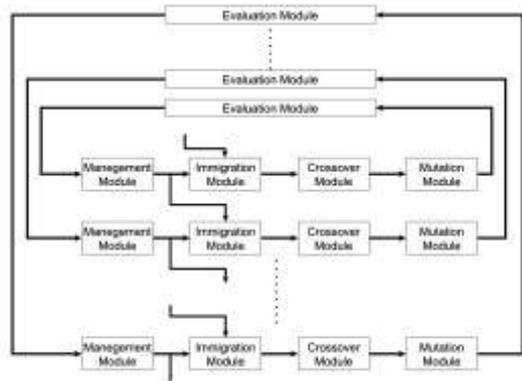


図1 並列分散アーキテクチャ

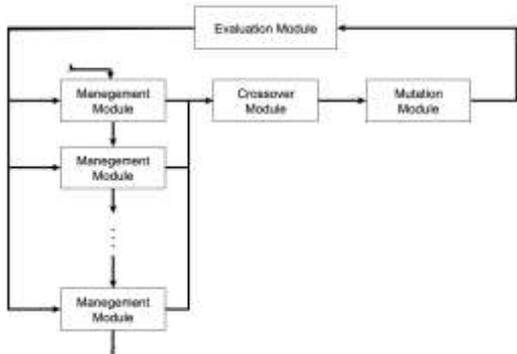


図2 共有モジュール型アーキテクチャ

そこで、本研究ではこの問題点を解決するために GA の並列化手法の一つである島モデル型 GA (Island-typed GA, IGA) をベースとして、これにハードウェア実装に適する共有モジュール型の実装法を提案する。さらに、進化計算の手法として GA の代わりに差分進化法 (Differential Evolution: DE) を導入した島モデル型 DE (Island-typed DE, IDE) を提案し、学習の効率化をはかる。

島モデルは、解候補である個体群を複数のサブ個体群に分割する。これらのサブ個体群を島とみなし、それぞれの島で候補解を独自に進化させる。このとき、個体群全体での情報共有を行うために、移民 (migration) と呼ばれる操作を行う。島モデルを GA に導入した IGA は通常の GA よりも多様性が確保されやすいため、局所解に陥りにくく、最適解への到達可能性が高い。

従来の IGA の並列分散型アーキテクチャを図1に示す。各島において、管理 (management) モジュールと交叉 (crossover) モジュールの間に移民 (immigration) モジュールを配置し、他方の島の管理モジュールから個体を読み込む。この島モデルでは、問題の難易度に合わせて島の数を容易に変更できる反面、すべてのモジュールが島の数だけ必要となるためリソース消費が問題となる。

そこで、本研究では同機能を持つモジュールを共有化し、リソース削減をはかる。図2にこの共有モジュール型アーキテクチャを示す。このようにモジュールを共有化しパイプライン処理を行うことで、機能を保ちつつより少ないリソースで実装が可能となる。た

表1 リソース使用量 (XOR, 2×3)

	NonSM IGA	SMIGA	SMIDE
Slice	15,062	6,942	11,279
LUT	24,493	9,954	17,637
flip-flop	19,397	9,321	14,745
multiplier	45	22	22

表2 リソース使用量 (lenses, 3×4)

	NonSM IGA	SMIGA	SMIDE
Slice	34,711	17,002	25,598
LUT	58,244	26,392	42,647
flip-flop	38,505	19,986	31,165
multiplier	48	44	44

表3 学習性能 (lenses)

	conv er. %	avg. # gen.	avg. # allgen	#struc. change	
				avg.	max.
GA	100	5,215	53,121	5.9	21
DE	100	4,579	46,717	5.2	15
SMIGA	100	4,459	28,599	3.2	11
SMIDE	100	2,492	10,997	1.7	7

表4 学習性能 (square func. approx.)

	conv er. %	avg. # gen.	avg. # allgen	#struc. change	
				avg.	max.
GA	90	2,708	81,565	9.8	24
DE	70	3,575	62,652	7.4	18
SMIGA	100	3,915	24,278	2.5	9
SMIDE	100	3,026	15,390	1.5	6

だし、従来の島モデルでは島の数の並列度があるのに対し、共有モジュール型島モデルでは、管理、交叉、突然変異の3モジュールのみの並列動作となる。

また、DEについては、離散変数最適化へと拡張した Discrete DE (DDE) モデルを採用する。DEは差分ベクトルを変化させ、解候補集団を探索空間中において収縮、拡張することにより探索を行う手法であり、探索には必ずしも良い個体が必要ではないため、島モデルにおける移民操作による別のネットワークの個体を、学習に活かすことができる。

(3) 計算機実験

提案手法である共有モジュール (Shared Module: SM) 島モデル型 DE (SMIDE) の有効性を検証するために、パターン分類問題を行う回路を FPGA に実装し、SMGGを採用した従来の島モデル型 GA (nonSMIGA)、共有モジュールを導入した島モデル型 GA (SMIGA) と回路規模を比較する。さらに、それぞれの手法について学習を行う回路を設計し、島モデルを採用しない GA、DE とともに、学習性能を比較する。開発ボードは、Xilinx 社の Virtex-4 FF668 Evaluation Board を用いる。

まず、FPGA 実装時の回路規模の比較について述べる。検証問題として、XOR 問題およびコンタクトレンズのフィッティング (lenses) 問題を取り上げ、各問題に対する論理合成の結果を表1, 2に、lenses 問題に

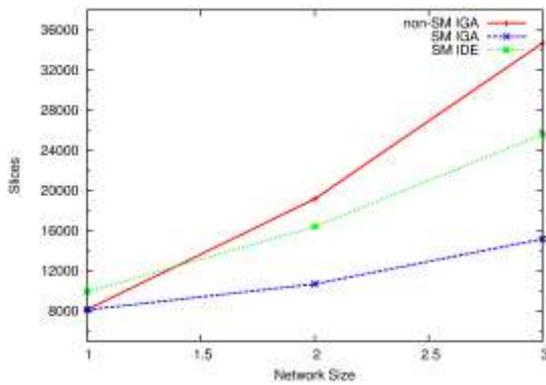


図3 リソース使用量(lenses, 3×4)

おける島の数 (x 軸) とスライス数 (y 軸) の関係を図3に示す。ネットワークサイズは XOR 問題で 2×3, lenses 問題で 3×4 とする。

表 1, 2, 図 3 より, 提案手法である共有モジュール型島モデルによるリソース削減効果が確認できる。

つぎに, 学習性能の比較について述べる。検証問題として lenses 問題と 2 乗関数近似問題を取り上げ, 各問題の学習結果を表 3, 4 に示す。学習効率の比較のために平均総学習世代数 (avg. #all gen.) と平均構造変更回数 (#struc. change) に注目する。表 3, 4 を見ると, SMIGA および SMIDE とともに学習成功率および総学習世代数, 構造更新回数の改善がみられ, 特に SMIDE の学習結果がより改善されている。これらから不適切な初期ネットワーク構造から学習を始めた場合や, 局所解に陥った場合でも, 移民操作の効果で効率よく学習できたといえる。

(4) むすび

本研究では, 島モデル型へ DE を応用することにより学習の効率化をはかる BBNN の構造学習法を提案し, 重みとネットワーク構造の同時学習の有効性を確認した。BBNN の学習実験においては, 総学習世代数とネットワーク構造変更回数を削減でき, 学習が効率化できることを確認した。

今後の課題として, 自律移動ロボットの学習などさらに複雑な問題を対象に, 学習成功率の向上を目指すことがあげられる。

5. 主な発表論文等

〔雑誌論文〕 (計 3 件)

- ① Atsushi Hironaka, Takashi Okamoto, Seiichi Koakutsu, Hironori Hirata, Analysis and improvements of the Pareto optimal solution visualization method using the self-organizing maps, SICE Journal of Control, Measurement, and System Integration, 査読有, Vol. 8, No. 1, pp. 34-43, 2015.
- ② 中本 遼, 岡本 卓, 小坏成一, 平田廣則, カスケード故障に耐性のある複雑ネットワーク設計, 計測自動制御学会論文集, 査読有, Vol. 49, No. 11, pp. 1037-1046,

2013.

- ③ 渡邊栄貴, 小坏成一, 岡本 卓, 平田廣則, ブロック構造ニューラルネットワークの構造学習法, 電気学会論文誌 C, 査読有, Vol. 133-C, No. 10, pp. 1976-1982, 2013.

〔学会発表〕 (計 3 2 件)

- ① 小島和基, 小坏成一, 岡本 卓, ブロック構造ニューラルネットワークのための誤差逆伝播法とその FPGA 実装, 計測自動制御学会第 52 回システム工学部会研究会資料, pp. 40-41, 近畿大学東京センター(東京), 2015 年 3 月 10 日.
- ② 寺尾 啓, 小坏成一, 岡本 卓, ブロック構造パルスニューラルネットワークのハードウェア実装, 平成 26 年電気学会電子・情報・システム部門(第 24 回)大会, pp. 1757-1758, 島根大学(松江), 2014 年 9 月 3 日.
- ③ 渡邊栄貴, 小坏成一, 岡本 卓, 島モデル型差分進化法によるブロック構造ニューラルネットワークの構造学習法とそのハードウェア化, 計測自動制御学会第 50 回システム工学部会研究会資料, pp. 12-13, 東京工業大学町田キャンパス(東京), 2014 年 5 月 24 日.
- ④ 渡邊栄貴, 小坏成一, 岡本 卓, 平田廣則, 島モデル型差分進化法によるブロック構造ニューラルネットワークの構造学習法とそのハードウェア化, 平成 25 年電気学会電子・情報・システム部門(第 23 回)大会, pp. 1454-1459, 北見工業大学(北見), 2013 年 9 月 5 日.
- ⑤ 小島和基, 小坏成一, 岡本 卓, 平田廣則, シグモイド関数を用いたブロック構造ニューラルネットワークのハードウェア実装, 平成 25 年電気学会電子・情報・システム部門(第 23 回)大会, pp. 1849-1850, 北見工業大学(北見), 2013 年 9 月 4 日.
- ⑥ 渡邊栄貴, 小坏成一, 岡本 卓, 平田廣則, ブロック構造ニューラルネットワークの構造学習法, 平成 24 年電気学会電子・情報・システム部門(第 22 回)大会, pp. 1602-1607, 弘前大学(弘前), 2012 年 9 月 7 日.

6. 研究組織

(1) 研究代表者

小坏 成一 (KOAKUTSU Seiichi)
千葉大学・大学院工学研究科・教授
研究者番号: 7 0 2 4 1 9 4 0

(2) 研究分担者

岡本 卓 (OKAMOTO Takashi)
千葉大学・大学院工学研究科・准教授
研究者番号: 4 0 4 5 1 7 5 2