

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 12 日現在

機関番号：16101

研究種目：挑戦的萌芽研究

研究期間：2012～2013

課題番号：24650021

研究課題名(和文)組み込み型電圧変動センサを用いた動的電流テスト法に関する研究

研究課題名(英文)Dynamic Supply Current Test Method with Built-in IDDT Appearance Time Sensor

研究代表者

橋爪 正樹 (Hashizume, Masaki)

徳島大学・ソシオテクノサイエンス研究部・教授

研究者番号：40164777

交付決定額(研究期間全体)：(直接経費) 2,200,000円、(間接経費) 660,000円

研究成果の概要(和文)：本研究はIC製造時に発生した欠陥を電源からICに供給される電源電流の異常で発見し、ICの高信頼化の実現を目指すものである。本研究では電源電流の中でも検査入力印加直後のみに現れる動的電源電流の出現時間の異常で検査するためのIC内組み込み型検査回路、ならびにその検査回路を用いた検査法を開発した。またその回路を組み込んだICを設計・試作し、実験によりIC内の断線検出が可能であることを確認した。

研究成果の概要(英文)：A built-in test circuit is proposed to detect an open defect in a CMOS IC by means of appearance time of dynamic supply current of the IC. Also, a test method based on the dynamic supply current with on the test circuit is proposed. A layout of an IC embedding the test circuit has been designed and an IC has been prototyped. It is shown by Spice simulation and some experiments that an open defect in the IC can be detected by the test method.

研究分野：総合領域

科研費の分科・細目：情報学，計算機システム・ネットワーク

キーワード：断線 電流テスト IC IDDTテスト 電流センサ回路 遅延故障 CMOS

## 1. 研究開始当初の背景

我々の身の周りの電子機器は小型化・高機能化が求められ、大規模集積回路 (VLSI) と呼ばれる IC を用いて作られている。その一方で故障により正常に動作なくなるとそれにより生じる損害も大きくなっていることから VLSI の高信頼化が求められている。しかし VLSI は大規模回路が微細加工されて作られており、欠陥無しで製造することは非常に困難となっている。その欠陥によりその VLSI の出力に異常が現れその電子機器が異常動作を発生する場合がある。VLSI 内の回路は大規模であるため、その欠陥を発見することは難しい。そこで出力信号でなく VLSI に電源から流れる電源電流を測定し、VLSI 内に発生した欠陥を発見する「電流テスト」が提案され、実際に VLSI 出荷前に行われている。

電流テスト法は検査入力を印加し回路内の全ゲートの出力論理値が確定するまでに現れる動的電源電流  $i_{DDT}$  で検査する「 $i_{DDT}$  テスト法」と  $i_{DDT}$  消滅後に現れる静的電源電流  $I_{DDQ}$  で検査する「 $I_{DDQ}$  テスト法」に分類できる。

現在、ほとんどの VLSI は CMOS 論理ゲートで作られている。原理的にはその CMOS 論理ゲートには静的電源電流である  $I_{DDQ}$  は流れない。そのため静的電源電流測定による VLSI のテスト法である  $I_{DDQ}$  テストではこの性質を利用し、測定した  $I_{DDQ}$  が大きければ故障 IC と判定する。 $I_{DDQ}$  テストは論理値測定で発見できない故障まで発見でき、IC の高信頼化実現に非常に有効であることから多用されてきた。しかし近年のディープサブミクロン IC では MOS の漏れ電流で正常 IC であっても mA オーダーの  $I_{DDQ}$  が流れる。そのため、故障で発生する  $I_{DDQ}$  異常とその漏れ電流のばらつきと区別できず、現在では  $I_{DDQ}$  テストによる検査が行えなくなっている。

しかしディープサブミクロン IC でさえ断線・短絡故障の影響が動的電源電流である  $i_{DDT}$  に顕著に現れる。そのことは実 IC を用いた実験で Philips 社が明らかにした。しかし、 $i_{DDT}$  波形には高周波成分が含まれ、IC 外部で再現性のある計測は難しいので、センサ回路を IC 内に組み込む必要がある。ところがそのセンサ回路はアナログ回路であり、同一 IC 内にデジタル回路とアナログ回路を混在させる必要がある。それが困難であったことから  $i_{DDT}$  テスト法の開発が進まず、ディープサブミクロン IC における  $i_{DDT}$  テストの有効性が期待できるものの、現在も  $i_{DDT}$  テストは行われていない。ところが、SoC 製造技術の進歩に伴い、同一チップ内にデジタル回路とアナログ回路を混在できるようになっていることから、現在、IC 内組み込み型センサ回路を用いた  $i_{DDT}$  テスト法の開発が行える状況となっている。

## 2. 研究の目的

本研究では現在の VLSI 製造時に最も発生しやすく、また既存の検査法では発見が難しい信号遅延を生じる断線故障を発見する  $i_{DDT}$  テスト法とそれを可能にする組み込み型電源電圧変動の出現時間検出用センサ回路の開発を目的としている。

## 3. 研究の方法

本研究では上記の目的を達成するため、以下の3項目の研究を行った。

- (1)  $i_{DDT}$  テストを可能にする IC 内組み込み型電源電圧変動の出現時間検出用センサ回路 (以後「 $i_{DDT}$  センサ回路」と呼ぶ) の開発  
 $i_{DDT}$  波形の正確な測定は IC 外部に計測装置を接続して計測する方法では困難で、電流センサ回路を IC 内に組み込む必要がある。そのため本研究では IC 内に組み込み型の  $i_{DDT}$  センサ回路を開発する。
- (2) 開発した  $i_{DDT}$  センサ回路を用いた  $i_{DDT}$  テスト法、ならびにその検査入力の開発  
 上記(1)で開発した  $i_{DDT}$  センサ回路を用いた動的電源電流テスト法を開発する。動的電源電流は IC 外部から与える入力によって異なることから、本検査法のための検査入力を用意する必要がある。そこで本研究ではその検査入力を明らかにする。
- (3) 開発した  $i_{DDT}$  センサ回路の評価と検査可能性調査  
 本研究で開発した  $i_{DDT}$  センサ回路の性能とその回路を用いた検査可能性を調査するため、本研究では開発した  $i_{DDT}$  センサ回路を内蔵した IC を設計・試作し、回路シミュレーションとその試作 IC を用いた実験によりセンサ回路の性能と本検査法の検査可能性を調査する。

## 4. 研究成果

### (1) 組み込み型 $i_{DDT}$ センサ回路の開発

本研究で開発を行った VLSI の電流テスト法の検査原理を図 1 に示す。この電流テスト法は検査対象 CMOS 論理回路に検査入力を印加した後に流れる  $i_{DDT}$  の出現時間により検査するものである。 $i_{DDT}$  は第  $j-1$  番目の検査入力印加の後、第  $j$  番目の検査入力印加により出力論理値変化を生じた論理ゲートに流れる電源電流により発生し、IC 内のすべての論理ゲートの出力論理値が確定するまで出現する動的電源電流である。回路内に故障が発生すると正常時と異なる論理変化が生じたり、信号伝搬遅延が異なり、動的電源電流の出現時間が変化する。そこで本研究ではこの動的電源電流の出現時間によって IC を検査する。具体的には式(1)を満たせば故障回路と判定する。

$$|t_{V_{Dc}}(j) - t_{V_{Dn}}(j)| \geq t_{th} \quad (1)$$

ここで  $t_{V_{Dc}}(j)$ 、 $t_{V_{Dn}}(j)$  はそれぞれ検査対象 IC、正常 IC の  $i_{DDT}$  出現時間を、 $t_{th}$  は故障判定しきい値である。

動的電源電流波形は電流センサ回路を IC

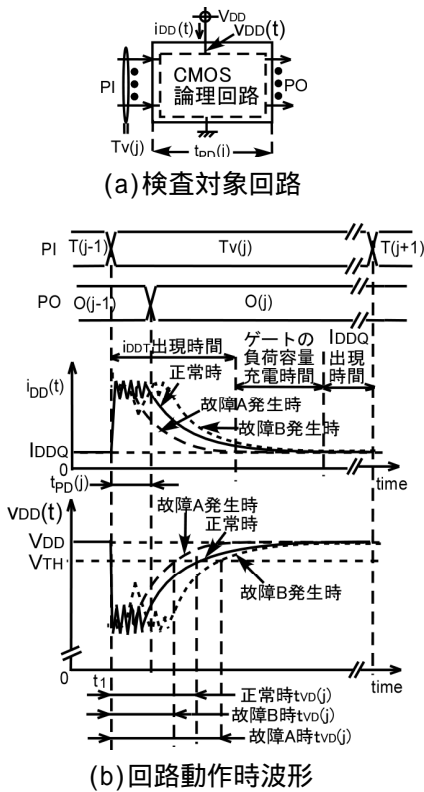


図1 本研究の電流テスト法の検査原理

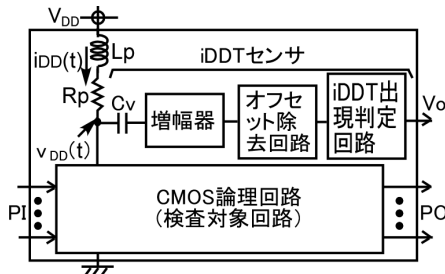


図2 開発した検査回路の内部構成

外部に測定器を接続し測定するとさまざまな要因で測定結果が変化するため、動的電源電流の出現時間を精確に測定することが難しい。そこで本研究では  $i_{DDT}$  センサ回路を IC 内に組み込むことにし、そのセンサ回路を開発した。

本研究で開発した  $i_{DDT}$  センサ回路を図2に示す。開発したセンサ回路は  $i_{DDT}$  出現中か否かを判定する  $i_{DDT}$  出現判定回路、増幅回路とその出力信号のオフセット分を除去するオフセット除去回路から構成した。 $i_{DDT}$  出現時には IC の電源端子と IC 内のダイトを接続するボンディングワイヤの寄生抵抗によりダイトへの供給電源電圧が変動する。その変動分をコンデンサ  $C_v$  を介して開発した  $i_{DDT}$  センサ回路に伝搬させ、その信号を増幅し前もって指定したしきい値以上の信号電圧であれば  $i_{DDT}$  出現中と判定し出力端子  $V_o$  より H を出力する。ただ検査入力を連続して印加して検査すると  $i_{DDT}$  出現判定回路内のコンデンサに電荷が蓄積され、正しく  $i_{DDT}$  が出現しているか判定できなくなるため、図2に示すように

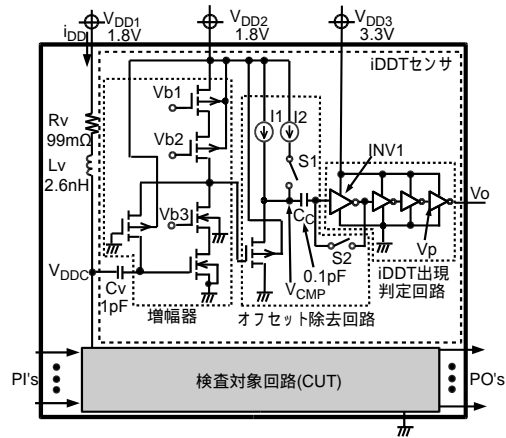


図3 開発した組み込み型検査回路

$i_{DDT}$  出現判定回路の入力段にオフセット除去回路を挿入した。

図3に本研究で開発した  $i_{DDT}$  センサ回路を示す。この回路では増幅器の後段にオフセット除去回路を設け、各検査入力印加前に初期化できるようにしている。また  $i_{DDT}$  出現判定回路は自己クランプ型コンパレータ回路をインバータゲート回路を用いて作製した。増幅回路はカスケード型ソース接地増幅回路とし、その回路は  $V_{b1}, V_{b2}, V_{b3}$  のバイアス電圧を必要とするので、その電圧を生成するバイアス回路も設計した。

## (2) $i_{DDT}$ テスト法とその検査入力の開発

本研究で開発した  $i_{DDT}$  センサ回路の出力端子  $V_o$  からは、 $i_{DDT}$  が出現している間は H、それ以外の際は L が出力される。そのためこのセンサ回路を用いた式(1)の  $i_{DDT}$  出現時間による検査法では、 $V_o$  からの H 信号を検出し検査する。

本検査法の検査入力としては2個の検査入力ベクトルを1セットとしてそれらのベクトルを連続して入力する。最初の検査入力で検査対象回路内の各論理ゲートの出力値を決め、第2番目の検査入力を印加で出力論理値が変化するゲートに電源電流が流れ、 $i_{DDT}$  出現時間が決まる。そのような検査入力の生成法を本研究で検討した結果、既存の遅延故障検出用の2パターンテスト入力の検査入力生成法が流用できることがわかった。ただ本検査法の場合、検査前のコンデンサ  $C_c$  内の残留電荷による  $i_{DDT}$  センサ回路の誤判定を防止するため、第2番目の検査入力を印加する前にオフセット除去回路を動作させるためのセンサ回路の制御信号を印加する必要がある。

検査対象回路に第2番目の検査入力を印加した場合、その回路内で信号の収れんが発生し出力が変化する論理ゲートが少なくなった後で、信号分岐により多くの論理ゲートの出力が変化する場合がある。その場合、 $V_o$  は一時的に L となった後で、再度 H となる。そこで本研究で開発した検査法では第2番目の検査入力(式(1)では第  $j$  番目の検査入

力)を印加し  $V_o$  が L から H に変化してから、最後に  $V_o$  が L に下がるまでの時間を  $i_{DDT}$  出現時間と式(1)で検査することにした。

### (3) 開発した $i_{DDT}$ センサ回路の評価とそれを用いた検査可能性調査

本研究では故意に故障を挿入した論理回路とそのセンサ回路を内蔵した IC を試作し、挿入した故障がどの程度の検査速度でどの程度の検査入力でどの程度の故障検出率で検出できるかシミュレーションで評価すると共に、検査可能性を試作 IC を用いた実験で調査した。

本研究では図 4 に示すインバータチェーン回路と IEEE の ISCAS ベンチマーク回路 C6288 を被検査回路とする 2 種類の IC を試作した。図 5 に試作した IC のレイアウト設計結果を示す。これらの IC 試作では Rohm 社  $0.18\ \mu\text{m}$  CMOS プロセスを使った。そのレイアウトから配線の寄生容量を含んだ Spice ネットリストを抽出し回路シミュレーションで本センサ回路を用いた検査能力を評価した。その結果の一例を図 6 に示す。

図 6 (a)に図 4 のインバータチェーン回路の正常時のシミュレーション結果を、図 6 (b)に図 4 の完全断線 Open#3 発生時のシミュレーション結果を示す。図 6 (a), (b)でセンサ回路出力の H レベル信号期間が 3.3nsec, 1.5nsec と断線発生時の方が短くなっている。それは完全断線で故障発生箇所以降のゲートに信号が伝搬されず  $i_{DDT}$  出現時間が短くなったためである。図 6 (b)では正常時とセンサ回路出力の H レベル信号期間が異なっているのでその断線故障は開発したセンサ回路で検出できることがわかる。

断線故障が発生すると故障の影響として

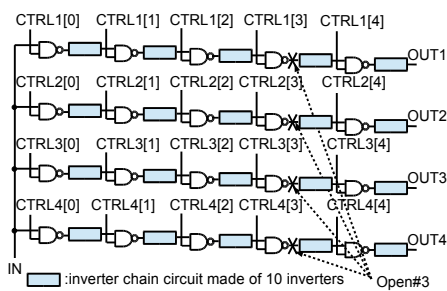


図 4 設計した検査対象回路 (CUT)

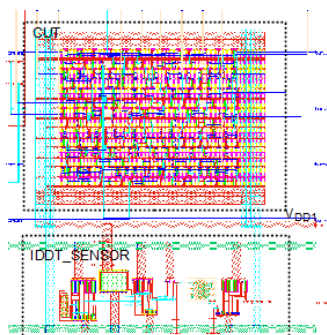
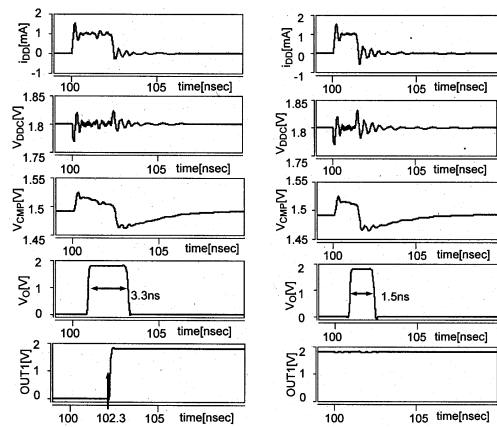


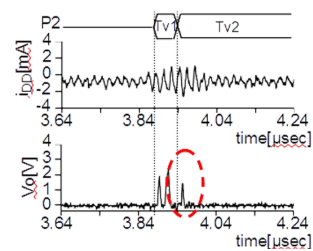
図 5 レイアウト設計結果



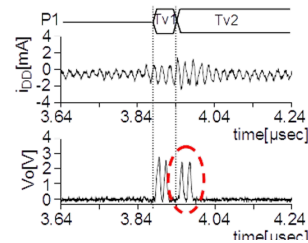
(a) 正常時

(b) 断線時

図 6 シミュレーション結果例



(a)  $i_{DDT}$  出現時間が短い  $Tv2$  印加時



(b)  $i_{DDT}$  出現時間が長い  $Tv2$  印加時

図 7 試作 IC を用いた実験結果例

信号遅延が発生する。開発したセンサ回路でどの程度の信号遅延が発生する断線故障が検出できるか図 4 の回路に対する回路シミュレーションで調査した。その結果、 $0.43\text{nsec}$  の信号遅延を生じる断線が本センサ回路で検出できることを確認した。

図 7 にベンチマーク回路 C6288 を検査対象回路として作製した IC の実測波形例を示す。図 7 には第 1 番目の検査入力  $Tv1$  印加後に、第 2 番目の検査入力  $Tv2$  を印加した時の波形を示している。図 7 (a)と図 7 (b)では第 2 番目の検査入力  $Tv2$  が異なっており、 $i_{DDT}$  出現時間も異なっている。図 7 (a), (b)で第 2 番目の検査入力  $Tv2$  印加後の波形が異なり、 $i_{DDT}$  出現時間が異なることから、それらの検査入力の違いによる  $i_{DDT}$  出現時間の違いが開発した  $i_{DDT}$  センサ回路で検出できることが図 7 よりわかる。それらのことから開発した  $i_{DDT}$  センサ回路を IC 内に内蔵することで IC の検査ができる可能性が確認できた。

5. 主な発表論文等

〔雑誌論文〕(計3件)

Masaki Hashizume, Shohei Suenaga and Hiroyuki Yotsuyanagi : A Built-in Test Circuit for Detecting Open Defects by IDDT Appearance Time in CMOS ICs, Proc. of International Conference on Design & Concurrent Engineering 2014, 査読有.(to appear)

Shohei Suenaga, Masaki Hashizume, Hiroyuki Yotsuyanagi, Tetsuo Tada and Shyue-Kung Lu : Built-in IDDT Appearance Time Sensor for Detecting Open Faults in 3D IC, Proc. of IEEE CPMT Symposium Japan(ICSJ2013), 査読有,pp.247-250, 2013

Shohei Suenaga, Hiroyuki Yotsuyanagi and Masaki Hashizume : A Built-in Sensor for IDDT Testing of CMOS ICs, Proc. of 2012 International Technical Conference on Circuits/Systems, Computers and Communications, 査読有,pp.E-M2-05-1-E-M2-05-4, 2012.

〔学会発表〕(計2件)

末永 翔平, 四柳 浩之, 橋爪 正樹 : 組込み型 IDDT 出現時間検出回路の実験による評価用設計, 電気関係学会四国支部連合大会講演論文集,p.112, 2013年9月21日, 徳島大学(徳島県).

末永 翔平, 四柳 浩之, 橋爪 正樹 : 組込み型 IDDT 出現時間検出回路による断線故障の検出のための必要条件, 電気関係学会四国支部連合大会講演論文集, p.129, 2012年9月29日, 四国電力株式会社総合研修所(香川県).

〔図書〕(計 0件)

〔産業財産権〕

出願状況(計 0件)

取得状況(計 0件)

〔その他〕

ホームページ等

6. 研究組織

(1)研究代表者

橋爪 正樹(HASHIZUME Masaki)

徳島大学・大学院ソシオテクノサイエンス  
研究部・教授

研究者番号：40164777

(2)研究分担者

( )

研究者番号：

(3)連携研究者

( )

研究者番号：