

**科学研究費助成事業 研究成果報告書**

平成 27 年 5 月 11 日現在

機関番号：17104

研究種目：挑戦的萌芽研究

研究期間：2012～2014

課題番号：24650022

研究課題名(和文) 高品質・低コスト LSI の創出に貢献する論理スイッチング均衡型テストに関する研究

研究課題名(英文) Research on Logic Switching Activity Balanced Test for High-Quality Low-Cost LSIs

研究代表者

温 暁青 (Wen, Xiaoqing)

九州工業大学・大学院情報工学研究院・教授

研究者番号：20250897

交付決定額(研究期間全体)：(直接経費) 2,900,000 円

研究成果の概要(和文)：LSI の大規模化・低電圧化・高速化に伴い、従来技術では対処できないテスト品質低下(テスト不足・過度テスト)が深刻化し、高品質・低コスト LSI の創出を妨げる大きな問題となっている。本研究では、テストクロックパス周辺の論理スイッチング量の大幅なばらつきに起因する過度なクロックスキューによって内部クロック周期が大きく変動してしまうことがテスト品質低下の一因であるとする内部テストクロック周期変動原因説を提起した上、テスト入力に対するクロックスキュー定量化手法、及び、クロックスキュー削減のためのテスト生成技術とテスト設計技術を開発し、その有効性を確認した。

研究成果の概要(英文)：With the ever-increasing circuit scales, ever-decreasing power supply voltages, and ever-increasing clock speeds, test quality degradation (over-test as well as under-test), which cannot be sufficiently addressed by previous solutions, has become a major problem that prevents the creation of high-quality and low-cost LSIs. In this research, we first pointed out that unbalanced switching activity around test clock paths causes severe clock skew, which is one of the major causes for test quality degradation. Based on this observation, we proposed and evaluated unique solutions for conducting vector-based test clock skew assessment as well as solutions for test generation and design-for-test for mitigating test clock skews.

研究分野：LSIテスト、テスト容易化設計、故障診断

キーワード：LSIテスト スキャンテスト電力 クロックスキュー 最適電力テスト 低電力テスト テスト品質 IR  
-Drop テストデータ

## 1. 研究開始当初の背景

集積回路(LSI)は正しい設計に基づいて製造されても、製造過程で欠陥が発生する可能性があるため、製造された全てのLSIに対してテスト入力を印加し、その実応答を期待値と比較して良品・不良品を判定するというLSIテストがLSIの実現に必要な作業である。しかし、欠陥のあるLSIを良品と誤判定してしまうというテスト不足(品質低下の原因)や欠陥のないLSIを不良品と誤判定してしまうという過度テスト(コスト増加の原因)によるテスト品質低下は、高品質・低コストLSIの創出を妨げていた。

従来のテスト品質低下対策は、欠陥検出率を高めることを基本としている。その典型的な技術としては、複数回検出テスト生成、実速度(At-Speed)スキャンテスト、微小遅延テスト生成、低消費電力テスト生成などが挙げられる。しかし、LSIの大規模化・低電圧化・高速化に伴い、これらの従来技術を用いてもテスト品質低下問題の完全解決ができないことが明白になってきていた。

本研究代表者は、SynTest Technologies社(米国カリフォルニア州)の最高技術責任者(CTO)として在職中、異常に高いテスト電力と過度テストとの関連を突き止めた。2004年に九州工業大学に移ってから、低キャプチャ電力テストという新規研究分野を開拓し、それまでに学術誌論文13、国際会議論文35、専門書3、登録特許4(米国1・日本3)、出願特許21(米国10・日本11)といった顕著な研究成果を上げ、IEICE-ISSソサイエティ最優秀論文賞受賞やJST戦略的特許支援認定など高い評価を受けていた。その研究過程で、テストクロックパス周辺の論理スイッチング量の大幅なばらつきによって、過度なクロックスキューが発生するため、今まで一定とされてきた内部テストクロック周期が実は変動することに気付いた。テストクロック周期が長く(短く)なれば、遅延欠陥検出能力が落ちる(正常回路でもタイミング異常が起こる)ため、テスト不足(過度テスト)になる。そこで、テストクロックパス周辺の論理スイッチング量の均衡化によってクロックスキューを削減すれば、内部テストクロック周期変動によるテスト品質低下問題を効果的解決できると着想した。

## 2. 研究の目的

LSI回路の大規模化・低電圧化・高速化に伴い、従来技術では対処できないテスト品質低下(テスト不足・過度テスト)が深刻化し、高品質・低コストLSIの創出を妨げる大きな問題となっている。本研究では、テストクロックパス周辺の論理スイッチング量の大幅なばらつきに起因する過度なクロックスキューによって内部クロック周期が大きく変動してしまうことがテスト品質低下の一因であるとする内部テストクロック周期変動原因説を提起する上、(1)クロックパス

周辺の論理スイッチング量のばらつきと内部クロック周期変動との関係の実証解析、(2)テスト入力に対するクロックスキュー定量化手法の提案、及び、(3)クロックスキュー削減のためのテスト生成技術とテスト設計技術の確立を目的とする。これによって、論理スイッチング均衡型テストという斬新な高品質LSIテスト技術体系を構築する。

## 3. 研究の方法

### (1) H24年度

【目標】集積回路内部のクロック周期とクロックスキューとの関係の解明

【方法】LSI回路の電源設計パラメータ(強弱(ストラップの数で調整)、位置)及びパッケージのタイプ(wire-bond、flip-chip)による多くの組合せに対して、ITC'99ベンチマーク回路及び実回路設計データを対象に高精度EDAツールを用いて回路内部のパス遅延の詳細な解析を行った。それを通じて、以下の研究成果が得られた。

### (2) H25年度

【目標】テスト入力に対するクロックスキューの定量化技術の提案と評価・改良

【方法】まず、与えられたテスト入力ベクトルに対してLaunch-On-Capture(LOC)方式で実速度スキャンテストが行われる前提で、Launch操作が引き起こす論理スイッチングによって内部クロックスキューの発生量を論理シミュレーションで得られる内容状態遷移情報で定量化する技術を提案した。ここでの論理スイッチングは、クロックパスの長さ(クロックパス近傍(クロックパス上のクロックバッファの実効供給電圧に強く影響する論理素子の集まり)の大きさを考慮した論理スイッチングの相対的強度で表現した。次に、それに基づいて内部クロックスキューの定量化技術を提案した。更に、ITC'99ベンチマーク回路及び以前に設計した大規模実回路(Dpro)を用いて様々な条件(入力、電源電圧、機能動作周期など)で定量化技術の精度を検証した。

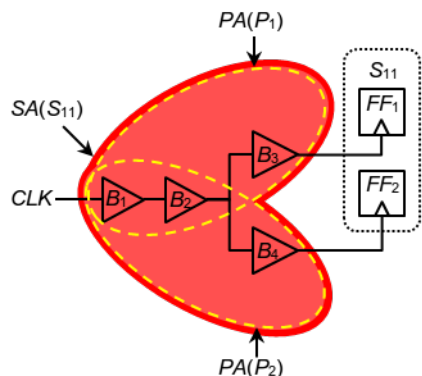
### (3) H26年度

【目標】クロックスキュー削減用のテスト入力生成技術とテスト設計技術の確立

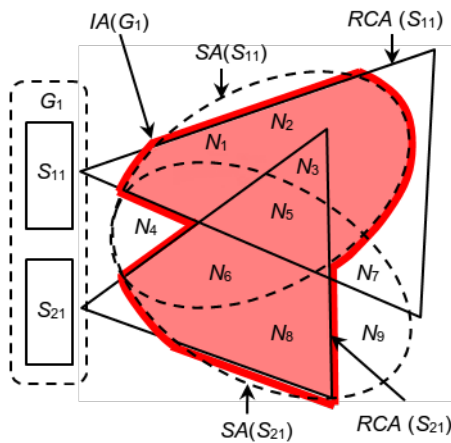
【方法】クロックスキュー定量化技術によってテスト入力に対する内部クロックスキューが大き過ぎると判明された場合、関係クロックパス周辺の論理スイッチング量を調整することによって内部クロックスキューを削減する必要がある。これを達成するために、故障検出率、テストデータ量、回路面積が大きく増えない前提で、テスト入力データの一部(故障検出に寄与しない論理値)を変更するテスト入力生成技術、及び、回路設計を変更するテスト設計技術といった誤テスト回避技術を提案した。

#### 4. 研究成果

本研究の主な研究成果としては、(1) テストクロックばらつきの影響を計るためのメトリック (Weighted Impact)、(2) テストクロックばらつきを削減するためのスキャンセグメント再グルーピング手法 (LCTI-SS)、(3) 局所キャプチャ電力の高精度調整を特徴とする最適電力テスト手法 (Right-Power Testing) 及び、(4) キャプチャ電力安全性保証型組み込み自己テスト (Capture-Safety-Guaranteed Logic BIST) などが挙げられる。これらの研究成果は、新しい研究分野の開拓という高い学術価値だけではなく、スマートフォンやウェアラブル機器などに欠かせない超低電力LSIの高歩留まり化・高品質化にも貢献できるという高い産業的な価値もあるため、国内外から高く注目されている。



(a) Clock aggressors



(b) Impact area

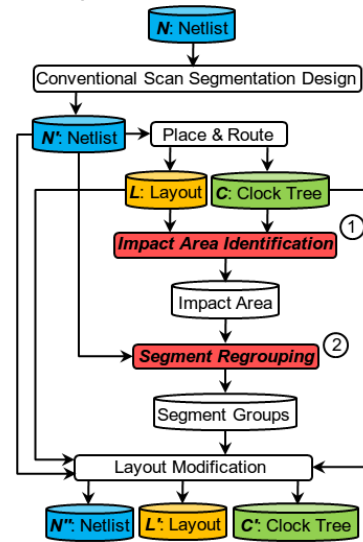
図1 Impact Areaの概念

(1) テストクロックばらつきの影響を計るためのメトリック (Weighted Impact)

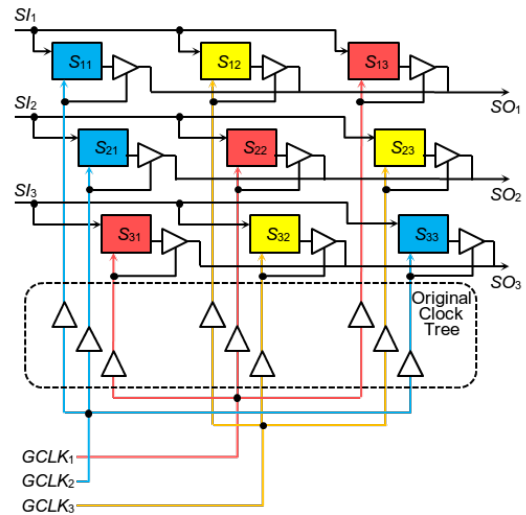
図1に示すように、フリップ・フロップ (FF) のクロックパスの遅延に影響を与えるエリアを Path Aggressor Set (PA) とし、スキャンセグメントを構成するすべての FF の PA の集まりを Segment Aggressor Set (SA) とする。更に、あるスキャンセグメントに構造的に到達できる論理素子の集まりを Reachable Clock Aggressor Set (RCA) とし、グループを構成す

するセグメントの SA と RCA の共通部分の集まりをそのグループの Impact Area (IA) とする。この IA 内のウェイト付き遷移率 (Weighted Impact) でテストによる論理値遷移がグループに与える影響を計る。ここでは、論理素子のウェイトはそのファンアウト数とする。

(2) テストクロックばらつきを削減するためのスキャンセグメント再グルーピング手法 (LCTI-SS)



(a) General flow



(b) Example of segment regrouping

図2 LCTI-SS方式の概念

図2に示すように、LCTI-SS方式では、スキャンチェーンを複数のセグメントに分割し、一度にスキャンシフト操作を行うセグメントのグループの構成を最適化することによって、各グループの Weighted Impact 値を最小化している。これによって、シフトクロックスキューを効果的に抑えることができる。

(3) 局所キャプチャ電力の高精度調整を特徴とする最適電力テスト手法 (Right-Power Testing)

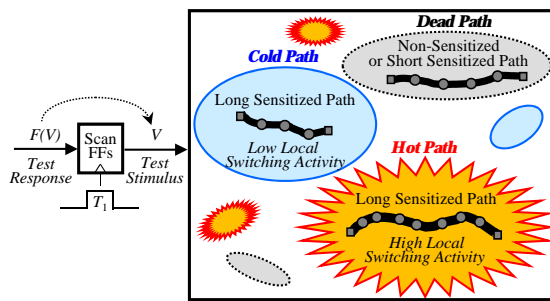


図3 最適電力テスト方式

図3に示すように、最適電力テスト方式では、まずスキューキャプチャ時の論理値遷移が回路内のパスに与える影響によって、パスを3種類に分類する。

Dead Path：活性化されていないパス

Hot Path：活性化されている長いパスでその近傍の論理値遷移量が異常に高い

Cold Path：活性化されている長いパスでその近傍の論理値遷移量が異常に低い

Dead Path については、テスト電力制御を行わないことによって、無駄なテストデータ使用を避けることができる。Hot Path については、まず、その近傍を構成する論理素子を見つけ、それらの論理素子における論理値遷移をピンポイント的に削減する。その削減効果が十分でない場合（すなわち、削減後の近傍論理値遷移量が依然として異常に高いままの場合）そのパスの出力に対応するテスト応答ビットをテスターで使われないようマスクする。これによって、誤テストの可能性を完全に除去することができる。Cold Path については、まず、その近傍を構成する論理素子を見つけ、それらの論理素子における論理値遷移をピンポイント的に増加させる。これによって、少しでも Cold Path の遅延を増やすことができるため、最先端の LSI 回路に多発する微小遅延をより多く検出することができ、テスト品質の向上に貢献できる。

#### (4) キャプチャ電力安全性保証型組込み自己テスト (Capture-Safety-Guaranteed Logic BIST)

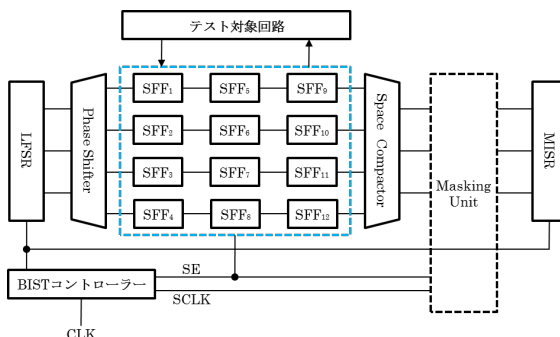


図4 LBISTキャプチャ電力安全性保証方式

図4に示すように、論理回路用の組込み自

己テストの環境において、スキャンテスト時のキャプチャ電力安全性を保证するために、まず、印加予定の全てのテストベクトルについて長い活性化パス近傍の論理値遷移量を調べ、危険テスト応答ビットの有無を確認する。危険テスト応答ビットがある場合は、図4の中のマスキ回路 (Masking Unit) を用いて、その影響がテスト応答圧縮器に到達しないようブロックする。マスク方式としては、危険テスト応答ビットのみをマスクするビット方式、危険テスト応答ビットを含む同時出力列をマスクするスライス方式、及び、危険テスト応答ビットを含む1つのテスト応答全体をマスクするベクトル方式を提案した。大規模ベンチマーク回路を用いた評価実験の結果から、最もハードウェアコストの低いベクトル方式でもテスト品質の低下が僅かしかかわかり、このマスクによるキャプチャ電力安全性実現の高い有効性が示された。

#### <引用文献>

- P. Girard, et al., Eds., *Power-Aware Testing and Test Strategies for Low Power Devices*, Springer, New York, 2009.
- ITRS: *The International Technology Roadmap for Semiconductors, Test and Test Equipment*, 2010 Update, 2010.
- M. Tehranipoor, "Power Supply Noise, A Survey on Efforts and Research", *IEEE Design & Test*, Vol. 27, No. 2, pp. 51-67, 2010.

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

#### [雑誌論文](計6件)

- Y. Yamato, X. Wen, M. A. Kochte, K. Miyase, S. Kajihara, and L.-T. Wang, "LCTI-SS: Low-Clock-Tree-Impact Scan Segmentation for Avoiding Shift Timing Failures in Scan Testing", *IEEE Design & Test of Computers*, Vol. 30, No. 4, pp. 60-70, Aug. 2013. (査読有)
- K. Miyase, R. Sakai, X. Wen, M. Aso, H. Furukawa, Y. Yamato, and S. Kajihara, "A Capture-Safety Checking Metric Based on Transition-Time-Relation for At-Speed Scan Testing", *IEICE Trans. Inf. & Syst.*, Vol. E96-D, No. 9, pp. 2003-2011, Sep. 2013. (査読有)
- A. Tomita, X. Wen, Y. Sato, S. Kajihara, P. Girard, M. Tehranipoor, and L.-T. Wang, "On Achieving Capture Power Safety in At-Speed Scan-Based Logic BIST", *IEICE Trans. Inf. & Syst.*, Vol. E97-D, No. 10, pp. 2706-2718, Oct. 2014. (査読有)

[学会発表](計16件)

X. Wen, Y. Nishida, K. Miyase, S. Kajihara, P. Girard, M. Tehranipoor, and L.-T. Wang, "On Pinpoint Capture Power Management in At-Speed Scan Test Generation", *Proc. IEEE Int'l Test Conf.*, Paper 6.1, Anaheim, USA, Nov. 2012. (査読有)

K. Miyase, M. Sauer, B. Becker, X. Wen, and S. Kajihara, "Controllability Analysis of Local Switching Activity for Layout Design", *Proc. Workshop on Design and Test Methodologies for Emerging Technologies*, Paper 1, Avignon, France, May 2013. (査読有)

A. Tomita, X. Wen, Y. Sato, S. Kajihara, P. Girard, M. Tehranipoor, and L.-T. Wang, "On Achieving Capture Power Safety in At-Speed Scan-Based Logic BIST", *Proc. IEEE Asian Test Symp.*, pp.19-24, Yilan, Taiwan, Nov. 2013. (査読有)

K. Miyase, M. Sauer, B. Becker, X. Wen, and S. Kajihara, "Search Space Reduction for Low-Power Test Generation", *Proc. IEEE Asian Test Symp.*, pp.171-176, Yilan, Taiwan, Nov. 2013. (査読有)

[図書](計1件)

X. Lin, X. Wen, and D. Xiang, Chapter 9: Low-Power Testing for 2D/3D Devices and Systems, in *Design of 3D Integrated Circuits and Systems*, pp. 235-277, CRC Press, Boca Raton, Nov. 2014.

6. 研究組織

(1)研究代表者

温 暁青 (WEN, Xiaoqing)

九州工業大学・情報工学研究院・教授  
研究者番号：20250897

(2)研究分担者

宮瀬 紘平 (MIYASE, Kohei)

九州工業大学・情報工学研究院・助教  
研究者番号：30452824

(3)研究分担者

梶原 誠司 (KAJIHARA, Seiji)

九州工業大学・情報工学研究院・教授  
研究者番号：80252592