

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 18 日現在

機関番号：12102

研究種目：挑戦的萌芽研究

研究期間：2012～2013

課題番号：24651166

研究課題名(和文) グラフェン/金属電極間の界面制御による短チャネルグラフェン電界効果素子

研究課題名(英文) Performance of short-channel graphene field-effect devices with improved graphene-metal interfaces

研究代表者

神田 晶申 (KANDA, Akinobu)

筑波大学・数理物質系・准教授

研究者番号：30281637

交付決定額(研究期間全体)：(直接経費) 3,100,000円、(間接経費) 930,000円

研究成果の概要(和文)：炭素の単原子膜であるグラフェンは高い移動度を示すので次世代の高速トランジスタ材料として有望視されているが、素子を微小化すると、実効的な移動度が著しく低下するという欠点がある。これは電極からグラフェンにキャリアが注入されるためである。我々は、さまざまな電極金属について電極接続の影響を調べた。また、電極とグラフェンの界面にアモルファスカーボンを挿入することで電極接続の影響を除去することに成功した。

研究成果の概要(英文)：Owing to extremely high mobility, carbon atomic layer, graphene, is a promising candidate for future high-speed electronic material. On the other hand, graphene device has a problem that the field-effect mobility is severely degraded for a shorter channel. This is due to carrier injection from electrode metals. In this project, we investigated the influence of electrode connection in details for several metal species. Besides, we succeeded in removing the influence of electrode connection by inserting amorphous carbon layers between the graphene film and electrodes.

研究分野：物理学・ナノ物性実験

科研費の分科・細目：ナノ・マイクロ科学、マイクロ・ナノデバイス

キーワード：ナノ電子デバイス グラフェン

### 1. 研究開始当初の背景

(1) グラフェンの電子デバイス応用に向けた研究が活発に行われている。炭素原子の2次元蜂の巣格子からなるグラフェンはフェルミ準位近傍で円錐型の伝導帯と価電子帯が一点(ディラック点)で接する線形の分散関係を持つ。その結果、シリコンを遙かに凌ぐ高移動度を示し、かつ微細加工によってバンドギャップを生成することもできるので、ポストシリコンを担う電子材料として電界効果トランジスタなどへの応用が期待されている。

(2) 次世代の電界効果トランジスタは、『より高速かつより低消費電力』であることが求められる。動作速度はカットオフ周波数で規定され、その値は移動度に比例し、チャンネル長の2乗に反比例する。従って高速化のためには高移動度化、短チャンネル化が有効である。一方、低消費電力化には動作電圧の低減、すなわち、トランスコンダクタンス  $dI_D/dV_G$  の増大が必要不可欠である( $I_D$ はドレイン電流、 $V_G$ はゲート電圧)

(3) これまでのグラフェン研究では主に、高移動度化に注意が払われてきた。基板を  $SiO_2$  から BN に変えることで  $60,000\text{cm}^2/\text{Vs}$  の移動度が実現されている[1]。これに対し、短チャンネル化の研究はあまり行われていないのが現状である。我々は、通常の電子線リソグラフィでは実現できない数 10 nm の短チャンネルのグラフェン素子の作製方法を開発し[2]、その電気伝導を測定してきた。その結果、短チャンネルにすると、 $dI_D/dV_G$  が著しく低減することが明らかになった。これは、現在のグラフェン電界効果素子構造では、短チャンネル化と低消費電力化は両立しないことを意味する。[1] Dean et al., Nat. Nanotechnol. 5, 722 (2010). [2] Tomori et al., Physica C 472, 1490 (2010).

### 2. 研究の目的

(1) 本研究では、 $dI_D/dV_G$ (あるいは、電界効果移動度  $d\sigma/dV_G$ ( $\sigma$ は電気伝導率)の値を維持しつつ短チャンネル化を行うための手法を開発することを目的とする。 $dI_D/dV_G$  低減の原因は、電極金属とグラフェンとの仕事関数の差によって電極からグラフェンに電荷が注入され、界面近傍のキャリア密度が固定化されることであると従来考えられてきた(キャリア密度ピンニングと呼ばれている。)これを軽減するために、グラフェン/電極金属界面に着目する。電極金属を変更するとともに、界面に様々な物質を挿入し、短チャンネル素子において  $dI_D/dV_G$  が改善する条件を探索する。

(2) 本研究で開発する技術はグラフェン電界効果素子を短チャンネル化する際には必要不可欠となる。さらに、グラフェンの基礎物性の研究への波及効果も大きい。例えば、キ

ャリア密度ピンニングを軽減することで、界面におけるグラフェンのフェルミレベルをディラック点に合わせることが可能となり、いままですら実験ができなかったグラフェン接合の相対論的効果(例えば、超伝導接合における相対論的ジョセフソン効果[3])の検証も可能になると期待される。 [3] Beenakker, Rev. Mod. Phys. 80, 1337 (2008).

### 3. 研究の方法

(1) さまざまな電極金属を用いてグラフェン電界効果トランジスタ構造を作製し、伝達特性(電気伝導度のゲート電圧依存性)のチャンネル長依存性を調べた。グラフェンの電界効果トランジスタ構造の作製方法は以下の通り。(a)高ドーパ  $Si/SiO_2$  基板上( $Si$  はバックゲートとして利用)に劈開法を用いてグラフェンを貼り付ける。基板上的グラフェンは、顕微ラマン分光と光学顕微鏡像のコントラストから同定する。(b)電子線リソグラフィ、酸素プラズマエッチングにより、グラフェンを整形する。(c)電子線リソグラフィを用いて電極構造をパターンニングする。(d)電極金属を真空蒸着する。(e)リフトオフによってレジストを溶かし、不要な金属を除去する。電気伝導測定では、プローブシステムを用いて、室温真空中において直流電流電圧特性を測定し、ゼロバイアスコンダクタンスのゲート依存性を求めた。

(2) グラフェンと金属電極の間に分子膜を挟みこむことによってキャリア密度ピンニングの軽減を図った。今回の研究では特に、グラフェンと仕事関数が近い多層グラフェンを挟み込むことを目指した。

### 4. 研究成果

(1) チャンネル長  $L$  を短くすると電界効果移動度が低下する現象は、調べた電極金属すべてで観測されたが、その程度は、金属種、成膜条件に依存することがわかった。Ti(5nm)/Al(100 nm)を電極に用いた場合の結果の一例を図1に示す。電極間隔を 2.5 ミク

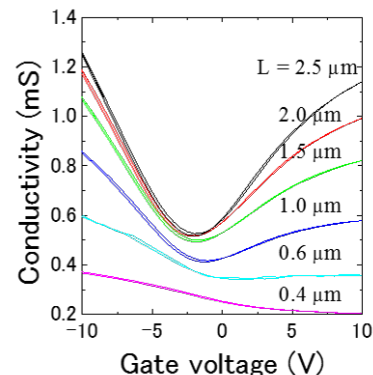


図1: Ti(5nm)/Al(100 nm)を電極に用いたグラフェンの2端子電気伝導率。

ロンから 0.4 ミクロンまで変化させると、電気伝導度のゲート依存性は小さくなり、ホールの電界効果移動度は約 1/10 となった。それとともに、電荷中性点（ディラック点）は正の方向に移動した。これは、仕事関数から期待されるのとは逆向きにグラフェンがドーピングされていることを示しており、「仕事関数差による電荷密度の固定化」という単純なストーリーでは現象が説明できないことが示唆された。

Cr/Au を用いた場合には、抵抗のゲート電圧依存性に 2 つのピークが見られた（図 2）。チャネル長  $L$  依存性の測定結果から、高ゲート電圧側のピークはグラフェン中心部（電極から十分離れた領域）のディラック点、低ゲート電圧側のピークは電極近傍のグラフェンのディラック点に対応することがわかった。1 次元抵抗モデルにもとづく数値シミュレーションによって、電極直下のグラフェンは電極からの電荷ドーピングを受けているがキャリア密度は完全にはピン止めされていないことが明らかになった（図 3）。これは、Cr とグラフェンの間に酸化膜が形成されていてキャリアドーピングの効果が弱められるためであると考えられる。実際、CrO/Cr/Au を電極に用いた場合も、同様の特性が観測された。

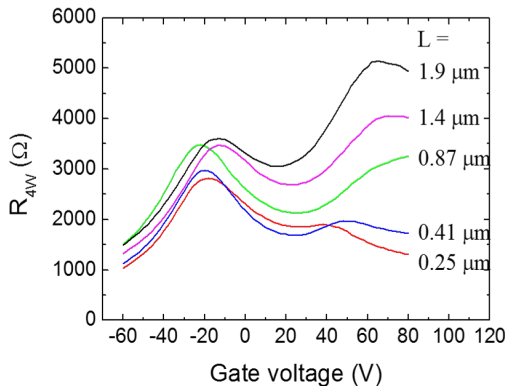


図 2 : Cr/Au を電極に用いたグラフェン 4 端子素子の抵抗のゲート電圧依存性。

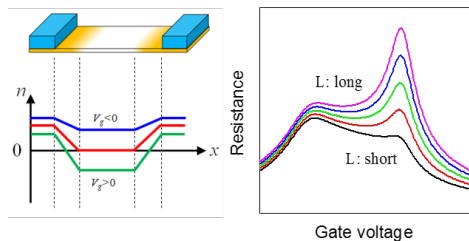


図 3 : 1 次元抵抗モデルに基づく数値計算結果。左は、計算に用いた局所キャリア密度のゲート電圧依存性をあらわす。

(2) 電極とグラフェンの間に多層グラフェンを挿入することを最終目標として、多層グラフェンを  $\text{SiO}_2/\text{Si}$  基板上に直接成長する方法を開発した。触媒金属を用いたグラフェンの CVD 成長法を応用し、 $\text{SiO}_2/\text{Si}$  基板上にアモルファスカーボン(a-C)と Ni (30 nm) を積層し、 $\text{H}_2$  (2%) / Ar 中、750 で 15 分間アニールを行った。その結果、グラフェンは成長した

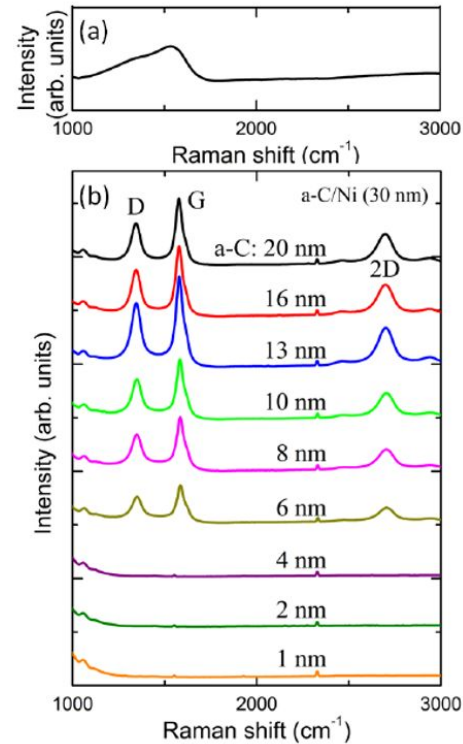
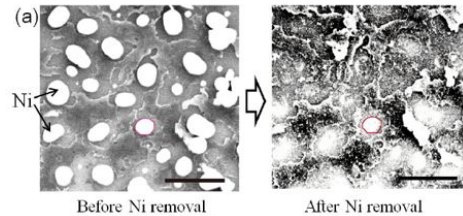


図 4 : a-C/Ni 積層膜をアニールしたときの走査電子顕微鏡写真(上、a-C は 13 nm)とラマンスペクトル(下)。Ni は  $\text{FeCl}_3$  水溶液により除去した。

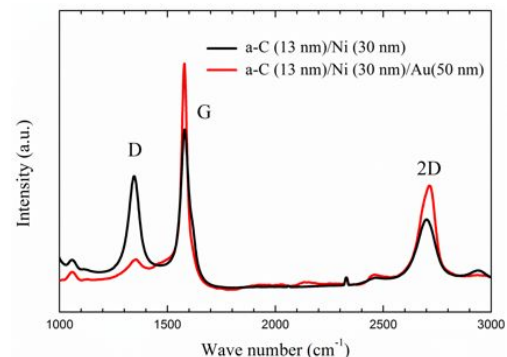


図 5 : Ni 膜を Au 膜で覆った場合と覆わない場合のラマンスペクトルの比較。

が、電子顕微鏡像、ラマン分光から欠陥が極めて多いことが分かった(図4)。これはNi膜がアニールによって微粒子化したことが原因であると推察された。そこで、Ni膜をAu膜(50nm)で覆ったところ、Niは膜状となり、ラマン分光からグラフェンの欠陥が大幅に削減されたことを確認した(図5)。

(3) 多層グラフェンをSi基板上に直接成長する方法を利用して、多層グラフェンを金属電極とグラフェンとの界面に挟みこんだ構造を作製し、電極からのキャリアドープを軽減することを試みた。成膜領域を10ミクロン程度に制限した場合にはNiの上にAuを積層した場合でも触媒が微粒子化し、一様な多層グラフェンの製膜には現時点で成功していない。そこで予備実験として、厚さ2nmのアモルファスカーボン(a-C)を電極とグラフェンの界面に挟み込んだ構造を作製した。電極には、(1)において2つのディラック点が観測されたCr/Auを用いた。測定では、単一のグラフェン上に、サードアームにつながった電極対、界面にa-Cを挟まない電極対、界面にa-Cを挟んだ電極対をもつ3種類の素子を作製し、電気伝導率のゲート電圧依存性を比較した。結果を図6に示す。ではSiO<sub>2</sub>/Si上のグラフェンで通常みられるV字型の特性が得られた。では、(1)と同様、2つのディラック点が見られた。一方、では、の2つのディラック点のうち、点電圧側が消失した。これは、アモルファスカーボンの挿入によって電極からのキャリアドープの影響が除去されたことを示唆する。また、と比べると、ディラック近傍の尖り具合が緩やかになっている。これは、アモルファス

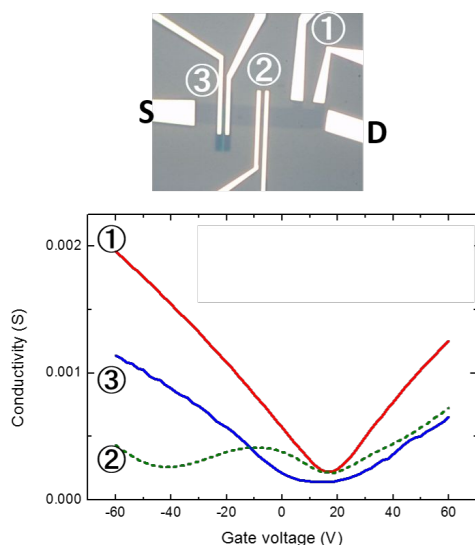


図6： サードアームにつながった電極対、界面にa-Cを挟まない電極対、界面にa-Cを挟んだ電極対をもつ3種類の素子の光学顕微鏡写真と電気伝導率のゲート電圧依存性。

カーボンによって荷電不純物散乱が増大したことが原因であると考えられる。高ゲート電圧部分の電界効果移動度は、2200 cm<sup>2</sup>/Vs、1100 cm<sup>2</sup>/Vs、1200 cm<sup>2</sup>/Vsであり、ではに比べて顕著に改善されているとは言い難い。これは、アモルファスカーボン挿入による電極接続の影響の軽減と荷電不純物の付着による散乱の増大とが競合した結果であると考えている。

## 5. 主な発表論文等

〔雑誌論文〕(計1件)

Kenta Katakura, Hikari Tomori, Youiti Ootuka, and Akinobu Kanda, Surface morphology of multilayer graphene synthesized directly on silicon dioxide, Phys. Status Solidi C, Vol.10 (2013) p.p.1628-1631, 査読あり DOI: 10.1002/pssc.201300285

〔学会発表〕(計25件)

Akinobu Kanda, Reducing Carrier Density Pinning at Graphene/Metal Interfaces Using Interfacial Multilayer Graphene, APS March Meeting 2014, Mar. 7, 2014, Denver (USA).

Akinobu Kanda, Reducing Carrier Density Pinning at Graphene/Metal Interfaces Using Multi-layer Graphene, 2013 International Conference on Solid State Devices and Materials (SSDM 2013), Sep. 27, 2013, Fukuoka (Japan).

片倉健太, グラフェン/金属電極界面に多層グラフェンを挿入したグラフェン電界効果トランジスタの電気伝導評価, 第74回応用物理学会秋季学術講演会, 2013年9月18日, 同志社大学(京都)。

伊藤優, グラフェン電界効果トランジスタにおける電界効果移動度のチャンネル長依存性, 第74回応用物理学会秋季学術講演会, 2013年9月18日, 同志社大学(京都)。

Kenta Katakura, Fabrication and transport measurement of graphene field effect devices with multilayer graphene inserted into graphene/metal interfaces, 5th International Conference on Recent Progress in Graphene Research (RPGR2013), Sep. 12, 2013, Tokyo (Japan).

Yu Ito, Channel length dependence of field effect mobility in short-channel graphene field-effect devices, 5th International Conference on Recent Progress in Graphene

Research (RPGR2013), Sep. 12, 2013, Tokyo (Japan).

Akinobu Kanda, Surface morphology of few-layer graphene synthesized directly on silicon dioxide, The 40th International Symposium on Compound Semiconductors, May 22, 2013, Kobe (Japan).

〔図書〕(計2件)

Akinobu Kanda, Experimental approaches to graphene electron transport for device applications, in “Physics and Chemistry of Graphene: Nanographene to Graphene” (edited by T. Enoki), 460 pages, pp. 89-205, Pan Stanford Publishing (2013)

K. Tsukagoshi, H. Miyazaki, S.-L. Li, A. Kumatani, H. Hiura, A. Kanda, Gate-Voltage Modulation in Graphene, in “Graphene and its Fascinating Attributes” (edited by S. K. Pati, T. Enoki, & C. N. R. Rao), 270 pages, pp. 179-188, World Scientific Publishing (2012).

〔産業財産権〕

出願状況(計 0件)

取得状況(計 0件)

〔その他〕

ホームページ

<http://lt.px.tsukuba.ac.jp/staff/kanda/index.html>

6. 研究組織

(1) 研究代表者

神田 晶申 (KANDA, Akinobu)  
筑波大学・数理物質系・准教授  
研究者番号：30281637