

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 14 日現在

機関番号：13901

研究種目：若手研究(A)

研究期間：2012～2016

課題番号：24680005

研究課題名(和文)ハイブリッド型命令パイプラインによる超高電力効率プロセッサの研究

研究課題名(英文)Research on ultra power efficient processors with hybrid instruction pipelines

研究代表者

塩谷 亮太 (Shioya, Ryota)

名古屋大学・工学(系)研究科(研究院)・准教授

研究者番号：10619191

交付決定額(研究期間全体)：(直接経費) 20,500,000円

研究成果の概要(和文)：本研究課題では高電力効率な in-order 実行系と、縮小された高性能な out-of-order 実行系の、2つ実行系からなるハイブリッドなパイプラインを持ったプロセッサのアーキテクチャを研究し、これによりプロセッサの性能を保ちながら消費電力を大きく削減することが可能となった。本研究課題では、当該分野における世界最高峰の国際会議であるIEEE/ACM International Symposium on Microarchitecture (MICRO) にて本研究の論文が採択されたのをはじめとして、この新しいアーキテクチャに関する提案や評価結果を国際会議や論文誌にて発表した。

研究成果の概要(英文)：In this research project, the researcher has studied and proposed processor architecture with in-order and out-of-order execution systems. In this architecture, most instructions are executed by a simple and power efficient in-order execution system while processing the remaining instructions by a reduced high-performance out-of-order execution system. As a result, power consumption is greatly reduced while maintaining processor performance. In this research project, proposals and evaluation results on this new architecture were published in journals and symposium papers, including IEEE/ACM International Symposium on Microarchitecture (MICRO), which is the top conference in this field.

研究分野：計算機アーキテクチャ

キーワード：マイクロアーキテクチャ プロセッサ 省電力化 CPU 高効率化

1. 研究開始当初の背景

Out-of-order スーパスカラ・プロセッサの位置付け 近年では、携帯端末においても out-of-order スーパスカラ・プロセッサの採用が進んでおり、主流となりつつある。従来、これらの携帯端末では低消費電力であることが最重要視され、in-order プロセッサを搭載することが多かった。しかし、スマートフォンやタブレット型端末などの普及により、低消費電力であることに加えて、高性能であることがより重要視されるようになりつつある。これらの端末では、従来は PC で実行されていたような高度なアプリケーションが次々と提供されており、それが大きな魅力となっている。これらが軽快に動くことが重要な差別化要因であるため、稼働時間のある程度犠牲にしてでも、out-of-order スーパスカラ・プロセッサを採用することに繋がっている。

これらの高性能なプロセッサを積んだ携帯端末の普及は急速に進んでおり、スマートフォンだけでも 2011 年度には全世界で 4 億台以上が発売され、今後も市場規模は拡大し続けるものと予測されている。また、この高性能化の流れは今後も継続すると予想され、たとえば Cortex A9 の次世代にあたる Cortex A15 はより大型化しており、以前の倍以上の命令を同時実行可能となっている。

Out-of-order スーパスカラ・プロセッサの利点と課題点 一般に、プロセッサのチップ資源は、演算器と、それら演算器の制御部に分けることができる。out-of-order スーパスカラ・プロセッサは、この制御部に多くの資源をつぎ込むことによって並列処理を行い、高い性能を達成している。

しかし、性能を向上させる一方で、out-of-order スーパスカラ・プロセッサでは消費電力に問題がある。これは、並列処理を行うための制御部が、非常に大きな電力を消費するためである。一般に、out-of-order スーパスカラ・プロセッサでは、同時実行可能な命令数(ウェイ数)の 2 乗から 3 乗に比例して消費電力が増大する。これはスーパスカラ・プロセッサの制御部が、ウェイ数に比例したポートを持つ多ポートのメモリからなるためである。メモリの消費電力はポート数の 2 乗に比例して大きくなるため、結果として多ポートのメモリの集合である制御部は非常に大きな電力を消費する。

アプリケーションの傾向 このような消費電力の大きさは、携帯端末では特に致命的である。それにも関わらず out-of-order スーパスカラ・プロセッサ が採用される大きな理由の 1 つとして、開発環境の変化による、アプリケーション動作速度の相対的な低下がある。近年のソフトウェア開発では、開発効率やメンテナンス効率が最も優先され

ることが多い。要求される処理が高度化/複雑化し続けていることや、それによる開発期間の長期化、開発コストの高騰のためである。このため、JAVA や、各種スクリプト言語による開発が主流となりつつある。

たとえばスマートフォン向けプラットフォームである Android では、基本的に JAVA のみを使用してアプリケーションの開発を行う。また、JavaScript で記述された WEB アプリケーションも広く利用されている。これらによって開発されたアプリケーションは、従来のネイティブバイナリと比較して数倍から一桁以上動作が遅いものの、その開発効率の高さゆえに採用されている。これらのアプリケーションでは、表示などに関わる部分は GPU や専用回路の支援を受けることができるものの、JAVA 仮想マシンやインタプリタは基本的に汎用プロセッサでしか処理できない。out-of-order スーパスカラ・プロセッサが、その消費電力の大きさにも関わらず採用されているのは、これらのプログラムを高速に実行できるためである。

2. 研究の目的

アプリケーションの高度化や開発効率指向への移行により、消費電力以上に性能への要求が増している。もはや低消費電力であるだけでは、市場の要求を満たすことはできない。このような背景を踏まえ、本研究では、in-order プロセッサ並の消費電力と、out-of-order スーパスカラ・プロセッサに匹敵する性能を両立する、超高電力効率プロセッサの実現を目指す。

本研究では具体的には in-order と out-of-order の 2 つ実行系からなるパイプラインを持ったプロセッサを提案する。命令の大部分を単純な in-order 実行系によって処理しつつ、処理しきれなかった残りの命令を小型の out-of-order 実行系で処理することにより、性能を保ちながら消費電力を大きく削減する。

従来から高電力効率化のアーキテクチャには様々な提案がある。これらの先行研究と提案アーキテクチャでは、以下のように、その目的からして大きく異なる：

1. コアそのものを高電力効率化：非対称な実行系を持つアーキテクチャとして、ヘテロジニアス型マルチコアの研究が広く行われている。これはマルチスレッドでの省電力かつ高スループットな小型コア群と、シングルスレッドでの高性能な大型コアを使い分けることにより、電力効率の向上を狙うものである。本研究は、いわば小型コア並の消費電力で、大型コアに匹敵する性能のコアを作ることを目指しており、その目的がそもそも異なる。また、高度化するアプリケーションの基

盤である仮想マシンやインタプリタは、マルチスレッド化によって性能を向上させることが非常に難しく、ヘテロジニアス型マルチコアによる小型コア群の恩恵を受けることができない。

2. ウェイ数そのものの削減：out-of-order スーパスカラ・プロセッサの発行キューやレジスタ・ファイルなどの個々のコンポーネントに対する高電力効率化の研究もまた広く行われている。本研究は、命令の大部分を複雑な制御部を持たない in-order 実行系で処理し、out-of-order 実行系の制御部に必要なウェイ数そのものを大きく削減する。このため、いわば個々の機構において高電力効率化を図る既存研究とはその目的が異なる。

3. 研究の方法

本研究課題では、上記のアイデアを1つのアーキテクチャとしてまとめあげ、予備実装による評価を通して有効性を検証する。具体的には以下を行う：

1. シミュレーションによる性能評価と、アーキテクチャ詳細の検討を行う。
2. System Verilog を用いて、提案するプロセッサの設計を行い、得られた設計を FPGA に実装する。
3. LSI 試作により有効性を検証する。

4. 研究成果

研究開始当初は in-order と out-of-order の実行系をパラレルに並べて結合するアーキテクチャを想定していたが、研究が進むと共に、これをさらに進め実行系をタンデムに結合した新しいアーキテクチャへの着想に至った。当初の実行系をパラレルに結合するアーキテクチャでは実行系間の同期が複雑になるなどいくつかの問題が研究過程で明らかになったが、タンデムに結合する新しいアーキテクチャではそれらの諸問題が解決され、高い電力効率を実現するに至った。

本研究課題では、この新しいアーキテクチャに関する提案や評価結果を国際会議や論文誌にて発表してきたが、特筆すべき実績としては IEEE/ACM International Symposium on Microarchitecture (MICRO) に論文が採択されたことがある。MICRO はマイクロアーキテクチャ分野に関する世界最高峰の国際会議であり、論文の採択は極めて難しいことで知られる。この採択は、本研究における、

1. 提案方式が単純な構造により、
2. 通常のスーパスカラ・プロセッサよりも高い性能と、
3. 大幅に低い消費エネルギーを同時に実現

する点が、世界でも一流の研究者達によって認められた点にあると言える。

提案アーキテクチャの評価のために、RSD と呼ぶ out-of-order スーパスカラ・プロセッサの設計を行った。本報告者を含む開発チームは現在、System Verilog で実装した FPGA 上で動作する out-of-order スーパスカラ・プロセッサ RSD を継続して開発中である。RSD は2命令同時フェッチ/5命令同時発行可能な ARM 互換のプロセッサであり、NEON SIMD 命令(サブセット)を実行可能であるなど、商用の ARM Cortex A9 と同等水準の構成を実装している。開発したプロセッサは、情報処理学会主催のプロセッサ設計コンテスト「The 1st IPSJ SIG-ARC High-Performance Processor Design Contest」において優勝の成績をおさめた。また、これにより情報処理学会 コンピュータサイエンス領域奨励賞を受賞した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](総計6件)
(全て査読付き)

1. Ryota Shioya, Ryo Takami, Msahiro Goshima, and Hideki Ando: FXA: Executing Instructions in Front-End for Energy Efficiency, IEICE Transactions on Information and Systems, Vol. E99-D, No. 4, pp. 1092-1107 (2016).
2. Ryota Shioya, and Hideki Ando: Improvement of Renamed Trace Cache through the Reduction of Dependent Path Length for High Energy Efficiency, IEICE Transactions on Information and Systems, Vol. E99-D, No. 3, pp. 630-640 (2016).
3. Junji Yamada, Ushio Jimbo, Ryota Shioya, Masahiro Goshima, and Shuichi Sakai: Skewed Multistaged Multibanked Register File for Area and Energy Efficiency, IEICE Transactions on Information and Systems, Vol. E100-D, No. 4, pp. 822-837 (2017).

[学会発表](総計14件)

1. Ryota Shioya, Masahiro Goshima, and Hideki Ando: A Front-end Execution Architecture for High Energy Efficiency, IEEE/ACM International Symposium on Microarchitecture (MICRO 47), pp. 419-431 (2014). DOI: 10.1109/MICRO.2014.35 (査読付き)
(IEEE Computer Society Japan Chapter Young Author Award)

2. Ryota Shioya, and Hideki Ando: Energy Efficiency Improvement of Renamed Trace Cache through the Reduction of Dependent Path Length, IEEE International Conference on Computer Design (ICCD 32), pp. 416-423 (2014). DOI: 10.1109/ICCD.2014.6974714 (査読付き)
3. 塩谷 亮太, 安藤 秀樹: 一致経路長の短縮による Renamed Trace Cache のエネルギー効率向上, 先進的計算基盤システムシンポジウム SACSIS 2013, pp. 56-64 (2013). (先進的計算基盤システムシンポジウム SACSIS2013 優秀若手研究賞) (査読付き)
4. 小林 誠弥, 塩谷 亮太, 安藤 秀樹: タグの2段階比較による発行キューの消費エネルギー削減, 先進的計算基盤システムシンポジウム SACSIS 2013, pp. 2-9 (2013). (先進的計算基盤システムシンポジウム SACSIS2013 最優秀論文賞) (査読付き)
5. 地代康政, 塩谷 亮太, 安藤秀樹: フロントエンド実行方式におけるエネルギー効率向上のためのインオーダー実行モード切り替えアルゴリズムの初期検討, 情報処理学会研究報告 2015-ARC-216, No. 17, pp. 1-8 (2015). (情報処理学会 計算機アーキテクチャ研究会 若手奨励賞)
6. 酒井信二, 塩谷 亮太, 安藤秀樹: ランダムバッファの発行キューにより生じる性能低下の抑制, 情報処理学会研究報告 2015-ARC-216, No. 17, pp. 1-8 (2015). (情報処理学会 計算機アーキテクチャ研究会 若手奨励賞, 情報処理学会 山下記念研究賞 (共著)) (2015).
7. 小林誠弥, 塩谷 亮太, 安藤秀樹: タグの2段階比較を行う発行キューによる消費エネルギー削減の評価, 情報処理学会研究報告 2014-ARC-213, No. 5, pp. 1-8 (2014). (情報処理学会 計算機アーキテクチャ研究会 若手奨励賞)

〔図書〕(総計 0 件)

〔産業財産権〕

出願状況 (総計 0 件)

取得状況 (総計 0 件)

〔その他〕

なし

6 . 研究組織

(1)研究代表者
塩谷 亮太 (Shioya, Ryota)
名古屋大学 工学研究科 准教授
研究者番号 : 10619191

(2)研究分担者
なし

(3)連携研究者
なし

(4)研究協力者
なし