

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 6 日現在

機関番号：14401

研究種目：若手研究(A)

研究期間：2012～2014

課題番号：24686008

研究課題名(和文) ショットキー接合型 SiC プラズモニク トランジスタの創製

研究課題名(英文) Development of SiC-based plasmonic transistors with Schottky source/drain

研究代表者

細井 卓治 (Hosoi, Takuji)

大阪大学・工学(系)研究科(研究院)・助教

研究者番号：90452466

交付決定額(研究期間全体)：(直接経費) 20,600,000 円

研究成果の概要(和文)：SiC特有の動作原理に基づく低損失SiCパワーMOSトランジスタの創製を目的とし、そのための技術課題として金属/SiC界面の接合特性とMOS界面特性の制御に取り組んだ。まずデバイスシミュレーションにより、良好なデバイス動作の実現には金属/SiC接合のショットキー障壁高さを0.3 eV以下にする必要があることを示した。次に、4H-SiCの電子親和力(3.6 eV)よりも真空仕事関数の低いBaを電極材料として検討したところ、Baの反応性の高さに起因する特性変動が激しく評価そのものが困難であったが、Ba層を薄膜化しAlキャップ層を積層することで仕事関数3.1 eVで安定した電極構造を実現した。

研究成果の概要(英文)：This work aims a development of SiC-based transistors with novel operating principle utilizing transparency of SiC against visible and infrared light. For this purpose, control of Schottky barrier height (SBH) at metal/SiC interface and improvement of MOS interface properties are the technological challenges. Device simulation revealed that SBH smaller than 0.3 eV is required for normal operation of SiC MOSFET with metal source/drain. To obtain such small SBH, we examined Ba electrode which has very low vacuum work function (2-3 eV) compared with electron affinity of SiC (3.6 eV), but instability of Ba layer due to its high reactivity against atmosphere was a serious roadblock. We found that bilayer electrode consisting of thin Ba layer with thick Al capping demonstrated a stable effective work function of 3.1 eV.

研究分野：半導体工学

キーワード：SiC パワーデバイス ゲート絶縁膜 ショットキー接合

1. 研究開始当初の背景

世界が直面している環境・エネルギー問題の解決に向けて、エネルギー利用効率の向上が強く求められている。電気エネルギーは発電から消費に至るまでの間に、電力変換・増幅が数多く行われており、そこで用いられている半導体パワーデバイスの特性向上がエネルギー利用効率向上の鍵となる。しかし、従来の Si 半導体では物性によって決まる性能限界に近付きつつあり、飛躍的な特性向上は困難となっている。そこで、SiC や GaN などのワイドバンドギャップ半導体材料が注目を集めており、中でも SiC は既にショットキーバリアダイオードが製品化されているが、その潜在能力をフルに活用するためにノーマリオフ型の MOS トランジスタの実現が求められている。SiC-MOSFET は基本的に Si-MOSFET と同様のプロセスにより作製可能であるが、熱酸化 SiO₂/SiC 界面特性は Si 酸化膜に比べて著しく劣っており、そのデバイス特性や信頼性は期待されるものには程遠いのが実状である。

2. 研究の目的

本研究では、SiC の優れた物性を真に有効活用して、高効率 SiC パワー-MOS トランジスタの実現を目指した。SiC はワイドバンドギャップ材料であり、可視光に対して透明という点に注目すると、MOSFET のソース領域へショットキー接合を導入し、そのショットキー界面を表面プラズモン共鳴に伴う電場増強によってショットキー障壁を変調することを提案した。本構造には、縦型 MOSFET に応用する際に、n⁺層形成のための高濃度イオン注入工程が不要になるというプロセス的な利点もある。そこで、また、デバイス特性を決定する重要な要因であるゲート絶縁膜に関しては、MOS 界面特性の詳細な評価を行うと共に、長期信頼性の課題である閾値電圧不安定性の起源についても検討した。

3. 研究の方法

(1) ショットキー障壁制御

本研究では金属/SiC 界面のショットキー障壁の制御がデバイス特性を決定することから、まずソース/ドレイン(S/D)領域をpn接合ではなくショットキー障壁に置き換えた構造であるメタル S/D MOSFET の動作特性のデバイスシミュレーションを行った。メタル S/D nMOSFET では、S/D 電極と半導体間の電子に対するショットキー障壁高さ(eSBH)が高い場合、抵抗値が高くなり、ドレイン電流を律速するため、eSBH を様々に変化させて特性予測することで、デバイス動作に要求される障壁高さを決定した。

実験的には、各種金属膜を n 型 4H-SiC(0001)基板上に真空蒸着あるいはスパッタ法により成膜してショットキーダイオードを作製し、電子に対するショットキー障壁高さを評価した。金属材料としては、プロ

セス適合性が高く、比較的真空仕事関数の低い Ni, Al, Ti, Hf をはじめ、極めて低い真空仕事関数を有する Ba も検討した。Ba に関しては仕事関数そのものの値も不確かなので、MOS 構造を形成し、そのフラットバンド電圧から実効的な仕事関数も算出した。

また、金属/半導体界面のショットキー障壁高さは、理想的には金属の仕事関数と半導体のフェルミレベルのエネルギー差で決まるが、実際には界面での電荷中性点のエネルギー位置により障壁高さは左右される。この現象をフェルミレベルピニングと呼び、金属側の波動関数の染み出しが電荷中性点に影響するため、薄い絶縁膜を金属/半導体界面に挿入することで波動関数の染み出しを低減し、ピニングが抑制できることが報告されている。そこで本研究では、金属/半導体界面に SiO_x, AlO_x, HfO_x 薄膜を挿入する効果も検討した。

(2) MOS ゲート絶縁膜

SiC MOSFET の課題の一つに電圧ストレス印加時の閾値電圧変動があげられる。閾値電圧変動はゲート絶縁膜中に存在する可動イオンや、ストレス印加中の絶縁膜中での電荷捕獲により引き起こされる。本研究では、熱酸化 SiO₂/SiC 構造に界面特性改善のための水素アニール処理を行った際に生じる可動イオンの挙動とその対策を検討すると共に、最も一般的な界面終端化法である NO アニール処理を行った MOS キャパシタの電荷注入挙動を評価した。前者については、可動イオンは SiO₂ 層中を移動することから、薄い SiO₂ 層上に厚い AlON 層を積層した AlON/SiO₂ 構造とすることで可動イオンの移動範囲を制限し、MOS キャパシタのフラットバンド電圧安定性の向上を試みた。電荷注入挙動については、n 型基板上の約 75 nm の熱酸化 SiO₂ 膜に対して NO 処理を行って作製した MOS キャパシタに対して、電子注入(ゲート正バイアス印加)と正孔注入(紫外光照射下でゲート負バイアス印加)を行い、フラットバンド電圧シフトを評価した。

4. 研究成果

(1) ショットキー障壁制御

図 1 にデバイスシミュレーション (Synopsys 社製 TCAD ソフトウェア Sentaurus) で用いたメタル S/D nMOSFET の模式図と、eSBH を 0.1-0.5 eV に設定した際のゲート電圧-ドレイン電流(I_d-V_g)特性のシミュレーション結果を示す。eSBH が 0.1 eV の場合、良好なトランジスタ動作が確認できるが、0.2 eV 以上になるとドレイン電流量がゲート電圧に依存せずほぼ飽和を示しており、eSBH が 0.1 eV 異なると、飽和電流値は約 2 桁の差となることがわかる。すなわち、メタル S/D MOSFET を実現するためには、eSBH を可能な限り低減する必要がある、ま

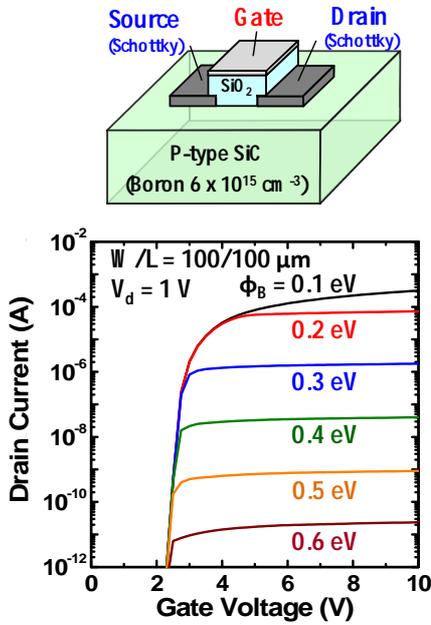


図1 デバイスシミュレーションによるメタル S/D MOSFET の特性予測。電子に対するショットキー障壁高さを 0.1 ~ 0.5 eV に設定。

た従来の pn 接合型 MOSFET と同等レベルのオン抵抗を得るためには 0.3 eV 以下が必要になることがわかった。4H-SiC の電子親和力は 3.6 eV であることから、実効的に 3.9 eV 以下の仕事関数が必要ということの意味している。

一方、実験的に Al, Ti, Hf を用いて作製したショットキーダイオードは、各金属の真空仕事関数が異なるにも関わらずショットキー障壁高さはいずれも約 1.0 eV を示した。これは金属 / SiC 界面でフェルミレベルピニングが起きているためと考えられる。そこで、ショットキー障壁高さを変調するために、極薄の絶縁膜 (SiO_x , AlO_x , TiO_x , HfO_x) を金属 / SiC 界面に挿入したところ、1.5 nm の HfO_x 層を挿入した Hf/ HfO_x /SiC 構造で最も低い eSBH = 0.61 eV を得た。なお、挿入する HfO_x 層が 1 nm よりも薄いとフェルミレベルピニング解放の効果が弱くショットキー障壁高さはほとんど変わらず、2 nm より厚いと電子のトンネル抵抗が大きくなり電流が得られなかった。

しかし、これらの eSBH の値は目標とする 0.3 eV よりも大きいことから、2~3 eV と非常に低い真空仕事関数を有する Ba 層を電極として用いることを検討した。まず Ba の仕事関数を見積もるために、8 ~ 60 nm の膜厚分布を有する熱酸化 SiO_2 膜付き Si 基板に対して、真空蒸着により 0.5~30 nm の Ba、続いて大気に対する保護膜として Au または Al を真空一貫で成膜し、MOS キャパシタを作製した。これらキャパシタの容量 電圧 (C-V) 特性から EOT (酸化膜換算膜厚) と V_{FB} (フラットバンド電圧) を求め、その線形性から実効仕事関数 (EWF: Effective Work Function) を算出した結果を図 2 に示す。Au よりも Al をキャップ層とする方が低い実効仕事関数を示しており、これは Al 積層時に Ba 層中の酸素が Al 側に引き抜かれる還元作用により、Ba 本来の低 WF が得られたためと考えられる。しかし一方で Ba 層が 5 nm よりも厚くなると、大気中で電極側面からの変質が確認され、電気特性も非常に不安定なものであった。そこで Ba を 2 nm とした Al/Ba 電極を 4H-SiC 基板上に成膜したショットキーダイオードを作製し、eSBH の評価を行った。作製したダイオードの電流-電圧特性は整流性をほぼ示さない一方で、空乏容量の測定は可能であったことから、Ba と SiC 界面に欠陥を含む界面層が形成されており、その欠陥を介した電流の存在が示唆された。以上の結果は、SiC 界面との反応制御が課題であるものの、メタル S/D MOSFET の S/D 電極としての Ba 電極の可能性を示すものである。

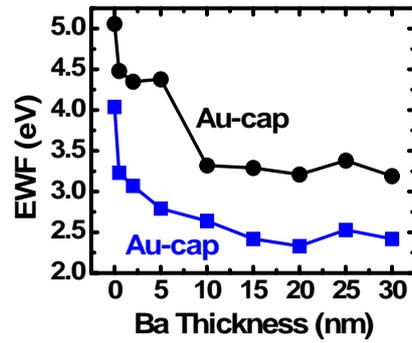


図2 Ba をゲート電極とする MOS キャパシタのフラットバンド電圧から求めた実効仕事関数。Al キャップ層により低仕事関数が得られることがわかる。

事関数 (EWF: Effective Work Function) を算出した結果を図 2 に示す。Au よりも Al をキャップ層とする方が低い実効仕事関数を示しており、これは Al 積層時に Ba 層中の酸素が Al 側に引き抜かれる還元作用により、Ba 本来の低 WF が得られたためと考えられる。しかし一方で Ba 層が 5 nm よりも厚くなると、大気中で電極側面からの変質が確認され、電気特性も非常に不安定なものであった。そこで Ba を 2 nm とした Al/Ba 電極を 4H-SiC 基板上に成膜したショットキーダイオードを作製し、eSBH の評価を行った。作製したダイオードの電流-電圧特性は整流性をほぼ示さない一方で、空乏容量の測定は可能であったことから、Ba と SiC 界面に欠陥を含む界面層が形成されており、その欠陥を介した電流の存在が示唆された。以上の結果は、SiC 界面との反応制御が課題であるものの、メタル S/D MOSFET の S/D 電極としての Ba 電極の可能性を示すものである。

(2) MOS ゲート絶縁膜

図 3 に SiO_2 単層 (40 nm) 絶縁膜および AlON/ SiO_2 積層 (AlON: 70 nm, SiO_2 : 8 nm) 絶縁膜を有する SiC-MOS キャパシタの C-V 特性を示す。 SiO_2 層に対しては意図的に可動イオンを生成するための高温水素アニール処理を施している。 SiO_2 単層の場合、室温ではヒステリシスを示さないが、200°C では大きな反時計回りのヒステリシスを示し、可動イオンが存在していることがわかる。一方、AlON/ SiO_2 積層キャパシタの場合は、室温でも 200°C でも全くヒステリシスは観測されおらず、可動イオンの閉じ込めに成功したことがわかる。AlON 膜は反応性スパッタ法により成膜したものであり、メタル S/D MOSFET にも応用が可能である。

一方、SiC 熱酸化膜の電荷注入耐性を評価するために、n 型 4H-SiC 基板に熱酸化により 75 nm の熱酸化膜を形成し、NO アニール処理を行った後に Al 電極を形成し、MOS キャパシタを作製した。C-V 特性からは NO 処理

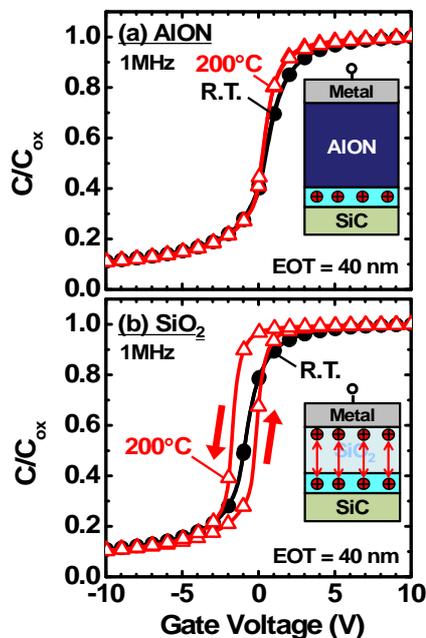


図3 SiO₂単層およびAlON/SiO₂積層ゲート絶縁膜を有するMOSキャパシタの室温および200°Cで測定したC-V特性予測。AlON/SiO₂積層ゲート絶縁膜は高温でもヒステリシスを示さず、優れた安定性を有することがわかる。

による界面特性改善が確認できた。さらに、酸化膜に対して約7 MV/cmの電界を印加して電子注入を行ったところ、NO処理を行った方がストレス後のフラットバンド電圧シフトが小さくなった。これは電子注入耐性もまた向上したことを意味している。一方で、紫外光を照射しながら同様の電界下で正孔注入挙動を評価したところ、NO処理を行った方が大きなフラットバンド電圧シフトを示した。これはNO処理によって正孔トラップが増加したことを示唆しており、界面特性と信頼性確保の両立には緻密なプロセス設計が必要であることを意味している。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 7件)

- (1) A. Chanthaphan, T. Hosoi, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, "Improved bias-temperature instability characteristics in SiC metal-oxide-semiconductor devices with aluminum oxynitride dielectrics," Appl. Phys. Lett., vol. 104, 122105 (2014). 査読有
DOI: 10.1063/1.4870047
- (2) T. Hosoi, Y. Uenishi, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, "Retarded oxide growth on 4H-SiC(0001)

substrates due to sacrificial oxidation," Mater. Sci. Forum, vols. 778-780, 562-565 (2014). 査読有

DOI:

10.4028/www.scientific.net/MSF.778-780.562

- (3) A. Chanthaphan, T. Hosoi, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, "Degradation of SiO₂/SiC interface properties due to mobile ions intrinsically generated by high-temperature hydrogen annealing," Mater. Sci. Forum, vols. 778-780, 541-544 (2014). 査読有

DOI:

10.4028/www.scientific.net/MSF.778-780.541

- (4) A. Chanthaphan, T. Hosoi, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, "Understanding and controlling bias-temperature instability in SiC metal-oxide-semiconductor devices induced by unusual generation of mobile ions," Appl. Phys. Lett., 102, 093510 (2013). 査読有
DOI: 10.1063/1.4794942

- (5) T. Hosoi, Y. Uenishi, S. Mitani, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, "Dielectric Properties of Thermally Grown SiO₂ on 4H-SiC(0001) Substrates," Mater. Sci. Forum, vols. 740-742, 605-608 (2013). 査読有

DOI:

10.4028/www.scientific.net/MSF.740-742.605

〔学会発表〕(計 14件)

- (1) 勝義仁, 細井卓治, 南園悠一郎, 木本恒暢, 志村考功, 渡部平司, "NOアニールを施したSiC MOSデバイスのフラットバンド電圧安定性," 2015年春季第62回応用物理学関係連合講演会 2015年3月13日, 東海大学(神奈川県・平塚市).
- (2) T. Hosoi, Y. Nanen, T. Kimoto, A. Yoshigoe, Y. Teraoka, T. Shimura, and H. Watanabe, "Synchrotron radiation photoemission spectroscopy study of SiO₂/4H-SiC(0001) interfaces with NO annealing," 10th European Conference on Silicon Carbide & Related Materials (ECSCRM-2014), September 24, 2014 (Grenoble, France).
- (3) T. Hosoi, Y. Uenishi, A. Chanthaphan, D. Ikeguchi, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, "Electrical and physical properties of SiO₂ gate dielectrics grown on 4H-SiC," The 8th International Conference on Processing & Manufacturing of Advanced Materials (THERMEC2013), December 5, 2013 (Las Vegas, NV, USA).
- (4) チャンタパン・アタウト, 中野佑紀, 中村孝, 細井卓治, 志村考功, 渡部平司, "Diffusivity of Mobile Ions Inherent to

Thermal SiO₂/SiC Structures in Deposited SiO₂ Gate Dielectrics,” 第 74 回応用物理学関係連合講演会 2013 年 9 月 17 日同志社大学（京都府京田辺市）

- (5) T. Hosoi, A. Chanthaphan, S. Mitani, Y. Nakano, T. Nakamura, T. Shimura, and H. Watanabe, “Mobile Ions Generated in Thermal SiO₂ on SiC by Hydrogen Passivation and Its Impact on Interface Property,” The 43rd IEEE Semiconductor Interface Specialists Conference (SISC) , December 6, 2012 (San Diego, CA, USA).

〔図書〕(計 0 件)

〔産業財産権〕

○出願状況(計 0 件)

○取得状況(計 0 件)

〔その他〕

特になし

6. 研究組織

(1)研究代表者

細井 卓治 (HOSOI TAKUJI)
大阪大学・工学研究科・助教
研究者番号：90452466

(2)研究分担者

なし

(3)連携研究者

渡部 平司 (WATANABE HEIJI)
大阪大学・工学研究科・教授
研究者番号：90379115

志村 考功 (SHIMURA TAKAYOSHI)
大阪大学・工学研究科・准教授
研究者番号：90252600