

科学研究費助成事業 研究成果報告書

平成 29 年 9 月 4 日現在

機関番号：12301

研究種目：若手研究(A)

研究期間：2012～2016

課題番号：24686042

研究課題名(和文) 実用化に向けて相変化メモリにおける高速高信頼性多値記録に関する研究

研究課題名(英文) Fast and reliable multilevel phase-change memory for practical application

研究代表者

イン ユウ (Yin, You)

群馬大学・理工学研究科・助教

研究者番号：10520124

交付決定額(研究期間全体)：(直接経費) 20,100,000円

研究成果の概要(和文)： 実用化に向けて相変化メモリにおける多値記録を研究した。多値記録に適する新しいカルコゲナイド材料を開発した。従来のカルコゲナイドへのN添加により、温度に対して薄膜の抵抗率が広範囲で緩やかに変化させることに成功した。Nを添加したSb₂Te₃相変化材料等を用いた素子を試作し、16値の多値記録を実証した。Ge₁Sb₄Te₇素子において、27値の多値記録と6値の多値記録の繰り返しに成功した。GeTe素子において、nsオーダーでの高速動作を実証し、多値記録の可能性を検討した。また、階段状パルス制御法を用いて高信頼性多値記録を研究した。

研究成果の概要(英文)： We investigated the multilevel storage in phase change memory here. We developed new chalcogenide materials suitable for multilevel storage. By doping N into conventional Sb₂Te₃, the resistivity gradually drops in a wide range of temperature. This was caused by crystal growth suppression because of the existence of scattered nitrides in the film. 16 resistance levels were demonstrated using a N-doped Sb₂Te₃ lateral device with a top TiN layer. We also adopted Ge₁Sb₄Te₇ and demonstrated that 27 resistance levels can be obtained using the similar device structure. And cyclability was proved to be possible in this device. GeTe devices exhibited fast speed operation and showed the possibility of multilevel storage. We also investigated how we can obtain the resistance levels using a stair-like programming method. This method was demonstrated that the resistance level can be freely accessible, that is, we can reach any desired resistance levels directly.

研究分野：電子デバイス

キーワード：不揮発性メモリ 多値記録 カルコゲナイド 制御 結晶化 アモルファス化 相変化メモリ 高速

1. 研究開始当初の背景

高度情報化社会の発展に応じて、メモリの不揮発性、高速度、低消費電力、高密度（即ち、大容量）等の要求が高まっている。商品化上のコスト/ビットの削減への期待がされ、記録密度がプロセス限界によらず記録情報量を倍増させるという多値/多ビット記録の研究開発が必要になってきた。本研究では、ポスト Flash メモリとして有望視されている不揮発メモリである相変化メモリ（PRAM）における高速且つ高信頼性多値記録を目的として行う。

相変化メモリの多値記録についてよく研究されているのは、融点の異なる多層構造である。4 値までの多値記録を実証したが、殆ど信頼性が低く、多値間に自由的な状態移転ができなかった。また、Intel では、窒素添加した GeSbTe (N-GST)を相変化材料として採用し、試書込 確認 再書込という手法の実用化の可能性を示したが、抵抗値が目標範囲内に入るまで数回の確認 再書込が必要となり、実速度が非常に遅いと思われる。

2. 研究の目的

ポストフラッシュ (Flash) メモリとして広く認められている相変化メモリ (PRAM) における実用化に向けて多値記録の高速化及び高信頼性を目的として研究する。具体的な目的は以下の通りである。

- (1) 多値記録に適する材料の探索
- (2) 多値記録の実証
- (3) 多値記録の高速化と高信頼性

3. 研究の方法

従来の相変化材料に他元素を添加し、多値記録に適する緩やかな ρ - T 特性を求める。X 線回折 (XRD) 等により相変化過程のメカニズムを解き明かす。また、材料特性 ρ - T を生かして、電流掃引や電圧掃引法により多値記録を実証する。多値記録の繰り返しを検討する。高速化においては、熱伝導等を十分考慮した上で、素子構造を設計する。電圧制御階段パルス印加による相変化多値記録実験を行う。

4. 研究成果

(1) 多値記録に適する相変化材料の探索

図 1(a) にアニール温度を変化させた時の従来の相変化材料 GeTe の XRD パターンを示す。この実験ではガラス基板上に膜厚 200nm の GeTe と保護層の ZnS-SiO₂ を 20nm スパッタし、ホットプレートでアニール処理している。この結果から GeTe は 220 付近で FCC 構造へ転移し、アニール温度を 430 に増やしても結晶構造が変わらないことがわかる。

また、結晶構造の変化に伴い相変化材料の抵抗率も変化する。アニール温度に対する抵抗率の変化を図 1(b) に示す。この結果から GeTe は 225 で急激に抵抗率が 6 桁程度減少し結晶化していることがわかる。GeTe は緩や

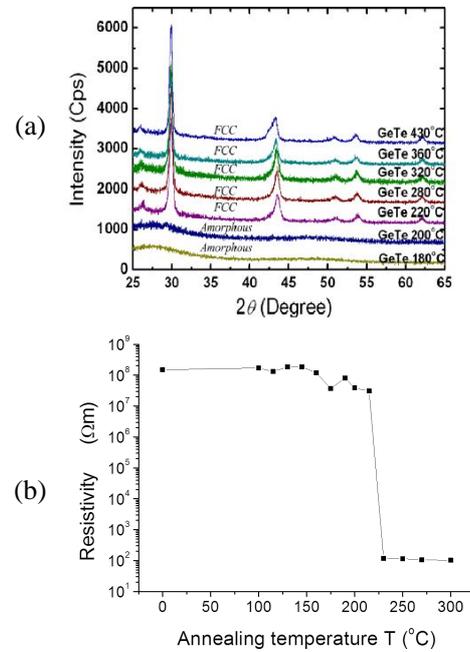


図 1 GeTe における (a) XRD パターン (b) 抵抗率のアニール温度特性

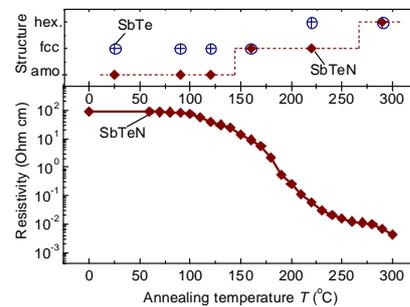


図 2 SbTeN における XRD パターンと抵抗率のアニール温度特性

かに抵抗率が減少していないため、多くの中間値を取ることは難しいということがわかる。

従来の GeTe 等の相変化材料は多値記録に向いていないため、新材料を開発した。図 2 に N 添加 Sb₂Te₃ (SbTeN) の XRD パターンと加熱温度に対する抵抗率を示す。

GeTe と比べると、SbTeN においてアニール温度 160 付近で FCC 構造へ転移し、290 付近で更に HEX 結晶構造へ転移する。この結晶構造の転移に伴い、薄膜の抵抗率が緩やかに低下する。このような特性を活かせばたくさんの中間抵抗値を取得することは可能となり、SbTeN は超多値記録に非常に適している相変化材料である。また、Ge₁Sb₄Te₇ においても、同様な抵抗率変化特性が示された。

(2) 超多値記録の実証

図 3(a) に超多値記録素子の模式図を示す。Ge₁Sb₄Te₇(GST)の膜厚を 150nm、ヒータ層の TiSi₃ の膜厚を 50nm、保護層の ZnS-SiO₂ の膜厚を 250nm とした。半導体パラメータアナライザ(Agilent 社製 4155C)を用いて、結晶化過程における電流スイープ多値記録実験を行

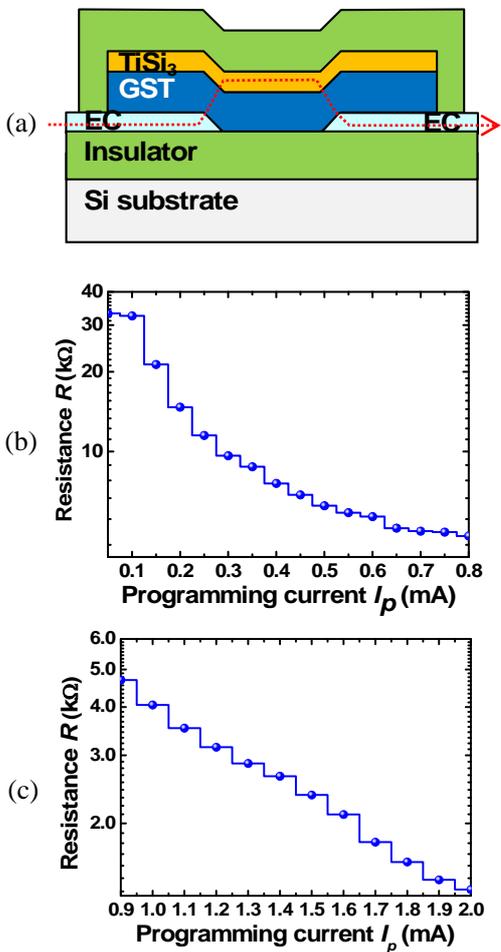


図3 (a)多値記録メモリ素子の模式図 (b-c) 印加電流による抵抗変化

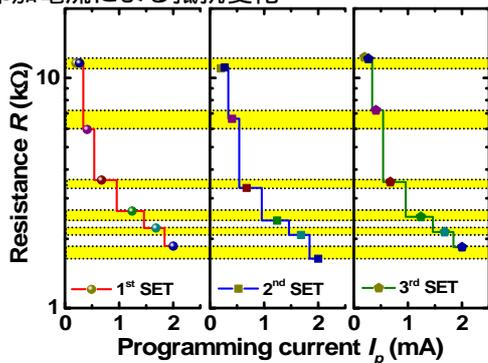


図4 多値記録の繰り返し

った。電流スイープを採用したのは、電圧スイープで相変化したとき過剰電流による素子破損が起こるのを防ぐためである。また、電圧スイープより電流スイープの方が細かく結晶領域を制御できるので、多値記録の可能性の検討に適しているためでもある。電流値を増大させていくことにより、抵抗値が徐々に減少しているのが見られた。測定結果を図3(b-c)に示す。27値の超多値記録の実現に成功した。6値の多値記録の繰り返しの実験結果を図4に示す。

(3) 多値記録の高速化

相変化メモリは、ジュール加熱を利用し

モルファス相と結晶相間の相変化を行うことで記録を行う。アモルファス相あるいは結晶相の相領域比率を制御することで、多値記録が可能となる。一方、従来の単純なシングル電圧パルスを用いた場合、アモルファス相と結晶相の相領域比率の制御が困難であり、多値記録には不相当と考える。それに対し、階段パルスを用い、第2パルスの電圧 V_2 を制御できる2段階パルスとすることで、結晶化時の温度が制御でき、アモルファス・結晶相の比率を制御することで、多値記録を実現することができる。また、第2パルスの幅を短時間一定とすることで、高速な書き換えが行える。

階段パルス印加実験に使用した回路は図5(a)に示す。LabVIEWにより図5(b)のような階段パルスをパルスジェネレータで生成し、素子に印加した。階段パルス印加後、スイッチ切り替えにより抵抗値測定回路に転換し、抵抗測定を行った。この抵抗測定はLabVIEWによる制御で行った。

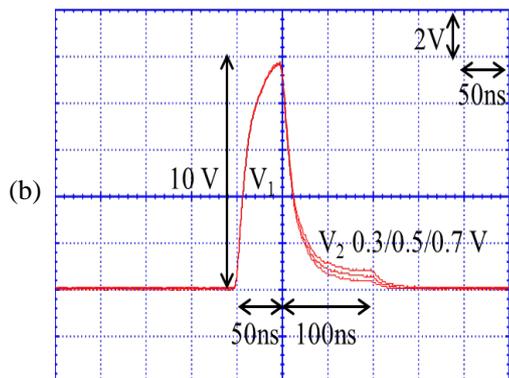
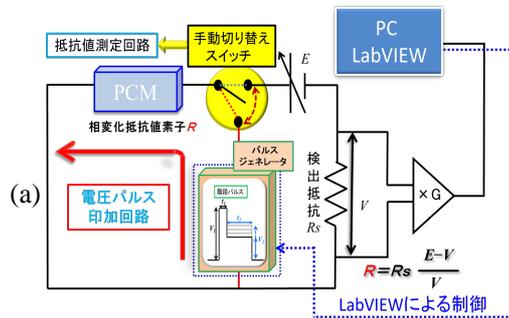


図5 (a)階段パルス印加実験回路図 (b)階段パルス波形

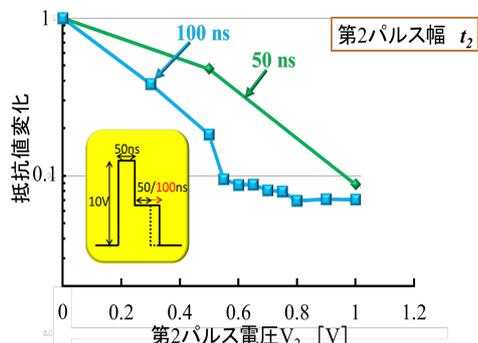


図6 GeTe 素子における第2パルス電圧印加による抵抗値変化

印加した階段パルスは第 1 パルス幅 50 ns、電圧値 10 V、第 2 パルス幅 100 ns を印加した。この抵抗値変化は、第 1 パルスにより融点以上まで加熱し、第 2 パルスで結晶化領域のコントロールによるものである。階段パルス印加による GeTe 素子抵抗値変化を図 6 (青い線) に示す。結果から見ると、第 2 パルスの電圧 0.8 V に増加したとき、抵抗値が最低値になったことがわかる。このとき、素子の結晶領域が最大になると考えられる。

従来相変化材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 材料を用いた素子に電圧制御階段パルスを用いることで多値記録実験を行った。実験結果によると、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ を用いた素子において、素子抵抗値を 1 桁以上変化させるには動作時間 550 ns が必要であった。

そこで、第 2 パルスの幅を第 2 パルス幅 100 ns より更に短くすることで、より高速な書き換えを行えるか検討した。第 2 パルスを 50 ns とし同様に実験を行った。実験結果を図 6 (緑線) に示す。第 2 パルス電圧 0 V 印加時の抵抗値を基準としたとき、抵抗値変化が 50 ns のパルスを用いたときでも 1 桁程度低下したことがわかる。また、素子を結晶化するには、第 2 パルス幅が短く結晶化時間が短いため、大きな電圧が必要である。図 6 に示した実験結果は、結晶化に必要なエネルギー $W=V^2t/R$ (t :パルス幅)であることと一致している。GeTe 素子において、全体のパルス幅 100 ns (第 1 パルス幅 t_1 :50 ns; 第 2 パルス幅 t_2 :50 ns) でも素子抵抗値を 1 桁以上変化させることができた。よって、GeTe メモリ素子は GST メモリ素子より高速多値記録の可能性があることがわかった。

5 . 主な発表論文等

[雑誌論文] (計 24 件)

The dependence of crystallization on temperature in the nanosecond timescale for GeTe-based fast phase-change resistor, H. Zhang, Y. Zhang, Y. Yin, and S. Hosaka, *Chemical Physics Letters*, **650**, 102-106 (2016). (査読有)

Sub 10 ns fast switching and resistance control in lateral GeTe-based phase-change memory, Y. Yin, Y. Zhang, Y. Takehana, R. Kobayashi, H. Zhang, and S. Hosaka, *Jpn. J. Appl. Phys.*, **55**, 06GG07 1-6 (2016). (査読有)

Ultra-multiple and reproducible resistance levels based on intrinsic crystallization properties of $\text{Ge}_1\text{Sb}_4\text{Te}_7$ film, Y. Yin, S. Iwashita, S. Hosaka, T. Wang, J. Li, Y. Liu, and Q. Yu, *Appl. Surf. Sci.*, **369**, 348-353 (2016). (査読有)

Oxygen-doped Sb_2Te_3 for high-performance phase-change memory, Y. Yin, S. Morioka, S. Kozaki, R. Satoh, and S. Hosaka, *Appl. Surf. Sci.*, **349**, 230-234 (2015). (査読有)

Localization of Joule heating in phase-change memory with incorporated nanostructures and nanolayer for reducing reset current, Y. Yin, and T. Wang, *IEEE Trans. Electron Devices*, **62**, 2184-2189 (2015). (査読有)

Hierarchically Self-Assembled Block Copolymer Blends for Templating Hollow Phase-change Nanostructures with an Extremely Low Switching Current, W. I. Park, J. M. Kim, J. W. Jeong, Y. H. Hur, Y. J. Choi, S.-H. Kwon, S. Hong, Y. Yin, Y. S. Jung, K. H. Kim, *Chemistry of Materials*, **27**, 2673-2677 (2015). (査読有)

Recrystallization process controlled by staircase pulse in phase change memory, Y. Yin, R. Kobayashi, and S. Hosaka, *Microelectron. Eng.*, **113**, 61-65 (2014). (査読有)

Effect of a separate heater structure for crystallisation to enable multilevel storage phase-change memory, R. I. Alip, Z. Mohamad, Y. Yin, and S. Hosaka, *Int. J. of Nanotechnology*, **11**, 389-395 (2014). (査読有)

Measurement of phonon energy of Sb_2Te_3 by scanning tunneling microscope light-emission spectroscopy, Y. Uehara, M. Kuwahara, and S. Katano, *Solid State Commun.*, **177**, 29-32 (2014). (査読有)

Current density enhancement nano-contact phase-change memory for low writing current, Y. Yin, S. Hosaka, W. I. Park, Y. S. Jung, Y. Liu, and Q. Yu, *Appl. Phys. Lett.*, **103**, 033116 1-5 (2013). (査読有)

Volume-change-free GeTeN film for high-performance phase-change memory, Y. Yin, H. Zhang, S. Hosaka, Y. Liu, and Q. Yu, *J. Phys. D: Appl. Phys.*, **46**, 505311 1-5 (2013). (査読有)

Controlled promotion of crystallization for application to multilevel phase-change memory, Y. Yin, and S. Hosaka, *Appl. Phys. Lett.*, **100**, 253503 1-4 (2012). (査読有)

Low-reset-current ring-confined-chalcogenide phase-change memory, Y. Yin, and S. Hosaka, *Jpn. J. Appl. Phys.*, **51**, 104202 1-5 (2012). (査読有)

以下 11 件

[学会発表] (計 41 件)

Advanced Nanofabrication and its Application to Nano Phase-Change Memory for Reducing Writing Current, Y. Yin, D. Nishijo, K. Sawao, K. Ohyama, T. Akahane, T. Komori, M. Huda, H. Zhang, and S. Hosaka, *2016 IEEE 13th International Conference on Solid-State and Integrated Circuit Technology (ICSICT-2016)*, Hangzhou, China (Oct. 2016). (招待講演)

Fast switching and resistance control in

chalcogenide-based memory device, Y. Yin, *The Collaborative Conference on Crystal Growth (3CG 2016)*, San Sebastian, Spain (Sep. 2016). (招待講演)

Multilevel Storage in Lateral Phase-Change Memory, Y. Yin, *2016 International Workshop on Information Storage / 10th International Symposium on Optical Storage (IWIS/ISOS 2016)*, Changzhou, Jiangsu, China (Apr. 2016). (招待講演)

Crystal growth control in chalcogenide and its application to multilevel storage in phase-change memory, Y. Yin, *The Collaborative Conference on Crystal Growth (3CG) (3CG 2015)*, Hongkong, China (Dec. 2015). (招待講演)

Nanosecond-Order Fast Switching and Ultra-Multilevel Storage in Lateral GeTe and Ge₁Sb₄Te₇-Based Phase-Change Memories, Y. Yin, and S. Hosaka, *The 11th International Conference on ASIC (ASICON 2015)*, Chengdu, China (Nov. 2015). (招待講演)

Ultrahigh-density Multilevel-storage Nano Phase-change Memory Array, Y. Yin, S. Hosaka, *8th International Conference on Materials for Advanced Technologies (ICMAT2015)*, Suntec, Singapore (June-July 2015).

Oxygen-Doped Sb₂Te₃ for Low-Power-Consumption Phase-Change Memory, Y. Yin, S. Morioka, R. Satoh, S. Kozaki, S. Hosaka, *8th International Conference on Materials for Advanced Technologies (ICMAT2015)*, Suntec, Singapore (June-July 2015).

Characterization of N-Doped GeTe Films and Their Applications to High-Performance Nano Phase-Change Memory, Y. Yin, and S. Hosaka, *27th International Microprocesses and Nanotechnology Conference (MNC 2014)*, Fukuoka, Japan (Nov. 2014).

Ultrasmall-Volume-Change Chalcogenide for Performance Improvement of Phase-Change Memory, Y. Yin, and S. Hosaka, *2014 IEEE 12th International Conference on Solid-State and Integrated Circuit Technology (ICSICT-2014)*, Guilin, China (Oct. 2014).

Electron Beam Lithography for Fabrication of Nano Phase-Change Memory, Y. Yin, T. Itagawa, and S. Hosaka, *2013 2nd International Symposium on Quantum, Nano and Micro Technologies (ISQNM 2013)*, Singapore (Dec. 2013).

TiSiN Films by Reactive RF Magnetron Co-Sputtering for Ultra-Low-Current Phase-Change Memory, Y. Yin, and S. Hosaka, *5th International Conference on Mechanical and Electrical Technology (ICMET 2013)*, Chengdu, China (July 2013). Nano-contact phase-change memory for

ultralow writing reset current, Y. Yin, and S. Hosaka, *the 39th International Micro & Nano Engineering Conference (MNE 2013)*, London, UK (Sep. 2013).

Staircase pulse programming for recrystallization control in phase-change memory, Y. Yin, R. Kobayashi, Y. Zhang, R. I. Alip, and S. Hosaka, *the 39th International Micro & Nano Engineering Conference (MNE 2013)*, London, UK (Sep. 2013).

Current-driven crystallization promotion for multilevel storage in phase-change memory, Y. Yin, R. I. Alip, and S. Hosaka, *The 24th Symposium on Phase Change Oriented Science (PCOS 2012)*, Hamahatsu, Shizuoka, Japan (Nov. 2012).

Controlled promotion of crystallization for multilevel phase-change memory, Y. Yin, and S. Hosaka, *the 38th International Micro & Nano Engineering Conference (MNE 2012)*, Toulouse, France (Sep. 2012).

相変化メモリの原理と将来性, 保坂 純男, 尹 友, *磁気記録・情報ストレージ研究会 (MR)* (茨城大学 日立キャンパス), 2012年7月. (招待講演)

Multi-Level Storage Phase-Change Memory, Y. Yin, and S. Hosaka, *2012 International Conference on Mechatronics and Intelligent Materials*, Guilin, China (May 2012).

以下 24 件

〔図書〕(計 0 件)

〔産業財産権〕

○出願状況 (計 0 件)

○取得状況 (計 0 件)

〔その他〕

ホームページ等

<http://www.ps.eng.gunma-u.ac.jp/~yinyou/index.html>

6. 研究組織

(1) 研究代表者

イン ユウ (YIN You)

群馬大学・大学院理工学府・助教

研究者番号：10520124

(2) 研究分担者

なし

(3) 連携研究者

なし

(4) 研究協力者

保坂 純男 (HOSAKA Sumio)

張 玉龍 (ZHANG Yulong)

岩下 翔太 (IWASHITA Shota)