

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 12 日現在

機関番号：12601

研究種目：若手研究(A)

研究期間：2012～2014

課題番号：24686044

研究課題名(和文)フェーズドアレイ光集積回路に基づく高速スキャンング光デバイスの研究

研究課題名(英文) Research on high-speed scanning optical devices based on phased-array photonic integrated circuits

研究代表者

種村 拓夫 (Tanemura, Takuo)

東京大学・工学(系)研究科(研究院)・准教授

研究者番号：90447425

交付決定額(研究期間全体)：(直接経費) 20,400,000円

研究成果の概要(和文)：本研究では、マイクロ波帯において広く使われているフェーズドアレイアンテナを光の波長帯に適用し、光集積回路上に実装することで、高速光スイッチング・スキャンング素子を実現することを目的とした。まず、これまでに開発した1×8フェーズドアレイ光スイッチを多入力に拡張することで、InP基板にモノリシックに集積した8×8光スイッチマトリクスを実証した。さらに小型化を目指して、シリコン基板に集積した8×8光スイッチマトリクスを完成させた。並行して、自由空間においてビームスキャンングを行うチップを試作し、一次元スキャンング機能を実証した。これらの技術は、光通信からセンシングまで、幅広い応用が期待される。

研究成果の概要(英文)：In this project, we sought to apply phased-array antenna technology, which is widely used in the microwave frequency range, to the optical wavelength range and implement it on the photonic integrated circuits to realize high-speed optical switching and scanning devices. We first extended our previously developed 1x8 optical phased array switches to multi-input configuration to realize a monolithically integrated InP 8x8 matrix switch. We then developed ultra-compact 8x8 matrix switch by using silicon photonics platform. Concurrently, we fabricated optical beam-steering chip using the phased array scheme and demonstrated one-dimensional beam scanning. The developed technologies should have diverse applications including optical communication and sensing.

研究分野：光エレクトロニクス

キーワード：光スキャナ 光スイッチ 光集積回路

1. 研究開始当初の背景

多数のアンテナをアレイ状に並べて電磁波を送受信する「フェーズドアレイ技術」は、機械的な駆動部分がなく、各アンテナの「位相」を調節することで電子的にビームの入射方向を選択できるため、レーダーや無線通信に広く用いられている。一方、フェーズドアレイを光の波長帯で実装する試みは停滞している。特に、高速化・省電力化の観点から、半導体チップ上に集積した小型フェーズドアレイデバイスは非常に魅力的であり、1990年代から国内外で基礎研究が行われているものの、大規模な光集積回路を作製する際の技術的なハードルが高く、未だ実用化に結びついていない。しかし近年、光通信デバイスの発展に牽引されて、光集積回路の作製技術が飛躍的に向上しており、多数の光位相制御器をワンチップに搭載したフェーズドアレイの実現が一気に現実味を帯び始めている。

2. 研究の目的

本研究では、マイクロ波帯において広く普及しているフェーズドアレイアンテナを1.55 μm 光通信波長帯に適用し、光集積回路上に実装することで、一連の大規模・高速光スキャニングデバイスを実現することを目的とした。まず、半導体チップ上に多数の光位相制御器を集積し、外部回路により光の位相をアダプティブに制御することで、 $N \times N$ 光スイッチマトリクスを実証する。さらに、光フェーズドアレイの出力を自由空間に出射させることで、高速かつコンパクトな光スキャニングチップを実現することを目的とした。これらの集積デバイスは、光ルータ、サーバ間光配線、光無線通信、医療・バイオセンサなど、幅広い応用が期待される。

3. 研究の方法

まず、これまでの 1×8 フェーズドアレイ光スイッチを多入力に拡張し、InP 集積 8×8 光スイッチマトリクスの設計と試作を行った。設計にはフーリエ光学に基づく解析モデルを用い、最適なスラブ領域の長さ、導波路幅、アレイピッチ、位相変調器数等のパラメータを抽出した。素子の作製には、これまでの技術とノウハウに基づき、塩素系反応性イオンエッチングによる導波路作製、ポリイミドによる埋め込み、リフトオフによる電極形成プロセスを用いた。

さらに、フェーズドアレイ光スイッチの小型化と低コスト化を図るために、silicon-on-insulator (SOI) 基板を用いた光スイッチの設計と試作を行った。まず、有限要素法による数値計算により、熱学位相変調器の最適化設計を行った。その上で、原理検証のため、 1×8 シリコン光スイッチを試作した。試作した素子の測定評価結果を基に、設計パラメータの見直しを行い、 8×8 シリコン光スイッチマトリクスを設計した。 8×8 光スイ

ッチは、多数の位相変調器を含む大規模な回路になるため、外部シリコンファウンドリに依頼して作製を行った。

上記と並行して、フェーズドアレイ回路からの光をチップ外に取り出し、ビームスキャニングチップとしての可能性を検証した。まず、基板側面から自由空間に光を出射させることで一次元スキャンを行うフェーズドアレイ素子を試作し、スキャニング特性を評価するための光学測定系を構築した。まず、遠視野像面に InGaAs 赤外カメラを設置し、各位置に集光させるための駆動条件を抽出し、その上で、遠視野像面にスリットパターンを挿入して一次元スキャンを実施することで、時間応答特性を評価した。

最後に、2次元光スキャニングチップの実現に向けて、InP 基板の垂直方向に光を取り出すための光カプラの試作とフリップチップ実装技術の開発を行った。垂直光カプラは、ドライエッチングによる方法と、ウェットエッチングプロセスによる方法を比較検討し、最適なプロセス条件を抽出した。並行して、電極パターンを形成したシリコン基板を用意し、フリップチップ実装プロセスの最適化を行った。

4. 研究成果

図1に、設計した $N \times N$ フェーズドアレイ光スイッチマトリクスの模式図を示す。従来の $1 \times N$ フェーズドアレイを入出力に配置することで、ノンブロッキングの光スイッチを実現している。図2に、 8×8 光スイッチング特性の計算結果を示す。5dB 以下の損失、20dB 以上の消光比が得られることを確認した。上記の設計をもとに作製した 8×8 InP 光スイッチの写真を図3に示す。196個の位相変調器を集積しており、チップの大きさは、 $14.3 \times 7.2 \text{ mm}^2$ である。図4に測定結果を示す。全通信波長帯 (1530-1560 nm) にわたって波長無依存の良好な特性と 4.2ns 以下の高速光スイッチングを実証した。本素子を用いて、40Gb/s 波長多重光信号のスイッチング実験も行い、エラーフリー特性を確認した。

次に、光スイッチの小型化を目指して、SOI 基板上に作製したシリコン光スイッチを図5に示す。この素子の評価結果を基に、図6に示す 8×8 シリコン光スイッチを設計、作製した。図7に 8×8 光スイッチの測定結果を示す。InP 光スイッチと同様の良好な特性が得られている。一方、スイッチ部の大きさは $1.3 \times 3.9 \text{ mm}^2$ に収まっており、InP 光スイッチに比べて大幅の小型を実現した。

一方、上記と並行して試作した光スキャニングチップを図8に示す。25個の光位相変調器を用い、チップ外に光を取り出すことで、一次元光スキャニングを行う。一次元のスリットパターンをスキャニングした結果を図9に示す。電流注入による発熱のため、数ms程度の遅い応答が見られたが、作製プロセスの最適化を行うことで電気抵抗を軽減し、キ

キャリア効果によるナノ秒オーダーの高速スキャン機能を実現できると見込んでいる。

最後に、二次元光スキャンチップの実現に向けて、垂直結合器の作製技術とフリップチップ実装技術を開発した。図 10 に、各種ウェットエッチング条件により形成した傾斜ミラーを示す。最適な条件を用いることで、 45° に近い反射鏡を形成できることを示した。図 11 には、フリップチップ実装を行ったチップ写真を示す。 10Ω 以下の接触抵抗で良好に配線が行えることを実証した。

以上より、本研究開発期間内に、大規模かつ高速な光スイッチ・スキャンチップに関する要素技術の開発を行い、実現に向けて目途を付けた。これらの集積デバイスは、光ルータ、サーバ間光配線、光無線通信、医療・バイオセンサなど、幅広い応用が期待される。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 7 件)

- ① M. Zaitzu, T. Tanemura, and Y. Nakano, "Numerical study on fabrication tolerance of half-ridge InP polarization converters," *IEICE Trans. Electron.*, 査読有, vol. E97-C, no. 7, pp. 731-735, 2014.
- ② M. J. Kwack, T. Oyama, Y. Hashizume, S. Mino, M. Zaitzu, T. Tanemura, and Y. Nakano, "Compact optical buffer module for intra-packet synchronization based on InP 1×8 switch and silica-based delay line circuit," *IEICE Trans. on Electron.*, vol. E96-C, no. 5, pp. 738-743, 査読有, 2013.
- ③ M. Zaitzu, T. Tanemura, A. Higo, and Y. Nakano, "Experimental demonstration of self-aligned InP/InGaAsP polarization converter for polarization multiplexed photonic integrated circuits," *Opt. Express*, vol. 21, no. 6, pp. 6910-6918, 査読有, 2013.
- ④ 種村拓夫, 中野義昭, "InP 光集積回路による高速光スイッチ技術," *光学*, 査読無, vol. 42, no. 5, pp. 249-255, 2013 年 5 月.
- ⑤ M. J. Kwack, T. Tanemura, A. Higo, and Y. Nakano, "Monolithic InP strictly non-blocking 8×8 switch for high-speed WDM optical interconnection," *Opt. Express*, vol. 20, no. 27, pp. 28734-28741, 査読有, 2012.
- ⑥ I. M. Soganci, T. Tanemura, and Y. Nakano, "Integrated phased-array switches for large-scale photonic routing on chip," *Laser & Photonics Reviews*, vol. 6, no. 4, pp. 549-563, 査読有, 2012.
- ⑦ 種村拓夫, 中野義昭, "InP 光集積回路による省エネルギー光スイッチング技術," *レーザー研究*, 査読無, vol. 40, no. 5, pp. 344-350, 2012 年 5 月.

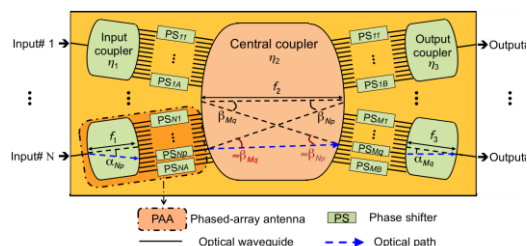


図 1. $N\times N$ スイッチマトリクス of 構造

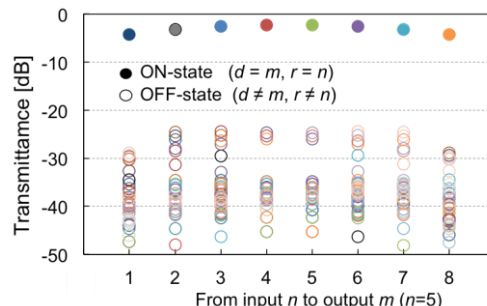


図 2. 8×8 InP 光スイッチマトリクス of 計算結果

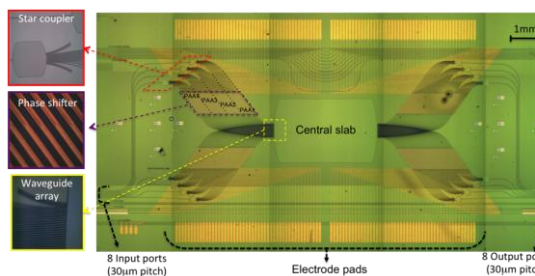
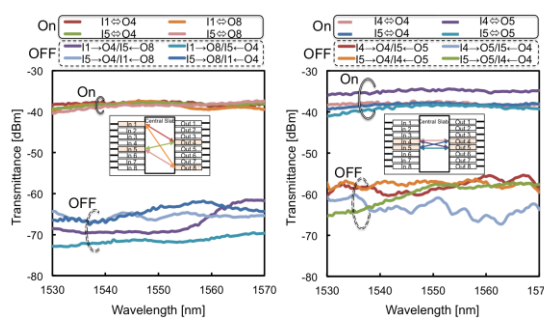
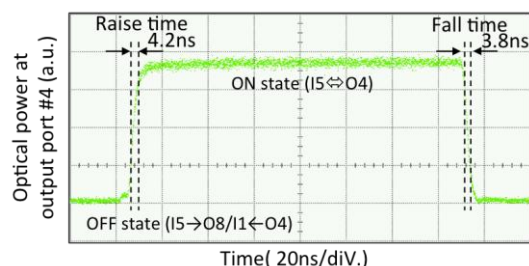


図 3. 作製した 8×8 InP 光スイッチマトリクス ($14.3\times 7.2\text{ mm}^2$)



(a) 波長依存性



(b) 動スイッチング特性

図 4. 8×8 InP 光スイッチマトリクス of 測定結果

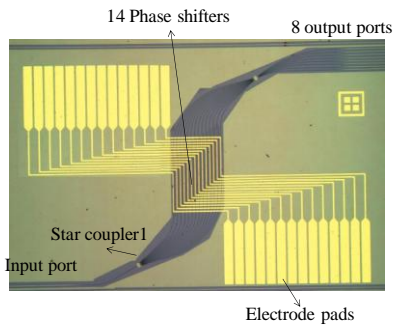


図 5. シリコン 1×8 光スイッチ

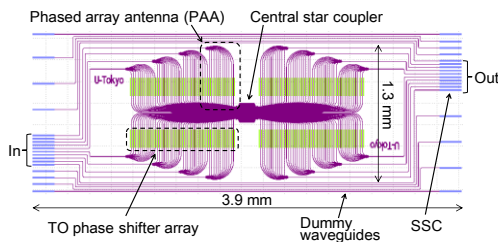


図 6. シリコン 8×8 光スイッチマトリクス

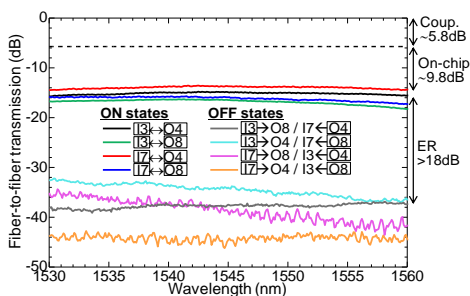


図 7. シリコン 8×8 光スイッチマトリクスの測定結果

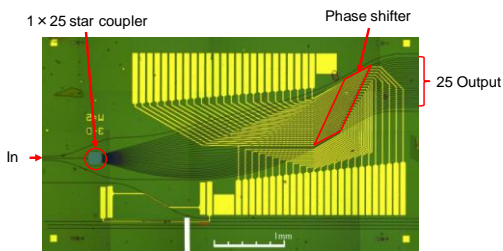


図 8. フェーズアレイ光スキャニングチップ

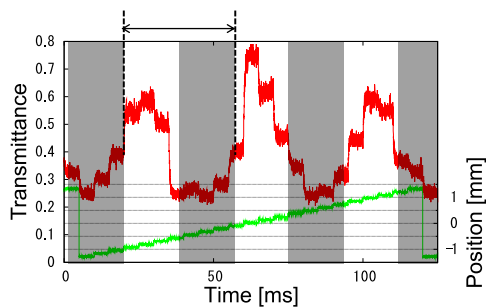


図 9. 1 次元光スキャニング結果.

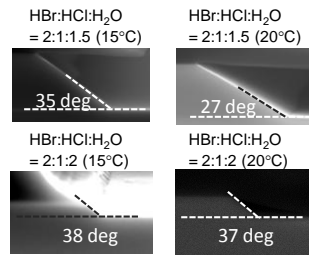


図 10. ウェットエッチングにより形成した集積傾斜ミラー

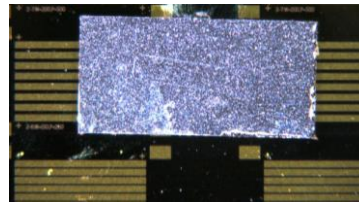


図 11. フリップチップ実装結果.

[学会発表] (計 14 件)

- ① T. Tanemura, L. Langouche, and Y. Nakano, "Strictly non-blocking 8×8 silicon photonic switch based on optical phased array," European Conference on Optical Communication (ECOC'15), 査読有, 採択済, Valencia, Spain, Sept. 27-Oct. 1, 2015.
- ② 小松憲人, 崔成漢, 種村拓夫, 中野義昭, "高速スキャニングに向けた InP 光集積フェーズドアレイの評価," 電子情報通信学会技術研究報告, 光エレクトロニクス研究会(OPE2013), 査読無, リゾーピア熱海(静岡), 2013 年 4 月.
- ③ Y. Kawabata, M. Zaitso, T. Tanemura, and Y. Nakano, "Proposal and experimental demonstration of monolithic InP/InGaAsP polarization modulator," European Conference on Optical Communication (ECOC'14), 査読有, Tu.4.4.4, Nice, France, Sept. 23, 2014.
- ④ M. Cui, T. Tanemura, and Y. Nakano, "1×N Nyquist-sampling phased-array switch for extinction ratio improvement," 2014 年電子情報通信学会ソサエティ大会, 査読無, C-3-8, 徳島大学(徳島), 2014 年 9 月.
- ⑤ 種村拓夫, 中野義昭, "InP 光集積回路による光スイッチング/偏波制御技術," 電子情報通信学会 集積光デバイスと応用技術時限研究専門委員会(IPDA), 査読無, 鬼怒川温泉ホテル(栃木), 2014 年 1 月 31 日.
- ⑥ C. Chen, A. Higo, M.-J. Kwack, T. Tanemura, and Y. Nakano, "Demonstration of 1×8 silicon photonic switch based on optical phased array," 18th OptoElectronics and Communications Conference / Photonics in Switching (OECC/PS 2013), 査読有, ThM1-5, Kyoto, July 4, 2013.

- ⑦ M. Zaitzu, T. Tanemura, and Y. Nakano, "Efficiency and fabrication tolerance of half-ridge InP/InGaAsP polarization converters," *18th OptoElectronics and Communications Conference / Photonics in Switching (OECC/PS 2013)*, 査読有, WL3-1, Kyoto, July 3, 2013.
- ⑧ 郭命俊, 種村拓夫, 肥後昭男, 中野義昭, "InP フェーズドアレイ技術による集積光マトリクススイッチの開発," 2013年電子情報通信学会総合大会, 査読無, C3-53, 岐阜大学(岐阜), 2013年3月22日.
- ⑨ 陳超, 肥後昭男, 郭命俊, 種村拓夫, 中野義昭, "1×8 フェーズアレイ型シリコン光スイッチの試作と評価," 電子情報通信学会総合大会, 査読無, C-3-54, 岐阜大学(岐阜), 3月22日 (2013).
- ⑩ M. Zaitzu, T. Tanemura, A. Higo, and Y. Nakano, "Self-aligned InP/InGaAsP polarization converter for polarization-multiplexed photonic integrated circuits," *Optical Fiber Communication Conference (OFC'13)*, 査読有, OTh4I.3, Anaheim, Mar. 21, 2013.
- ⑪ M. J. Kwack, T. Tanemura, A. Higo, and Y. Nakano, "Demonstration of InP phased-array 8×8 high-speed optical switch matrix," IEICE Technical Report (OPE2013), 査読無, 大阪大学(大阪), Jan, 2013.
- ⑫ M. J. Kwack, T. Tanemura, A. Higo, and Y. Nakano, "Monolithic InP strictly non-blocking 8×8 switch for high-speed WDM optical interconnection," *European Conference on Optical Communication (ECOC'12)*, 査読有, Post-Deadline Paper, Th.3.B.3, Amsterdam, the Netherland, Sept. 20, 2012.
- ⑬ T. Tanemura, "Monolithic InP switches based on optical phased array," Workshop on Progress in Optical Routers and Buffers, Int. Conf. Photonics in Switching (PS'12), 査読無(招待講演), Corsica Island, France, Sept. 14, 2012.
- ⑭ Y. Nakano and T. Tanemura, "Progress of InP monolithically integrated photonic circuits for switching and digital processing," *17th OptoElectronics and Communications Conference (OECC'12)*, 査読無(招待講演), Busan, Korea, July 2-6, 2012.

[図書] (計0件)

[産業財産権]

○出願状況 (計0件)

○取得状況 (計0件)

[その他]

ホームページ等

<http://www.ee.t.u-tokyo.ac.jp/~nakano/lab/index.html>

6. 研究組織

(1) 研究代表者

種村 拓夫 (TANEMURA, Takuo)

東京大学・大学院工学系研究科・准教授

研究者番号：90447425

(2) 研究分担者

なし

(3) 連携研究者

なし