

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 9 日現在

機関番号：15401

研究種目：若手研究(B)

研究期間：2012～2015

課題番号：24700033

研究課題名(和文)FPGA向けメニーコアアーキテクチャによる計算高速化

研究課題名(英文)Accelerating computations using many-core architecture for FPGAs

研究代表者

伊藤 靖朗 (Yasuaki, Ito)

広島大学・工学(系)研究科(研究院)・准教授

研究者番号：40397964

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：本研究では、FPGA向けメニーコアアーキテクチャ開発環境の構築を目指した。本研究ではまず、DSPブロックやブロックRAMを用いて、直線検出・円検出を、パラメータ空間を分割し、多数の演算器をFPGA上に並べることで並列計算を行うFPGA実装を提案し、既存の手法より高速に動作することを確認した。さらに本研究では、この結果を元に、主に一つのDSPブロックと二つのブロックRAMで構成された多倍長演算をサポートする超小型汎用プロセッサを設計・実装した。このプロセッサは、ハードウェア設計の経験がないソフトウェア設計者でも、専用回路とほぼ同じ性能の高速化をソフトウェアで実現可能であることを示した。

研究成果の概要(英文)：In this research, I tried to make developing environments of many-core architecture for FPGAs. First, we proposed efficient FPGA implementations of line and circle detection that is efficiently performed with DSP blocks and block RAMs on the FPGA by separating the parameter space and arranging many processing cores. The implementations can run faster than existing methods. Using these results, we proposed a tiny general-purpose processor that supports multiple-length computation using one DSP blocks and two block RAMs and implemented it on the FPGA. Using this processor, we showed that users can develop software programs that is almost the same performance as the specific circuits.

研究分野：計算機工学

キーワード：FPGA DSPブロック ブロックRAM ハフ変換 マルチコアプロセッサ

1. 研究開始当初の背景

半導体製造技術の進歩により、高速なプロセッサ・CPUが開発され、様々な計算処理が短時間でできるようになってきた。しかし、プロセッサの動作周波数の増加も鈍化しており、デバイス技術の改良によるプロセッサの高速化に限界が見えてきている。

一方、計算の高速化のためには、アルゴリズムをASIC上にハードウェア化した専用LSIを用いる方法が有力であり、実際、隠面消去やフーリエ変換などの計算では単一プロセッサの能力をはるかに凌駕する性能を發揮している。

しかし、これは多数のユーザが要求する特殊な機能の実現であったからこそ実現したことであり、大量生産による低価格化が重要な鍵である。このように、今までは普遍的な処理をハードウェア化することが常識であった。

2. 研究の目的

この常識を打破することによってハードウェアアルゴリズムの適用範囲を拡大すると同時に、従来とは全く異なる形態で利用することにより、真に処理の高速化をはかることが本研究の目的である。

3. 研究の方法

その実現の手段として本研究ではFPGA(Field Programmable Gate Array)を用いる。FPGAは書き換え可能なLSIであり、計算機からダウンロードされた回路情報データに基づいて結線を実現することによって任意の回路をチップ内に実現するというものである。回路情報データをダウンロードするだけで何度でも使用できるのが特長である。

また、近年のFPGAには、組み込み回路として、高速な乗算器や加算器を搭載したDSPブロックや大容量のブロックRAMを搭載しており、書き換え可能な回路と併せて利用することで性能の向上が図られている。これらの組み込み回路は、最新のFPGAにはそれぞれ数百から数千個搭載され、書き換え可能な回路部分で実現できない高速な算術演算や大容量のRAMとして利用できる。

本研究では、FPGAの書き換え可能である特徴と、上記組み込み回路を最大限に活かすメニーコアアーキテクチャを提案することである。

4. 研究成果

本研究ではまず、DSPブロックやブロックRAMを用いて、デジタル画像処理で用いられる特徴抽出法の一つで、パラメータ空間への投票処理をすることで、画像中の特徴(直線、円、楕円等)を検出する手法であるハフ変換のFPGA実装を行った。さらに、別の問題として、機械学習の分野で広く用いられる、サポートベクタマシンの分類計算の実装をおこなった。これらの結果を元に、多倍長演算をサポ

ートする超小型汎用プロセッサを設計・実装した。詳細を以下に示す。

(1) 二値画像の直線検出

二値画像中の直線を検出するハフ変換の新しいFPGAアーキテクチャの設計、及び実装を行った。ハフ変換とは、デジタル画像処理で用いられる特徴抽出法の一つで、パラメータ空間への投票処理をすることで、画像中の特徴(直線、円、楕円等)を検出する手法である。

新しいアーキテクチャでは、DSP48E1を178個、18kbitブロックRAMを180個利用し、それらを並列に動作させハフ変換を実行する。このアーキテクチャはハフ変換で利用するパラメータ空間を180個に分割し、それぞれにブロックRAMを割当て、入力されたエッジ点の座標リストに対してパラメータ空間への投票を完全なパイプライン動作で並列に行う。投票空間を分割することで、投票する際に必要な三角関数の計算を事前に計算可能にし、また、複数のDSPブロックをカスケード接続することで、パイプラインレジスタの削減を動作周波数の低下を防ぐことに成功した。実装の結果、33232点のエッジ点をもつ512×512の画像に対して、ハフ変換を135.75μsで実行することを確認した。

また、ハフ変換の回路を改良することにより、DSP48E1の数を半分したアーキテクチャを提案した。そこではさらに、より精度の高い検出をするために、極大値フィルタを使用した。実装の結果、512×512の任意の画像に対して、ハフ変換を1.065msで実行することを確認した。

(2) グレースケール画像の直線検出

ハフ変換の改良手法の一つとして勾配情報を用いた手法が知られている。この手法では勾配情報を利用して、計算量の削減や検出の精度を向上を可能としている。そこで、新しいアーキテクチャとして、Xilinx Virtex-7 FPGAに組み込まれているDSPスライスとブロックRAMを効果的に利用した勾配に基づいた直線検出のハフ変換を実装した。具体的には、13個のDSP48E1スライスと180個の36KbitsのブロックRAM、8個の18KbitsのブロックRAMを使用した回路を設計し、FPGAに実装した。論理合成の結果より、本アーキテクチャは260.061MHzで動作し、高速且つ高精度な直線検出が可能であることを示した。

(3) 二値画像の円検出

二値画像中の円を検出するハフ変換の新しいFPGAアーキテクチャの設計、及び実装を行った。新しいアーキテクチャでは、DSP48E1を398個、18kbitブロックRAMを309個利用し、それらを並列に動作させハフ変換を実行する。一般に円検出のハフ変換では、パラメータ空間が3次元(中心座標の2次元と半径の1次元)になる。3次元空間は大量のメモ

りが必要で、投票数も多くなり、実行時間が長くなる特徴がある。そこでこのアーキテクチャは1次元のハフ変換を組合せることによって、既存の円検出のハフ変換と比べて小規模なメモリサイズで実行可能な手法を実装し、投票回数とメモリサイズの削減を実現した。実装の結果、400×400の任意の画像に対して、ハフ変換を5.337msで実行することを確認した。

(4) サポートベクタマシンの分類計算
機械学習で広く使用されているサポートベクタマシンの分類計算を行う新しいアーキテクチャを提案した。本手法では、複数のXilinx Virtex-6 FPGAのDSPブロックを用いて計算を行う。実装では、3種類のカーネル(RBFカーネル、多項式カーネル、シグモイドカーネル)をサポートしており、DSPブロックのカスケード接続を利用している。それにより、入力データはパイプラインで計算され、DSPブロックの数はサポートベクタの数と一致している。性能を評価するために、提案アーキテクチャをXilinx Virtex-6 FPGA XC6VLX240T-FF1156上で、768個のDSPブロックを含むプロセッサコアとして実装した。論理合成の結果、768個のDSPブロック、800個のブロックRAM、17680個のスライスを使用し、最大動作周波数は370.096MHzとなった。この回路は、1秒間に 2.89×10^6 回の分類計算が可能であることを示した。

(5) 多倍長演算をサポートした超小型汎用プロセッサ

上記結果を元に、FPGAを用いて多倍長演算を実行するプロセッサを提案し、実装・評価を行った。作成したプロセッサはソフトウェアとハードウェアの中間的なアプローチであり、ハードウェアの基礎を知らない初心者やソフトウェア開発者でも扱え、高速な演算が行える。このアーキテクチャは、一つのDSPブロックと二つのブロックRAMで実装をした。

コンピュータの演算においてCPUが直接扱える数の範囲には限りがあり、その制限を超える多倍長の演算を行う場合には別途アルゴリズムを設計する手間が必要があり、また、計算コストも余分にかかってしまう。そこで多倍長演算プロセッサをFPGA上へ実装することで高速に任意長の多倍長演算を行えるようにした。設計したプロセッサでは比較演算やジャンプ命令などにより、任意の処理を行える。処理の設計の際にはC言語風のプログラムで記述することが可能であり、専用のコンパイラとアセンブラを用いて機械語に変換される。また、専用のハードウェアシミュレータを用いて事前に動きを確認することができる。

プロセッサの性能評価用のアプリケーションとしてRSA暗号を実装した。このプロセッ

サでは2048bitのRSA暗号化を613.71msで実行可能であることを示した。専用回路と比較すると、RSA暗号が動作するハードウェア実装では277.26msで動作可能で、設計したプロセッサの方が動作が遅いが、ハードウェア実装とは異なり、中身の命令を変えることで他のアプリケーションを実行することが可能であり、また、デバックも簡単に行うことができる。

また、このプロセッサの小型である特徴を活かし、FPGA内に多数配置して並列動作させることも可能であることを示した。Xilinx社のVirtex-6 FPGAでは最大306個のプロセッサを配置し、並列に動作が可能であることを示した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計1件)

1. Xin Zhou, Norihiro Tomagou, Yasuaki Ito, and Koji Nakano, Implementations of the Hough Transform on the Embedded Multicore Processors, International Journal of Networking and Computing (IJNC), Vol. 4, No. 1, pp. 174-188, January 2014, 査読有, <http://ijnc.org/index.php/ijnc/article/view/79>

[学会発表](計6件)

1. Tatsuya Kawamoto, Yasuaki Ito, Koji Nakano, A flexible-length-arithmetic processor based on FDFM approach in FPGAs, Proc. of International Symposium on Computing and Networking (CANDAR), pp. 364-370, December 11, 2015, 北海道・札幌市, 査読有, <http://dx.doi.org/10.1109/CANDAR.2015.12>
2. Xin Zhou, Yasuaki Ito, and Koji Nakano, An Efficient Implementation of the One-Dimensional Hough Transform Algorithm for Circle Detection on the FPGA, in Proc. of International Symposium on Computing and Networking (CANDAR), pp. 447-452, December 11, 2014, 査読有, 静岡県・静岡市, <http://dx.doi.org/10.1109/CANDAR.2014.32>
3. Xin Zhou, Yasuaki Ito, Koji Nakano, An Efficient Implementation of the Gradient-based Hough Transform using DSP slices and block RAMs on the FPGA, Proc. of International Parallel and Distributed Processing Symposium Workshops, pp. 762-770, May 19, 2014,

査読有, Phoenix (USA),
<http://dx.doi.org/10.1109/IPDPSW.2014.88>

4. Xin Zhou, Yasuaki Ito and Koji Nakano, An Efficient Implementation of the Hough Transform using DSP slices and block RAMs on the FPGA, in Proc. of the IEEE 7th International Symposium on Embedded Multicore SoCs (MCSoc), pp. 85-90, September 28, 2013, 査読有, 東京,
<http://dx.doi.org/10.1109/MCSoc.2013.29>
5. Yuki Ago, Koji Nakano and Yasuaki Ito, A Classification Processor for a Support Vector Machine with embedded DSP slices and block RAMs in the FPGA, in Proc. of the IEEE 7th International Symposium on Embedded Multicore SoCs (MCSoc), pp. 91-96, September 28, 2013, 査読有, 東京,
<http://dx.doi.org/10.1109/MCSoc.2013.30>
6. Xin Zhou, Norihiro Tomagou, Yasuaki Ito and Koji Nakano, Efficient Hough Transform on the FPGA using DSP slices and Block RAMs, in Proc. of Workshop on Advances in Parallel and Distributed Computational Models (APDCM), pp. 771-778, May 20, 2013, 査読有, Boston (USA),
<http://dx.doi.org/10.1109/IPDPSW.2013.86>

6. 研究組織

(1) 研究代表者

伊藤 靖朗 (YASUAKI ITO)

広島大学・大学院工学研究院・准教授

研究者番号：40397964