

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 10 日現在

機関番号：12601

研究種目：若手研究(B)

研究期間：2012～2013

課題番号：24700043

研究課題名(和文) システムLSIのテスト効率化のためのアナログ回路向けストラクチャルテスト手法

研究課題名(英文) An Structural Test Method of Analog Circuits for Improving Test Efficiency of System LSIs

研究代表者

小松 聡 (KOMATSU, Satoshi)

東京大学・大規模集積システム設計教育研究センター・准教授

研究者番号：90334325

交付決定額(研究期間全体)：(直接経費) 3,400,000円、(間接経費) 1,020,000円

研究成果の概要(和文)：本研究では、アナログ回路にデジタル回路向けのアイデア(ストラクチャルテスト)を活用するというアイデアに基づき、システムLSIの製造テストの効率化を目指して研究を行った。いくつかのアナログ回路モジュールに対して、入力刺激とそれに対する出力の伝達特性について、SPICE回路シミュレーションによる解析と評価を行なった。また、アナログ回路のテスト時に必須となる、オンチップでの信号サンプリング技術について検討を行った。アナログ-デジタル変換および時間-デジタル変換のための信号サンプリング回路についての性能向上の検討を行い、アナログ回路の高精度なテストに有効であることを示した。

研究成果の概要(英文)：In this study, we have studied on improving test efficiency of system LSIs. To achieve such efficient manufacturing test, we introduced structural test methods which are usually used in testing of digital circuits into testing of analog circuits. We have evaluated transfer characteristics between input stimulus and output signals by using SPICE simulator. In addition, we also proposed and evaluated on-chip signal sampler circuits which are necessary for on-chip testing of analog circuits. We designed and evaluated analog-to-digital conversion circuits and time-to-digital conversion circuits. The experimental results showed that those circuits can be applied for efficient testing of analog circuits with high precision.

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI設計技術

1. 研究開始当初の背景

(1) 現在の高度情報化社会において、システム LSI は様々な用途に用いられ、必要不可欠な存在になっている。LSI のプロセス技術・デバイス技術の面から考えると、ムーアの法則に代表されるようにシリコン上のトランジスタ、金属配線などは年々微細化されており、CMOS 回路では 65nm/40nm テクノロジーが実用的になり、22nm/14nm テクノロジーも視野に入ってきている。このような極微細テクノロジーでは、より多くの回路素子、回路モジュールを 1 つのチップ上に搭載することが可能となり、デジタル回路、メモリ、アナログ回路、が混在する真のシステム LSI が実現可能である。また、動作速度の面でも、オンチップのクロック周波数の向上だけでなくチップ間通信の向上がシステム全体の性能向上のために必要不可欠となるため、高速チップ間通信回路 (= 高速アナログ回路) がシステム LSI 上に実装されることが普通になると考えられる。

(2) このような状況下において、システム LSI の製造テストが問題となっている。微細化が進むことでリソグラフィベースの製造工程では素子あたりのプロセスコストが低下するが、一方で製造テストのコストは素子数の増加にともなって上昇してしまうため、LSI の製造コスト全体に占めるテストコストが無視できなくなっている。また、システム LSI 内のアナログ回路に対するテストについては、システム LSI の莫大な製造数、低いテストコストへの要求、などの面から従来のアナログ回路向けのテスト手法をそのまま適用することは難しいため、これらを解決するためのテスト技術が望まれている。

2. 研究の目的

(1) 本研究では、デジタル回路については、すでに一般的な製造テスト手法が確立されているため、アナログ回路のテストをオンチップのデジタル回路とチップ外の製造テスト装置 (LSI テスター) を利用して行う手法を提案・評価を行う。アナログ回路のテストには、従来の仕様/性能ベースのテストではな

く、デジタル回路のテストで一般的な、ストラクチャルテストのアイデアを用いたテストを行う。図 1 にサンプルとしてデジタルアシスト型イコライザを示しているが、アナログ回路のテストに同一チップ上のデジタル回路を通してテストを行うことで、既存のテスト装置を活用し、低コストで十分なテスト品質を実現することを目的としている。本研究提案の着想には、アナログ回路にデジタル回路向けのテストのアプローチを活用するというアイデアを前提としており、将来的には低コストでの効率的なシステム LSI のテストを実現できると考える。

(2) また、近年、システム LSI において、アナログ回路のテストのためにオンチップでの波形取得、アイ・ダイアグラム観測技術が提案されているが、それらはテスト用の追加ハードウェアのオーバーヘッドが大きく、コストに対する要求の厳しい用途には現実的ではない。本研究では、デジタル回路とアナログ回路が同一チップ上に搭載されているシステム LSI において、デジタル回路で容易に処理できる信号サンプラ回路についての検討を行うことも目的とする。

3. 研究の方法

(1) まず、アナログ回路の可制御性、可観測性を検討する上で、テスト対象回路のアーキテクチャについての設定を行う。デジタル回路のテストにおいては、(i) スキャン回路を経由して全て (あるいは一部) のフリップ・フロップに 0/1 のバイナリー値の設定 → (ii) 回路の動作 → (iii) スキャン・フリップ・フロップの値の読み出し、という過程でテストが行われる。また、その際に、テスト対象の回路ノードに外部から所望の値を設定できる「可制御性」とテスト対象の回路ノードの値を外部から読み出すことができる「可観測性」が必須である。本研究では、アナログ回路に対して「可制御性」と「可観測性」を定義し、それを前提したテスト手法の確立を目指す。デジタル回路では、回路内の信号の伝搬が論理演算のみによって決定されるため簡単に定義可能であるが、アナログ回路においてはより複雑かつ大量の回路解析 (回路シミュレーション、等) が必要となる。例えば、図 2 に示すような差動増幅器の回路において、故障を活性化し、それを観測できるかについて、計算機によるシミュレーションを行う。またそのような「可制御性」と「可観測性」を有するような入力スティムラスを探索する手法について検討を行い、アナログ回路の自動テスト入力生成等のテスト容易化手法の確立を目指す。

(2) オンチップでアナログ回路を高精度にテストする時に必須となる、オンチップでの信号サンプラ技術について検討を行う。その際に、サンプラ回路はデジタル回路から容易にアクセスで、かつ、回路面積のオ

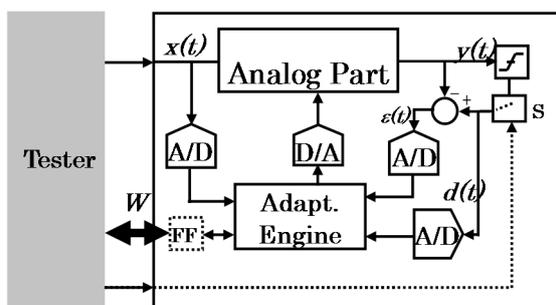


図 1. デジタルアシスト適応型イコライザの概念図とテストセットアップ

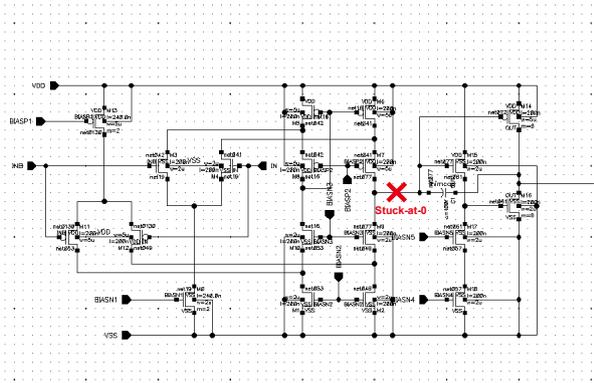


図 2. 差動増幅器の回路における故障挿入の例。ここでは、0 縮退故障を挿入している。

オーバーヘッドが十分に小さくなるように留意する。アナログ-デジタル変換および時間-デジタル変換のための信号サンプラ回路について、複数のコンパレータあるいはアービタを同時に動作させ、それら複数の出力を確率的に扱う「確率的サンプラ」の性能向上の検討を行い、アナログ回路を高精度にテストする際に有効であるかどうかの検討を行う。サンプラ回路は、実際に CMOS65nm テクノロジーのプロセスを用いて回路試作を行い、回路シミュレーションによる評価だけでなく、実測での評価についても実施する。

4. 研究成果

(1) 図 2 に示した差動増幅回路などのいくつかのアナログ回路モジュールに対して、入力ステイミュラスとそれに対する出力の伝達特性について、SPICE 回路シミュレーションによる解析と評価を行なった。その際に、可制御性、可観測性を向上させるためのテストポイント挿入によるテスト対象回路への影響を小さくするために、DC ステイミュラスを利用することを前提とした。また、本研究では抵抗性の縮退故障のみを扱うこととしたが、ブリッジ故障、オープン故障などデジタル回路での故障モデルと同様のモデルに拡張することは容易であると考えられる。SPICE シミュレーションによる実験により、実験に用いたアナログ回路については、故障を注入した回路としていない元の回路とで異なるデジタル出力を得ることができるような DC ステイミュラスを探索することができることを示すことができた。今回用いた手法では、網羅的に線形探索する手法、および 2 進探索によって探索する手法を用いて DC ステイミュラスを求めたが、入力信号の信号数が増大した場合には、より効率的な探索アルゴリズムが必要となる。今後、遺伝的アルゴリズムやシミュレーテッドアニーリングなどの発見的手法を用いることで、より大規模なアナログ回路に対しても有効性を示せると考えられる。本

研究の成果により、アナログ回路にデジタル回路向けのアイデア(ストラクチャルテスト)を活用する手法の妥当性を示すことができ、今後のシステム LSI の製造テストの効率化、低コスト化、高速化、に資することができる。と考える。

(2) オンチップでアナログ回路を高精度にテストする時に必須となる、オンチップでの信号サンプラ技術について検討を行った。信号サンプラ回路については、複数のコンパレータあるいはアービタを同時に動作させ、それら複数の出力を確率的に扱う「確率的サンプラ」を利用し、アナログ-デジタル変換および時間-デジタル変換として利用することで、オンチップ信号をデジタル信号として取り出す環境を実現した。本手法の評価を行うために、CMOS65nm テクノロジーを用いた確率的サンプラを設計・試作を行った。試作チップの測定・評価には、図 3 に示すような測定環境で実験を行った。図 4 に提案した確率的サンプラを用いて正弦波波形をオンチップでデジタル値化した結果を示す。今回は、63 個のクロックコンパレータを用いて確率的サンプラを構成したが、コンパレータの数によって測定分解能を設定できるが、コンパレータ数を大きくすると回路面積も大きくなるため、必要とされ分解能と回路面積との

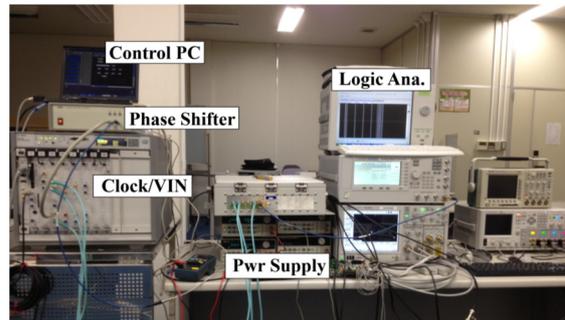


図 3. オンチップサンプラ回路の実験セットアップ

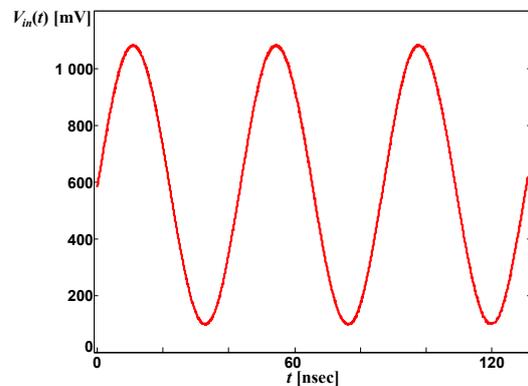


図 4. 提案したオンチップサンプラによって正弦波波形をオンチップで観測した結果

トレードオフを考慮する必要性が存在する。提案したオンチップサンプラ回路は出力をデジタル回路で容易に扱うことが可能なため、本研究で提案しているデジタル回路を介したアナログ回路の高精度なストラクチャルテストに有効であると言える。また、確率的サンプラは、非常に高分解能でのアナログ-デジタル変換および時間-デジタル変換を行うことが可能なため、測定装置などの非常に精度の高い電圧計測、時間計測が必要とされるアプリケーションへの応用も可能であり、今後有望な技術であると言える。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計0件)

[学会発表] (計3件)

- ① James Tandon, Takahiro Yamaguchi, Satoshi Komatsu, Kunihiro Asada, "A Subsampling Stochastic Coarse-Fine ADC with SNR 55.3dB and >5.8 TS/s Effective Sample Rate for an on-Chip Signal Analyzer," IEEE International Symposium on Circuits and Systems 2014, June 2nd, 2014, Melbourne, Australia.
- ② James S. Tandon, Takahiro J. Yamaguchi, Satoshi Komatsu, and Kunihiro Asada, "A Stochastic Sampling Time-to-Digital Converter with Tunable 180-770fs Resolution, INL less than 0.6LSB, and Selectable Dynamic Range Offset," IEEE Custom Integrated Circuits Conference (CICC), September 11th, 2013, San Jose, CA, USA.
- ③ S. Komatsu, "On-chip Measurement / Monitor Circuits Based-on Stochastic Approach," 2013 International Test Conference (Elevator Talk), September 10th, 2013, Anaheim, CA, USA.

[図書] (計0件)

[産業財産権]

○出願状況 (計0件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

○取得状況 (計0件)

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

[その他]
ホームページ等
なし

6. 研究組織

(1) 研究代表者

小松 聡 (KOMATSU, Satoshi)
東京大学・大規模集積システム設計教育研究センター・特任准教授
研究者番号：90334325