

## 科学研究費助成事業 研究成果報告書

平成 26 年 6 月 20 日現在

機関番号：13501

研究種目：若手研究(B)

研究期間：2012～2013

課題番号：24700049

研究課題名(和文) ディザ信号を応用する事で無線LANチップの受信回路部を安価に実装可能にする技術

研究課題名(英文) A Novel Design Technique for Wireless LAN Receiver Systems utilizing Dithering Signals

研究代表者

兼本 大輔 (KANEMOTO, Daisuke)

山梨大学・医学工学総合研究部・助教

研究者番号：90603332

交付決定額(研究期間全体)：(直接経費) 3,400,000円、(間接経費) 1,020,000円

研究成果の概要(和文)：本研究の目的は、無線通信チップの受信回路部を低コストで実装する手法の開発にある。具体的には、シングルキャリア位相変調方式を想定する事で、LSIの受信部分を構成しているVGAと高分解能A/D変換器の組み合わせを不要にし、占有面積が非常に小さい「1bit分解能A/D変換器」のみでシステムを構成する方法の検討を行った。1bit分解能A/D変換器に対応した等化器を活用する事で、A/D変換器の面積を0.007平方ミリメートルに抑えたハードウェアを構成し、実機検証を行った。また、提案技術を応用する事で、小面積を実現しながら約7dB程度のSNR改善を実現した。

研究成果の概要(英文)：We have investigated low cost implementation design technique for wireless communication LSIs. We are interested in a single carrier phase modulation (constant envelope modulation) system in order to eliminate a variable-gain amplifier and a high resolution A/D converter. We proposed a new low cost implementation technique which uses the one bit resolution A/D converter. By utilizing the customized equalizer for the one bit resolution A/D converter, the size of the A/D converter can be reduced to 0.007mm<sup>2</sup>. The proposed techniques can improve SNR approximately 7dB with small die size.

研究分野：総合領域

科研費の分科・細目：情報学，計算機システム・ネットワーク

キーワード：LSI 無線 1bit 分解能 A/D ディザ

## 1. 研究開始当初の背景

近年、スマートフォンの台頭により、3G・4G 回線を利用した通信量が急速に増大している。その結果、「負荷がかかりすぎる事で携帯電話網が今後オーバーフローを起こす可能性がある」と指摘され始めている。そこで、無線 LAN を積極的に利用し通信回線の負荷を抑える「トラフィックオフロード技術」に注目が集まっている。以上の背景により、国内外の無線 LAN 基地局の設置台数が急増することが予想出来る為、無線 LAN 基地局の需要増大に応える上で、無線 LAN に用いる LSI の実装を低廉な価格で実現可能な技術が重要になると研究代表者は考えた。

無線受信機は Low-Noise Amplifier (LNA) 等の RF 回路ブロックと Variable-Gain Amplifier (VGA) や高分解能 A/D 変換器から成る後段回路ブロック等から構成されている。そこで研究代表者は、シングルキャリア変調方式を採用し、後段回路部の VGA および高分解能 A/D 変換器を不要にすることで、受信回路部の低コスト化を実現する方法に着目し、研究を開始した。

## 2. 研究の目的

本研究課題では、以下の3点について検討を行った。

### (1) IF サンプリング 1bit 分解能変換方式の検討

研究代表者は、シングルキャリア変調(定包絡線変調)方式を通信手段として用いる事で、アナログハードウェアの小型化を狙っている。通常無線通信システムにおける受信機の構成は、主に「ダイレクトコンバージョン方式」もしくは「IF サンプリング方式」に大別できる。ここではそれぞれの方式に関して、アナログハードウェアの観点からまとめ、研究代表者が研究の対象としているシングルキャリア位相変調方式に適した、「IF 帯でサンプリングを行う 1bit A/D 変換器による受信方式」の実機検証を通して、その有効性の確認を目指した。

### (2) ディザ信号を用いた 1bit 分解能 A/D 変換器の検討

通常の高分解能 A/D 変換器と異なり、低分解能 A/D 変換器を用いると、量子化雑音の増加だけではなく、非線形性により歪が発生する事が問題としてあげられる。そこで研究代表者は、デルタシグマ変調器に用いられる低分解能量子化器の非線形性を抑える為に、ディザ信号が広く使われていることに着目した。本研究において、ディザ信号を用いた 1bit 分解能 A/D 変換器回路の提案を行い、更にもっとも性能が向上するディザ信号混入量を明らかにした。次に実際に 0.18  $\mu\text{m}$  CMOS プロセスを用いて回路設計を実施し、実際に用いるチップの省面積化および線形性の改善を目指した。

### (3) 更なる 1bit 分解能 A/D 変換器の線形性向上に関する研究

研究代表者は、ディザ信号混入による線形性の改善の他に、回路上の工夫を行う事で回路規模の増加を抑えつつも、線形性を改善する新たな方法の解明を目指した。これは 1bit 分解能 A/D 変換器を用いた無線機受信システムの改良を意味する。

## 3. 研究の方法

本研究は研究代表者が主となり研究の全般を実施した。

### 平成 24 年度

シングルキャリア変調方式を通信手段とした無線機の可能性を、実機を用いて検証した。図 1 は研究代表者が検討を行った IF サンプリング 1bit 分解能変換方式である。

本方式では、振幅調整用の VGA が不要になる。また、一般的なコンパレータ単体を 1bit 分解能 A/D 変換器として利用することで、面積を大幅に抑える事が可能になる。しかし、A/D 変換器の低分解能は通信品質の劣化を引き起こす。そこで、後段の等化器を用いて積極的に補正を行う無線通信システムの検討を行った。本研究では、等化方法として「修正 MLSE (Viterbi) 等化」を利用した。実際に 1bit 分解能 A/D 変換器周辺を 0.18  $\mu\text{m}$  CMOS プロセスを用いて作成し、研究代表者が検討している IF サンプリング 1bit 分解能変換方式に関して実機測定を行った。

次にディザ信号を用いた新たな 1bit 分解能 A/D 変換器の検討を行う。通常の 1bit 分解能 A/D 変換器には信号加算機能を有していない。そこで研究代表者はディザ信号加算機能を有する回路システムの実現(図 2)を目指し、その機能を実現する回路トポロジーの提案・設計を行った。また、ディザ信号は M 系列信号生成回路を基に実装を行った。さらに、最適な混入ディザ量を導き出すために、設計した回路データを基に、数学モデルの再検討を実施し、次年度の実施研究に繋げた。

### 平成 25 年度

本年度は、前年度に明らかにしたディザ加算機能を有する A/D 変換器の改良を行った。また 0.18  $\mu\text{m}$  CMOS プロセスを用いて設計し、レイアウトを通して、線形性の改善と省面積実装との両立に関して確認を行った。線形性の改善に関して、2 トーンテストを用いて評価し、提案技術の有効性を明らかにした。また、その結果を基に、更なる省面積かつ線形性の改善が得られる新たなアイデアの提案・検証を実施した。これらの技術を用いて、無線受信システムを構築することを前提に検討し、その有効性を確かめた。

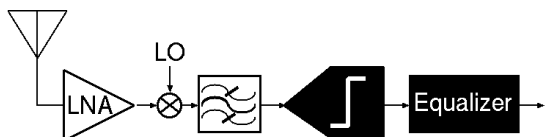


図1 IF サンプリグ 1bit 分解能変換方式

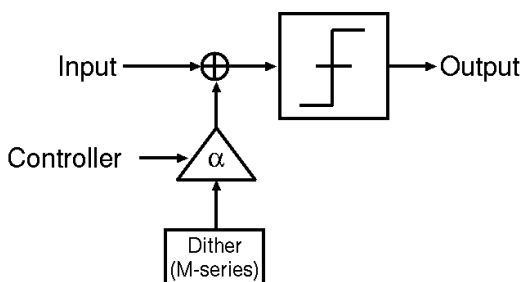


図2 ディザ信号加算機能を有した 1bit 分解能 A/D 変換器

#### 4. 研究成果

以下に、実際に作成したデバイスや得られた成果に関して説明を行う。図3はIF サンプリグ 1bit 分解能 A/D 変換器を検証するために研究代表者が作成した実機を示している。測定には実際の伝搬路を模擬した信号を生成し、任意波形発生器を用いてアナログ入力信号として用いた。また信号帯域を 10MHz とし、15MHz を中心周波数として測定した。

図4は実際の測定結果であり、縦軸に BER(Bit Error Rate), 横軸に  $E_b/N_0$  を表している。量子化雑音の推定を実施しない場合は、SNR の向上とは関係なく BER が一定になっていることが分かる。本研究にて、1bit 分解能 A/D 変換器の量子化雑音と符号間干渉を同時に推定する最尤系列推定 (MLSE) 等化手法を提案しており、その手法を用いた場合、BER を大幅に解決出来る事が分かった。これより、1bit 分解能 A/D 変換器と等化器を組み合わせる事で、BER の改善が見られ、低分解能から発生する問題解決への可能性を示すことが出来た。

研究代表者は、さらなる通信路改善のためにディザ信号を用いた回路構成を提案した。まず、ディザ信号混入量の最適値を解明し、その回路を LSI として実現した。図5はディザ機能を有した 1bit 分解能 A/D 変換器である。実設計には  $0.18\mu\text{m}$  CMOS プロセスを用いた。図中「Digital Circuit」と標記した部分がディザ信号を生成している回路ブロックとなる。M 系列生成回路のタップ数を 15 とし、8 並列の回路構成となっている。ディザ信号生成回路がやや大きな面積を占めているが、本回路はデジタル回路であるため、

微細加工プロセスを利用すればスケーリング可能である。また、線形性を確認する為に 2 トーンテストを実施した結果を図6に示す。赤の点線が従来の 1bit 分解能 A/D 変換器の 2 トーンテストの結果であり、相互変調歪が大きい事が分かる。また青の実線で示した結果はディザ信号を混入し A/D 変換を行った結果である。本結果より、相互変調歪が抑えられ、性能が改善していることが分かる。これにより、デジタル回路のみの追加で 1bit 分解能 A/D 変換器の特性改善を証明する事が出来たと言える。

今までの研究で得られた成果を基に、更なる性能改良・実装コストの削減をめざし、研究を進めた。そこで、研究代表者は相互変調歪の発生プロセスを解析する事で、その対策を検討し新たな方法を考案した。具体的には「ヒステリシス」効果を有効に活用する事で、出力ビットストリームの周期性を意図的に崩し、歪劣化量を抑える方法である。図7はその結果である。本検証の結果、小面積構成を実現しながら約 7dB 程度の SNR 改善が期待できることがわかり、無線 LAN チップの小型化実現へ更に貢献する事が出来た。

本研究成果は、国際会議 IEEE Symposium on Low-Power and High-Speed Chips 2014 にて Best Poster Award を受賞するなど、高い評価を受けている。また現在は、以上の成果を論文として公表する為の準備を進めている。

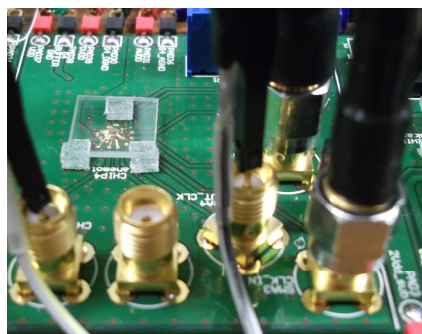


図3 検証に用いた 1bit 分解能 A/D 変換システム測定写真

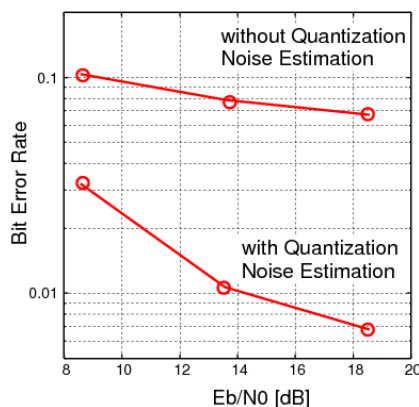


図4 実機による測定結果 (等化器の有無)

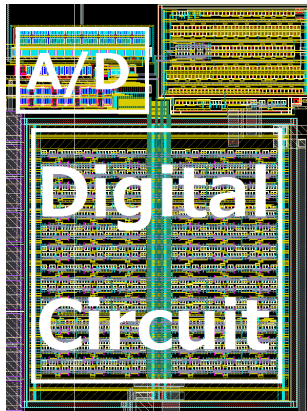


図5 ディザ信号を活用した A/D 変換器

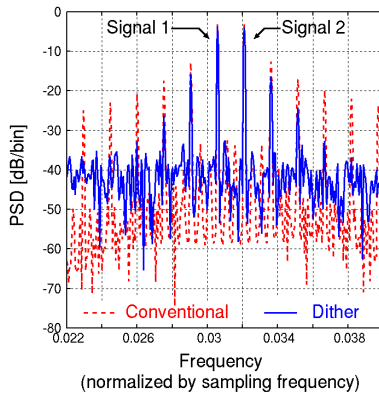


図6 ディザ信号を付加した結果

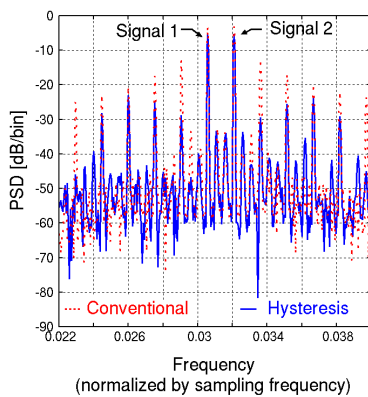


図7 ヒステリシス効果を用いた A/D 変換結果

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔学会発表〕(計 8 件)

兼本大輔, 牟田修, 古川浩, 金谷晴一, 大木真, IF サンプリング 1bit A/D 変換方式を採用した無線受信機の構成検討と試作による評価, 第 27 回 回路とシステムワークショップ, 査読有, 兵庫県, 2014 年 8 月 4 日, 印刷中

Daisuke Kanemoto, Osamu Muta, Hiroshi Furukawa, Takahide Sato, and Makoto Ohki, The 18th IEEE International Symposium on Consumer Electronics, 査読有, 2014 年 6 月 24 日, Jeju, 印刷中

Osamu Muta, IEICE Information and Communication Technology Forum 2014, 招待講演, Poznan, 2014 年 5 月 28 日

Daisuke Kanemoto, Osamu Muta, Hiroshi Furukawa, Takahide Sato, and Makoto Ohki, A Novel Idea of One Bit Resolution ADC for Small Analog Hardware Wireless Receivers, IEEE Symposium on Low-Power and High-Speed Chips COOL Chips XVII, 査読有, 2014 年 4 月, 14 日, 神奈川県, P-11 **【Best Poster Award 受賞】**

兼本大輔, 牟田修, 古川浩, 佐藤隆英, 大木真, 1bit 分解能 A/D 変換器を用いた無線機の検討, 電気学会 電子回路研究会, 査読無, 神奈川県, 2014 年 3 月 6 日

兼本大輔, 牟田修, 福永龍太, 古川浩, 金谷晴一, 吉田啓二, 定包絡線変調受信機のための 1bit 量子化 A/D 変換器の構成と性能評価, 無線通信システム研究会, 査読無, 2013 年 4 月 18 日, 沖縄県. pp.119-124

牟田修, 兼本大輔, 福永龍太, 古川浩, 1bit ADC を用いる無線シングルキャリア位相変調システムの伝送特性評価, 通信方式研究会, 査読無, 2013 年 3 月 7 日, 山形県, pp.229-233

兼本大輔, 牟田修, 古川浩, 金谷晴一, 吉田啓二, 無線シングルキャリア位相変調信号に適した 1bit A/D 変換器の構成と性能評価, 通信方式研究会, 査読無, 山形県, 2013 年 3 月 7 日, pp.223-227

〔産業財産権〕

出願状況(計 1 件)

名称: 量子化雑音の影響下の定包絡線変調システムにおける非線形等化技術

発明者: 牟田修, 古川浩,

兼本大輔, 小寺康平

権利者: 牟田修, 古川浩,

兼本大輔, 小寺康平

種類: 特許

番号: 特願 2012-187912

出願年月日: 2012 年 8 月 28 日

国内外の別: 国内

〔その他〕

ホームページ等

<http://www.sp.es.yamanashi.ac.jp/~kanemoto/>

6. 研究組織

(1) 研究代表者

兼本大輔 (KANEMOTO, Daisuke)

山梨大学・医学工学総合研究部・

助教

研究者番号：90603332