

## 科学研究費助成事業 研究成果報告書

平成 27 年 6 月 22 日現在

機関番号：21602

研究種目：若手研究(B)

研究期間：2012～2014

課題番号：24700051

研究課題名(和文)同期式回路から低消費電力な非同期式回路への変換に関する研究

研究課題名(英文)Transformation from Synchronous Circuits to Low Power Asynchronous Circuits

研究代表者

齋藤 寛 (Saito, Hiroshi)

会津大学・コンピュータ理工学部・准教授

研究者番号：50361671

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：本研究では、SystemCによるアプリケーションの動作記述、クロックサイクルタイムなどの設計制約、リソースライブラリより、商用の動作合成ツールが生成した同期式回路の構造モデルより、設計制約を維持したまま低消費電力な束データ方式による非同期式回路の構造モデルを実現するための変換手法とそれを支援する設計支援ツールの開発を行った。開発したツールは、非同期式回路の構造モデルだけでなく、構造モデルから最終的なレイアウト設計までを容易にするために、下位設計合成のための設計制約などを記したスクリプトも生成する。開発したツールを用いることで、非同期式回路の設計が容易となる。

研究成果の概要(英文)：In this research, we proposed a transformation method from structural models of synchronous circuits to the ones of asynchronous circuits with bundled-data implementation. We used a commercial behavioral synthesis tool to generate structural models of synchronous circuits from an application specified by SystemC, a set of resource constraints such as clock cycle time, and a resource library. We developed a tool which is based on the proposed method. As the developed tool generates not only a structural model of a synchronous circuit but also a script used for low level synthesis tools, the design of asynchronous circuits becomes easy using the developed tool.

研究分野：情報学

キーワード：非同期式回路 動作合成 低消費電力化

### 1. 研究開始当初の背景

非同期式回路はこれまでに、低消費電力要求が高いマイクロプロセッサなどへの応用が考えられてきた。また、国際半導体技術ロードマップ(ITRS)2009 の設計では、将来回路部品間の通信部分において非同期式回路の応用を予期している。しかしながら、同期式回路と比べ非同期式回路の設計は一般的に困難である。まず、仕様がない予期せぬ信号遷移(ハザード)がない回路が要求される。ハザードが伝搬されてしまうと回路が誤動作を起こす恐れがあるからである。同期式回路の場合、次のクロックサイクルまでに正しい値が得られればハザードが起こっても問題にはならない。次に、回路設計の際、遅延モデル、データエンコーディング、制御プロトコルを決める必要があるが、選択に応じて使うべき設計手法が異なり、設計制約も異なる。ITRS2009 設計でも述べているように、非同期式回路が今後実用化に進んでいくためには、設計支援環境の整備、特に商用ツールによるサポートが重要となるが、実際のところ Synopsys 社や Cadence 社といった EDA ベンダにそのような動きは見られない。

一方、近年のデジタル集積回路は微細化技術の進歩に伴い、1 チップ当たり数億トランジスタを集積することができるようになってきた。その結果、1 つのチップにコンピュータシステムを実現したシステムオンチップが実現できるようになってきた。実際、プロセッサコアを複数搭載したマルチコアシステムなどが今後の主流となりつつある。しかしながら、ITRS2009 設計も示すように、設計技術が集積技術に追いつかず、そのギャップは年々広がりつつある。こうした問題を解決する手段として、設計抽象度の引き上げと設計資産(IP)の再利用があげられる。近年では SystemC といったシステム記述言語でシステムを部品毎に表現し、それらの通信をトランザクション(データの読み書き)で表現したトランザクションレベルモデリング(TLM)が定着しつつある。また、TLM モデルから、与えられた設計制約やリソースライブラリの下、回路の構造記述を自動で変換する動作合成ツールも実用化にいたってきた。

非同期式回路のコミュニティにおいても、近年では動作合成に関する研究が多くなってきた。それらは、非同期式回路の性質を考慮した上で動作合成を行うもの、同期式回路で用いられている動作合成手法で構造記述を生成した後、非同期化を行うものにわけることができる。前者は、後者よりレイテンシなどの面で優位性を出すことができる(同期式回路の場合、演算の開始はクロックサイクルに制限されるが、非同期式回路では直前の演算の終了の後開始することができるので、レイテンシのよい回路を得ることができる)。しかしながらそれらの中で、実用レベルで使われているものはない。その理由として、非同期式回路に独自の仕様記述を用いている、

データフローだけに限定されている、下位合成ツールとの連携が取れていない、ツール化されていないといった問題があげられる。実際のところ、設計のギャップが広がるばかりで、なおかつ市場投入までの時間が限られているような状況で、新たな仕様記述の理解や下位合成ツールとの連携を手で行うといったことをすることは現実的にも不可能である。

### 2. 研究の目的

本研究では、SystemC によるアプリケーションの動作記述、クロックサイクルタイムなどの設計制約、リソースライブラリより、商用の動作合成ツールが生成した同期式回路の構造モデルより、設計制約を維持したまま低消費電力な束データ方式による非同期式回路の構造モデルを実現するための変換手法とそれを支援する設計支援ツールの開発を行う。また、開発するツールは、下位設計を容易にするために、下位設計合成のための設計制約などを記したスクリプトを生成する。以上を通じて、非同期式回路の実用化を支援する。

### 3. 研究の方法

本研究では、クロック信号により回路全体を制御する同期式回路から、低消費電力な非同期式回路へ変換するための手法を提案し、その手法をベースとした設計ツールを開発する。まず、SystemC によるアプリケーションの動作モデルと設計制約、リソースライブラリを入力に、同期式回路の構造モデルを Cadence 社の C-to-Silicon コンパイラ(CtoS)で動作合成する。動作合成の最中に生成された演算のスケジューリング、リソースのアロケーション、制御回路の合成の情報をもとに、設計制約(レイテンシ、スループット、サイクル数、リソース数など)を維持したまま、制御回路を束データ方式による非同期式制御回路に置き換える。また、遅延を制御することによる低消費電力化手法も導入する。同期式回路における各サイクルは、クロック信号による制御のため同一時間を想定している。一方、非同期式回路では各サイクルはそれぞれ独立した時間で制御することが可能である。そのため、レイテンシ(入力から出力までの時間)制約の下、各演算の実行時間における余裕を求め、余裕のある演算には低速リソースを割り当てることで回路全体の低消費電力化を実現する。最後に、下位設計を支援するための設計制約などを記したスクリプトを生成する。

### 4. 研究成果

平成 24 年度は、提案手法の検討と非同期化の実装を中心に研究を行った。提案手法は、SystemC によるアプリケーションの動作モデルと設計制約、リソースライブラリを入力に、同期式回路の構造モデルを Cadence 社の

C-to-Silicon コンパイラ(CtoS)で動作合成する。動作合成の最中に生成された演算のスケジューリング、リソースのアロケーション、制御回路の合成の情報を基に、設計制約(レイテンシ、スループット、サイクル数、リソース数など)を維持したまま、制御回路を束データ方式による非同期式制御回路に置き換える。最後に、置き換えられた非同期式回路の構造モデルを Verilog HDL で生成する。同様に、生成された構造モデルから最終的なレイアウト設計を生成する下位設計ツール群が扱える設計制約などを記したスクリプトを生成する。以上の提案手法を、Java 言語と開発環境 Eclipse を用いて実装し、プロトタイプツールの開発を行った。

平成 25 年度は、合成された回路の動作検証、実装したツールの評価、下位設計との連携、および Electronic Design Solution Fair (EDSF)での研究展示を行った。まず、楕円フィルタの SystemC モデルから生成された同期式回路の構造モデルを前年度に開発したプロトタイプツールに入れ、非同期式回路に変換した。変換後に得られた非同期式回路の構造モデルに対して、商用の論理合成ツール、レイアウト合成ツール、静的タイミング解析ツール、および過去に開発した束データ方式による非同期式回路の設計支援ツール群を用いてレイアウト設計までを行った。合成された回路の機能検証のために、SystemC モデルに対して任意のテスト入力を与えシミュレーションを行い、期待値を生成した。次に、非同期式回路のレイアウト設計に対して同じテスト入力を与え、シミュレーションを行った結果、期待値に一致していることを確認した。タイミング検証に関しては、レイアウト設計に対して束データ方式による非同期式回路に特有なタイミング制約の検証を行ったうえで、タイミング違反がないことを確認した。検証後に、レイアウト設計後の同期式回路と非同期式回路の比較評価を行った。結果、非同期式回路は同期式回路と性能でありながら、図 1 に示す通り、4%の面積削減、22%の消費エネルギーの削減を確認した。同

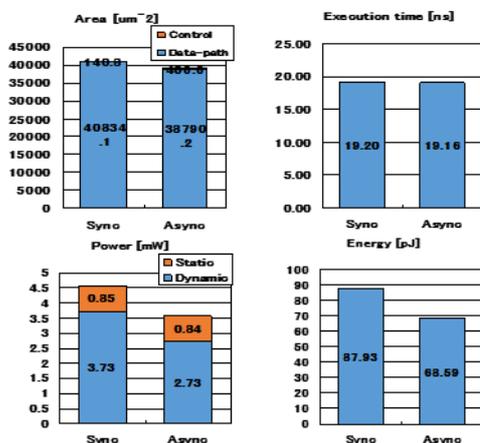


図 1 楕円フィルタの合成結果

期式回路は Sync、非同期式回路は Async である。EDSF では、本研究を展示し、来場者からの本研究に対する意見を頂いた。頂いた意見を集約した上で、提案手法が扱える SystemC モデルと制約の範囲の見直しを行った。

平成 26 年度は、前年度の最後に行った提案手法が扱える SystemC モデルと制約の範囲の見直しを基に、プロトタイプツールの改良を行った。図 2 は、改良後のツールフローを表す。改良前までは、順次実行しか扱えな

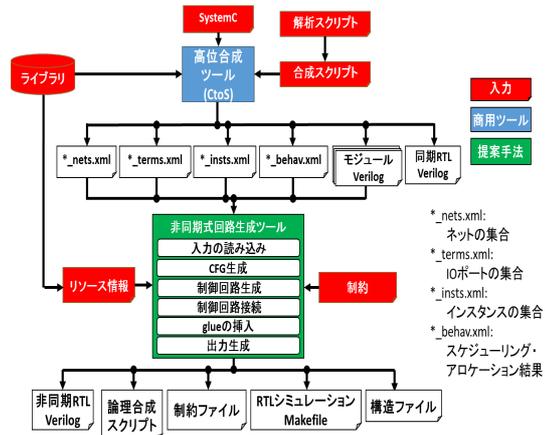


図 2 ツールフロー

ったが、繰り返しと関数呼び出し、パイプラインも扱えるようになった。図 3 は、CtoS が持つ状態遷移図から生成された非同期式制御回路を表す。プロトタイプツールの改良後、

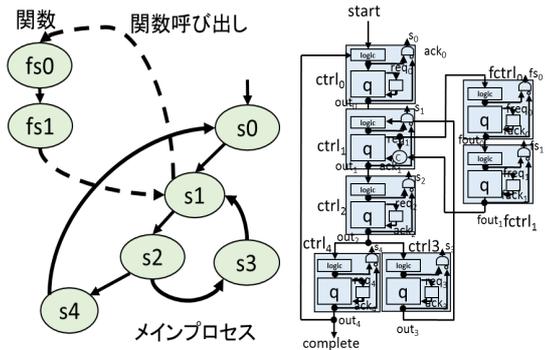


図 3 状態遷移図から生成された非同期式制御回路

回路規模の異なる 4 つの SystemC アプリケーションを対象に、CtoS とプロトタイプツールを用いて非同期式回路を生成した。生成後、シミュレーションによる動作確認と回路面積や性能の評価を行った。このほかに、処理時間を制御することによる低消費電力化手法を提案した。提案した低消費電力化手法は、合成から得られたパス遅延や時間制約を基に、時間制約に対する各演算の開始時間の余裕を計算する。次に、電力消費の大きい演算に対して優先的にこの余裕を再割り当てすることによって、各演算の処理時間を遅くし、回路全体の電力を削減する。再割り当てが行われた演算の遅延は、最大遅延制約として各種合成ツールで用いることができる。低消費

電力化手法のプロトタイプツールの開発と Field Programmable Gate Array による予備実験を行い、提案手法による電力削減効果が高いことを確認した。今後は、提案手法によって変換された非同期式回路と合わせて用いることで、評価を行う。

#### 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 1 件)

M. Iizuka, N. Hamada, H. Saito, An ASIC Design Support Tool Set for Non-pipelined Asynchronous Circuits with Bundled-data Implementation, IEICE Transactions on Electronics, 査読有, Vol.E96-C, 2013, pp.482--491

[学会発表](計 7 件)

K. Takizawa, S. Hosaka, H. Saito, A design support tool set for asynchronous circuits with bundled-data implementation on FPGAs, International Conference on Field Programmable Logic and Applications, Sept.2-4, 2014, Munich, Germany

#### 6. 研究組織

(1)研究代表者

齋藤 寛 (SAITO, Hiroshi )

会津大学・コンピュータ理工学部・上級准教授

研究者番号：50361671