

**科学研究費助成事業 研究成果報告書**

平成 27 年 6 月 15 日現在

機関番号：32689

研究種目：若手研究(B)

研究期間：2012～2014

課題番号：24700055

研究課題名(和文)ヘテロジニアスマルチコアプロセッサと自動並列化コンパイラの協調による低消費電力化

研究課題名(英文)A Power/Energy Reduction Scheme with the Cooperation between a Heterogeneous Multicore Processor and a Parallelizing Compilation Technique

研究代表者

和田 康孝 (WADA, Yasutaka)

早稲田大学・理工学術院・助教

研究者番号：40434310

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：並列化コンパイラ技術とヘテロジニアスメニーコアを協調させることにより、コンピュータシステムの消費エネルギーを削減する手法を実現した。複数種類のプロセッサコアが多数集積されるヘテロジニアスメニーコアにおいては、アプリケーション内の処理の依存関係と、チップ上の各プロセッサコアの特性を考慮してタスクの割り当て・DVFSやパワーゲーティングの適用を行う必要がある。このように複雑な環境に対し、短時間で適切なタスクスケジューリング結果を与える手法を開発した。アーキテクチャとタスクスケジューリング手法の連携により、従来手法よりも大幅な消費エネルギー削減が可能となることを示した。

研究成果の概要(英文)：I developed a power/energy reduction scheme realized by the cooperation between a heterogeneous manycore processor and a parallelizing compilation technique. On a heterogeneous manycore processor, which integrates multiple number/types of processor cores on a chip, it is required to schedule tasks in an parallel application to the cores on a chip considering dependencies among the tasks, characteristics of the cores, and timings to apply DVFS and Power Gating. In this research, an energy efficient task scheduling method for a parallelizing compiler was developed, and it realizes large energy reduction under the cooperation with a heterogeneous manycore architecture.

研究分野：計算機工学

キーワード：低消費電力化 タスクスケジューリング 自動並列化 ヘテロジニアスコンピューティング メニーコア  
マルチコア

## 1. 研究開始当初の背景

「グリーンコンピューティング」という語に代表されるように、今日ではあらゆるコンピュータシステムにおいて、処理性能の向上と消費電力の低減を同時に求められるようになっており、その要求は日増しに高まっている。また、このような要求に応えうるものとして、比較的低い動作周波数のプロセッサコアを1チップ上に複数搭載したマルチコアプロセッサも広く普及しており、さらに多数のコアを搭載するメニーコア、複数種類のコアを持つヘテロジニアスマルチコアへと研究開発が進められている。

しかしながら、複数のプロセッサコアを有効に活用する並列プログラムの開発には、深い専門知識と長い開発期間を要するという問題がある。これに対し、申請者らは従来から、逐次プログラムを自動的に並列プログラムに変換する自動並列化コンパイラに関して研究開発を行っており、各種のサーバやPC、組み込みプロセッサ上で高い実効性能を短時間で得る事を可能とした。また同時に、この並列化コンパイラによって実現される並列処理手法・最適化手法と協調し、高い実効性能を実現可能なマルチコアアーキテクチャに関する研究と提案も行っている。

さらには、これらの技術を組み合わせ、同一のコアを複数集積するホモジニアスマルチコアプロセッサを対象とした低消費電力化手法を提案・実現した。実際に開発したチップ上で、チップ上の各プロセッサコアに対して DVFS (Dynamic Voltage Frequency Scaling) やクロック停止、電力供給停止などを適用する事で 70[%]~80[%] (リアルタイム実行時) という大幅な消費電力削減を実現している。

研究代表者らは、これらの技術をヘテロジニアスマルチコアプロセッサに拡張・適用し、より高い実効性能をより小さい消費電力で実現可能なコンピュータシステムの構築に関する研究を進めており、チップ上のアクセラレータコアと汎用プロセッサコアの両方を有効活用する事で、コア数以上の性能向上を実現した。

## 2. 研究の目的

本研究課題では、1チップ上に複数個・複数種類の異なるプロセッサコアを集積したヘテロジニアスマルチコアプロセッサ環境において、アプリケーション実行時のプロセッサの消費電力を削減する並列化コンパイラ手法、より効率よく消費電力を削減可能なマルチコアプロセッサの構成について検討・開発・評価を行う。コンパイラ技術とマルチコア/メニーコアアーキテクチャの連携により、高い実効性能と低消費電力を両立するコンピュータシステムの構築を目指す。

本研究では、複数・複数種類のプロセッサコアを搭載したヘテロジニアスマルチコア

に対して、高い実効性能を保ちつつ、消費電力を最小化する事のできる並列化コンパイラ手法を開発するとともに、この手法をより有効に適用可能なヘテロジニアスマルチコアのアーキテクチャに関する評価を行う。

ヘテロジニアスマルチコアでは、コア毎に特性 (動作周波数、消費電力、DVFS やクロック停止などの機能の有無など) がそれぞれ異なるため、アプリケーションの並列化やプロセッサの低消費電力機構の利用は大変困難なものとなる。本研究によってこの困難さを大きく低減する事を可能とする。

## 3. 研究の方法

(1) 将来のマルチコア・メニーコア環境における低消費電力化機能に関する検討:

並列化コンパイラ技術とマルチコア・メニーコア環境を協調させて低消費電力化を実現するためには、どのようなマルチコア/メニーコアアーキテクチャを想定するかが問題となる。

半導体の低消費電力化効果は、パワーゲーティングや DVFS といった、ソフトウェアから制御可能な機能のほか、半導体の実装技術そのものにも大きく依存する。また、ソフトウェアからこれらの機能を利用する際のオーバーヘッド等も問題となる。これらの要件と研究動向を考慮して、対象となるヘテロジニアスマルチコア/メニーコア環境について検討を行う。

(2) ホモジニアスメニーコアを用いた手法の検討と評価環境の構築:

3.(1)での検討結果を基に、まずは同一のプロセッサコアのみから成るホモジニアスメニーコアを想定した低消費電力化コンパイラ手法の検討と、シミュレーションによる評価環境の実装を行う。

低消費電力化機能を備えた並列化コンパイラにおいては、アプリケーション内の各処理をどのように各々のコアに割り当てる (スケジューリングする) かが特に重要となるため、このタスクスケジューリング手法・アルゴリズムに注目して低消費電力化手法の開発を進める。

(3) ヘテロジニアスメニーコア環境への適用と低消費電力化手法の改善:

3.(2)で開発したホモジニアスメニーコア向けの低消費電力化手法とシミュレーション環境を拡張し、ヘテロジニアスメニーコア向けの低消費電力化手法を実現する。また、シミュレーションによる評価データを参考に、手法の改善を行う。

## 4. 研究成果

(1) メニーコアにおける DVFS・パワーゲーティングの適用に関する検討:

半導体実装技術の動向を踏まえ、どのよう

な低消費電力化機能を持つヘテロジニアスメニーコアが今後主流となりうるかについて検討を行った。

現在主流となっている4コア～8コア程度集積のマルチコアプロセッサであれば、チップ上の各プロセッサコア単位で動作周波数と電圧を個別に変更することが可能である。しかしながら、数十～数百コア以上のコアを1チップ上に集積するメニーコアプロセッサの実現を考えると、電圧レギュレータをチップ上に実装することの難しさ、コスト、および電圧制御時の損失の大きさなどから、コア単位での電圧制御機構の実装は難しくなるものと考えられる。一方、動作周波数の制御は比較的容易であり、コア単位でこれを行うことが将来的にも可能であると予想される。

以上から本研究では、動作周波数の制御はコア単位で適用可能であるが、電圧制御の単位が複数コア単位となるメニーコアプロセッサ環境を対象として低消費電力化手法の検討を進めることとした。

また、代表的なアクセラレータコアであるGPGPUにおいて、DVFSを適用することによる消費エネルギー削減効果に関して評価・検討を行った。その結果、アプリケーションの持つ並列性を考慮し、動作周波数とパワーゲーティングを適切に併用することで、アプリケーション実行時の消費エネルギーを削減できることがわかった。

## (2) ホモジニアスメニーコアにおける消費エネルギー削減：

4. (1)で述べたような、複数コア単位で電圧制御が行われるようなメニーコアプロセッサでは、同じ電圧制御ドメインに含まれるコアすべての動作周波数が下がらなければ電圧を下げるできない(図1)。これは、電圧制御ドメイン内のすべてのプロセッサコアを駆動するためには、そのうち最も動作周波数の高いコアに必要な電圧を供給しなければならないためである。動的な消費電力は供給電圧の2乗に比例するため、従来のDVFS・パワーゲーティング適用手法では十分なエネルギー削減効果が得られないことになる。

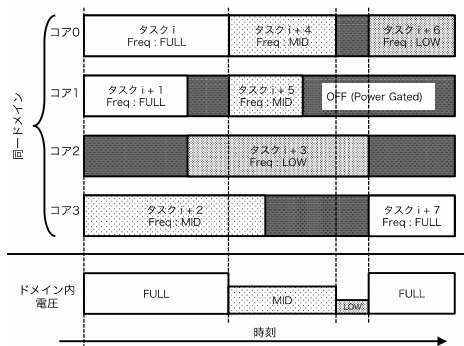


図1 粗粒度な電圧ドメインにおけるDVFS

このような条件において、まず、チップ上のすべてのコアが同一であるホモジニアスメニーコア環境に対する低消費電力化タスクスケジューリング手法を開発した。低消費電力化制御機能を持つ並列化コンパイラでは、入力となるアプリケーションを解析し、処理間の依存関係をDAG(有向非巡回グラフ)として表現した上で、プロセッサコアへの処理割り当て(タスクスケジューリング)を行う。このスケジューリング結果によって、どの程度DVFSの効果が向上するかが決定される。

本手法では、同じ電圧制御ドメイン内に含まれるプロセッサコアがなるべく同じ動作周波数で動作し、周波数とともに電圧も低減可能となるよう、並列アプリケーション内の処理のスケジューリングを行う。またこの時、タスクの実行時間の上限(デッドライン)を考慮して、それを超えない範囲でDVFSを適用する。これにより、アプリケーションに対する要求性能を満たしつつ、アプリケーション実行にかかる消費エネルギーの削減を可能とする。

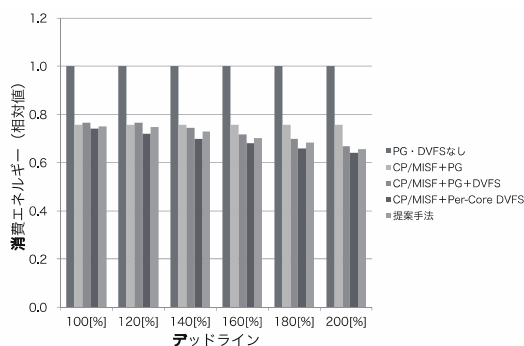


図2 ホモジニアスメニーコアにおける消費エネルギー削減効果

並列アプリケーションのタスクスケジューリング手法の評価に用いられる標準タスクグラフセットを用い、32コア集積のメニーコアプロセッサを想定して評価を行った結果、従来手法(CP/MISF法によるスケジューリング)と比較して、平均2[%]程度消費エネルギーを削減可能であることが確認できた(図2)。図2では、横軸がアプリケーションの実行時間上限(デッドライン)を示しており、縦軸が、低消費電力化機能を用いない場合を基準とした消費エネルギーの相対値となっている。この評価では、従来手法(CP/MISF+PG+DVFS)と比較して、提案手法を用いることにより消費エネルギーを削減できた。しかし、電圧制御がコア単位で可能な、理想的な環境において従来手法(CP/MISF+Per-Core DVFS)を適用した場合の結果には達していない。

## (3) ヘテロジニアスメニーコアにおける消費エネルギー削減：

粗粒度な電圧制御ドメインを考慮した場

合、ホモジニアスメニーコアにおいては、従来手法と比較してこれ以上大幅な消費エネルギー削減は難しいと考えられる。本研究では、(2)で述べたホモジニアスメニーコア向けのタスクスケジューリング手法を拡張し、ヘテロジニアスメニーコア向けの低消費電力化タスクスケジューリング手法を開発した。異なる種類・規模のプロセッサコアを搭載するヘテロジニアスメニーコアの特性を利用することで、この問題を解決することを可能とした。

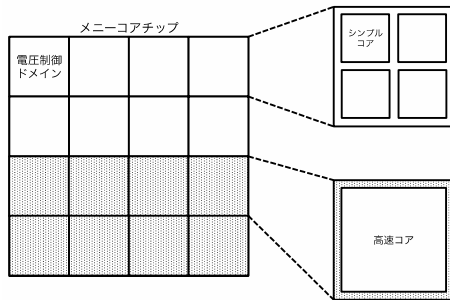


図3 対象としたヘテロジニアスメニーコア

ヘテロジニアスメニーコアでは、処理性能は低いが高面積効率・電力効率の高いプロセッサコアと、処理性能は高いが実装面積や消費電力の大きいプロセッサコアが混載されている(図3)。本手法では、アプリケーション内の並列性や、各タスクに与えられた余裕度、タスク間の依存関係等の情報をもとに、各タスクを割り当てるべきコアの種類や、実行する際の望ましい動作周波数を判断する。これにより、DVFSによるエネルギー削減・タスク処理時間の変化、コアの種類による電力効率・タスク処理時間の違い、といった要素が複雑に影響し合う問題を解決し、大幅な消費エネルギー削減を可能とする。また、ヒューリスティックな手法をベースとすることで、強NP困難なタスクスケジューリング問題に対して、現実的な計算量で解を与えることができる。

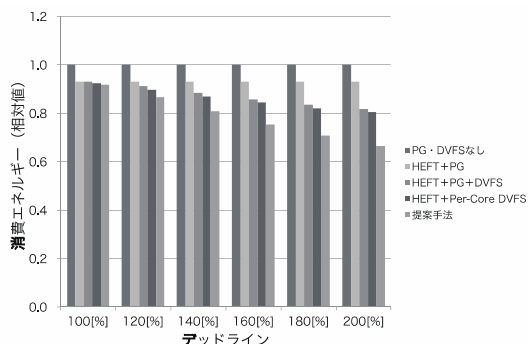


図4 ヘテロジニアスメニーコアにおける消費電力削減効果

標準タスクグラフセットを用い、20コア集

積のヘテロジニアスメニーコアを想定して評価を行った結果、従来手法(HEFT法によるスケジューリング)を用いた場合と比較して、最大約17[%]程度、エネルギー削減効果が高いことが確認できた(図4)。

図4では、横軸がアプリケーションの実行時間上限(デッドライン)を示しており、縦軸が、低消費電力化機能を用いない場合と比較した消費エネルギーとなっている。コア毎に電圧制御が可能な、理想的な環境において従来手法を適用した場合(HEFT+Per-Core DVFS)の結果と比較した場合であっても、より良い消費エネルギー削減効果を得られることがわかる。

さらに、実アプリケーション(ラプラス方程式求解, LU分解, ステンシル演算)を想定した入力を用いた評価も実施した。本評価では、特にラプラス方程式求解において、最大31[%]程度、従来手法よりも消費エネルギー削減効果が高いことが示された(図5)。

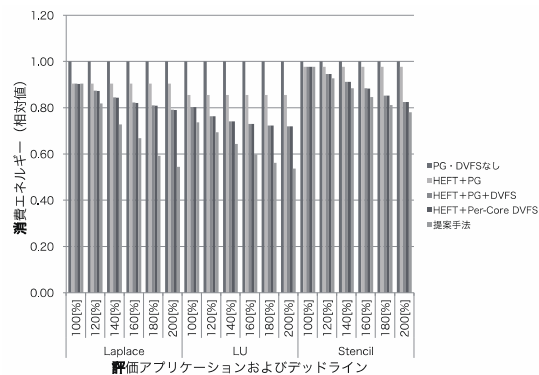


図5 ヘテロジニアスメニーコアにおける消費エネルギー削減効果(実アプリケーション)

(4) 今後の展望:

現在、互いに依存関係にある処理を計算資源に割り当てるタスクスケジューリング手法は、主にグリッドやクラスタ、クラウドシステムで活用されている。これらの環境では、ノードなどの比較的大きな単位が制御の対象となり、アプリケーション内部の詳細な情報を生かし切れているとは言い難い。このような状況に対し、本研究で開発した手法を用いることにより、アプリケーション内部の情報を基に、きめ細やかな消費電力制御が可能となる。

よりコア数が増大した際にはコア間の通信オーバーヘッドの考慮などが必要になる。今後こういった要素もとり入れた拡張を行っていくことで、より有用性の高いシステムが構築可能になると考えられる。

5. 主な発表論文等  
(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計1件)

和田康孝, 近藤正章, 本多弘樹, "粗粒度な電圧ドメインを持つメニーコアプロセッサ向け低消費電力化タスクスケジューリング", 情報処理学会論文誌コンピューティングシステム, Vol. 8, No. 1, pp. 34-50, 2015.(査読有り)

〔学会発表〕(計3件)

藤原祐太, 松本洋平, 和田康孝, 近藤正章, 本多弘樹, "使用コア数最適化とDVFSを用いたGPUの省電力化手法の検討", 情報処理学会 第199回ARC・第142回HPC合同研究発表会, 2013年12月16日, 北海道大学(北海道)  
和田康孝, 近藤正章, 本多弘樹, "DVFSドメインを考慮した低消費電力化タスクスケジューリング手法に関する検討", 情報処理学会アーキテクチャ研究会, 2013年8月1日, 北九州国際会議場(福岡県)  
島岡護, 見神広紀, 林明宏, 和田康孝, 木村啓二, 森田秀和, 内山邦男, 笠原博徳, "地震動シミュレータGMSのOSCARコンパイラによる自動並列化", 情報処理学会 第194回ARC・第137回HPC合同研究発表会, 2012年12月13日, 北海道大学(北海道)

〔図書〕(計0件)

〔産業財産権〕

出願状況(計0件)

取得状況(計0件)

〔その他〕

なし

6. 研究組織

(1)研究代表者

和田 康孝(WADA, Yasutaka)  
早稲田大学理工学術院・助教  
研究者番号: 40434310

(2)研究分担者

なし

(3)連携研究者

なし