

科学研究費助成事業 研究成果報告書

平成 27 年 6 月 1 日現在

機関番号：13901

研究種目：若手研究(B)

研究期間：2012～2014

課題番号：24760276

研究課題名(和文) 単一磁束量子シフトレジスタ型メモリの大容量化と低消費電力化に関する研究

研究課題名(英文) Research on Large-capacity, Low-power Shift-register-based Memories Based on Single-flux-quantum Logic Circuits

研究代表者

田中 雅光 (TANAKA, Masamitsu)

名古屋大学・PhD登龍門推進室(工)・特任講師

研究者番号：10377864

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：単一磁束量子回路による大規模計算システムの実現に向け、大容量で低消費電力なシフトレジスタ型メモリの研究を行った。コンパクトで低消費電力なシフトレジスタを実現する新しい回路構造を提案した。また、メモリだけでなく一般の大規模回路に適用可能な、低電圧駆動技術を確立し、エネルギー効率の高い回路設計技術を確立した。これらにより、数千ビット規模の超高速メモリが実用的な面積と消費電力で実現できる見通しを得た。

研究成果の概要(英文)：The research on large-capacity, low-power shift-register-based memories was done toward realization of high-performance computing system based on the single-flux-quantum logic technology. A compact, low-power shift-register cell was newly developed. The low-voltage circuit design technique was established, which is applicable to not only the shift-register-based memories but also to general circuits, achieving high energy efficiency. These results supports the feasibility of a few kilobits, ultra-high-speed memories with reasonable density and power consumption.

研究分野：超伝導大規模集積回路

キーワード：超伝導 集積回路 単一磁束量子回路 SFQ回路 メモリ 低消費電力 エネルギー高効率

1. 研究開始当初の背景

超伝導リング中の量子化磁束を情報担体とする単一磁束量子 (SFQ) 回路[1]は、高速性と低消費電力性を兼ね備えた次世代 LSI 技術である。SFQ 回路は幅数ピコ秒のパルス状の電圧信号を用いる。これまでに 100GHz 以上の動作が実証されており、論理ゲートの電力消費は半導体の 1/1000 以下である。超伝導受動線路により、損失や分散なく光速で信号を伝搬できる配線技術も開発されている。

これらの特長から、国内外で SFQ LSI の研究開発が進められている。研究代表者らの研究グループは、世界に先駆けて SFQ マイクロプロセッサの動作実証を行った[2]。その後も SFQ 回路による超高速演算器の設計・実証に取り組んでいる。これらの実証では、試作した SFQ 回路が 2-3mW の消費電力で 20-50GHz で動作することを示し、SFQ 回路の計算機応用に向けた高い潜在能力を証明する結果を多数得られたと考えている。

しかしながら、十分な性能を持つメモリが実現されていないことが、SFQ 回路の応用上大きな課題となっている。ビット線とワード線の交点に、記憶素子として超伝導ループを格子状に配置した超伝導メモリが幾つか研究されていたが (例えば[3])、この方式では小型のメモリセルを効率よく配置できる一方で、量子を信号とする SFQ 回路では大きなファンアウトが得られないことと、二次元アレイ上でパルス信号同士を衝突させてビットを選択するのは困難なことなどの理由から、ビット線とワード線の少なくとも片方は電圧レベルでドライブする必要がある。電圧ドライブ回路は、交流電源での駆動が必要で直流駆動の SFQ 回路と簡単に接続することはできない上、SFQ 回路がパルス信号を用いる故に得られる、数十 GHz 以上の高速動作や低消費電力性が損なわれてしまう問題がある。

SFQ 独特のメモリ実現方法として、SFQ 回路が最も得意とするシフトレジスタを、一次元配列に並べたメモリが挙げられる[4]。シフトレジスタをデータの記憶に利用したメモリは、既存の SFQ 回路との親和性が高く、最も高速で動作することが見込まれる。しかし、当時実証されていたシフトレジスタ型メモリは、密度が極めて低く、ビットあたりの消費電力も大きい問題があった。

2. 研究の目的

SFQ マイクロプロセッサの性能を十分に引き出すには、少なくとも 1 桁大きな容量を実現する必要がある。本研究では、シフトレジスタ型メモリの大容量化と低消費電力化を目的とし、SFQ 回路を実用化する上で必須な超高速メモリの実現を目指した。このシフトレジスタ型メモリは、既存の SFQ 回路との親和性 (動作速度、制御のしやすさ) から、マイクロプロセッサのキャッシュメモリや信号処理回路のバッファなど多くの利用方法が考えられ、SFQ 回路の実用化、並びに新し

い応用分野の開拓に大きなインパクトを与えられることを期待させるものである。

本研究では、具体的な数値目標を 2 つ設定した。後述する簡略化した新しい回路構造の提案に基づいて SFQ シフトレジスタを実現し、これまでに実証された超伝導メモリと同程度、またはそれ以上の高密度メモリを実現することを目指し、これまでシフトレジスタの 1 ビットを構成するのに 80 μ m 四方程度の大きさが必要であったのを、1/10 以下の面積に小さくすることを第一の目標とした。また、SFQ 回路の低電圧駆動[5]などを駆使し、従来のシフトレジスタ型メモリに比べ、消費電力を 1/10 から 1/100 に削減することを第二の目標とした。SFQ 回路の低電圧駆動は研究開始当時に申請者らが提案していたものであるが、メモリのような大規模回路に適用できるような回路技術を確認させることが必須となる。

メモリセルと周辺回路の試作や評価を経て、現プロセスで実現可能な (数キロビット程度) 容量を持つメモリをチップ上に試作し、数ミリワットの消費電力で 20-50GHz の速度で動作するシフトレジスタメモリを実現することを、本研究の最終目標とした。

3. 研究の方法

上記の目的を達成するため、本研究では (1) 新たな回路構造による小型メモリセルの実現、(2) 低消費電力化技術の確立、(3) メモリシステムの設計と試作に取り組んだ。また、試作ラインを共有する他の研究機関との情報共有も積極的に行った。以下、順に研究の方法を述べる。

(1) 小型メモリセルの実現

これまでのシフトレジスタ型メモリは、汎用の SFQ 論理ゲートの設計指針に基づいた厳しい制約の下で設計されていたため、1 ビットの情報を記憶するのに多くのジョセフソン接合を必要としていた。本研究では、メモリに必要な要件を整理し、新たな回路動作に基づく簡略的な構造を導入することで、極限までジョセフソン接合を減らした SFQ シフトレジスタの実現を狙った。

(2) 低消費電力化技術の確立

研究開始時まで、SFQ 回路を従来の 1/5 から 1/10 の低い電圧で駆動することにより、消費電力を低減させ、SFQ 回路のエネルギー効率を高めることができることは研究代表者らが「LV-RSFQ 回路」として示していたが、電圧低減の指針や大規模回路への適用可能性については明らかになっていなかった。異なる臨界電流密度のデバイスを用いた試作などを行いながら、低電圧駆動 SFQ 回路技術の一般化な性質を明らかにし、汎用性の高い技術の確立を目指した。

(3) メモリシステムの設計と試作

実際のメモリ回路は、データを記憶するシ

フトレジスタ部分に加え、アドレスによる選択や出力の合流などが必要となる。高密度で低消費電力なメモリシステムの実現には、これらの部分に関する検討も必須である。研究の進展に伴い、メモリの構成はマイクロプロセッサの実装とは無関係ではなく、幾つかのトレードオフがあることが明らかとなったため、本研究ではシフトレジスタ型メモリと最も親和性の高い、ビットシリアルまたはビットスライス処理による SFQ マイクロプロセッサとの接続を具体的に想定し、回路構成の検討を行うこととした。単純なメモリのみを試作するよりも、規模は小規模となってもマイクロプロセッサと同一チップにメモリを実現したほうが、より効果的な評価が行えると考え、試作はビットシリアルマイクロプロセッサと統合した構成で行うことにした。

(4) 情報の共有化

本研究では、国際超電導産業技術研究センター（研究開始当時、平成 25 年度より産業技術総合研究所に移転）のニオブ集積回路プロセスを用いて試作を行った。この試作ラインは、最大 9 層の配線層を有する世界最高水準の SFQ LSI を試作することが可能である。

メモリセルはその性質上高い歩留まりが要求されるため、試作担当者や、同じ試作ラインを利用する他の研究者と活発に意見交換を行い、回路評価の参考に役立てるよう努めた。メモリセルは単純で規則的な構造を持つことから、歩留まり等の実験結果は試作担当者や他の設計者にも有益な情報となることが期待できる。全国の研究期間と効率的に情報の共有化を図るため、研究代表者が以前構築した実験結果データベースシステムを強化し、更なる情報の共有化を目指した。

4. 研究成果

研究の目的で挙げた 4 つの項目ごとに述べ、最後に総括を述べる。

(1) 小型メモリセルの実現

新しい構造による SFQ 小型シフトレジスタ回路の実現方法を提案した(学会発表 1, 9)。図 1 に回路図を示す。(a)は通常の SFQ 論理ゲートでシフトレジスタを構成した場合で、データ線とクロック線となる超伝導ループがグランド面に平行に置かれており、 L_S を含むループに磁束量子が保持されることでデータを保持する。最小で図に示した 5 つ程度の接合で 1 ビットを構成できるが、汎用の論理ゲートの設計指針に従えば、ゲート間の接続性の維持や相互干渉の防止のためにジョセフソン接合を追加する必要があるが、1 ビットを構成するのに必要な接合数は約 10 と多い。このことが、これまでのシフトレジスタ型メモリの面積と消費電力の増大を起している。逆に言えば、既存の回路構造で極力ジョセフソン接合を削減しても、せいぜい半程度にしか面積を削減できないと言える。

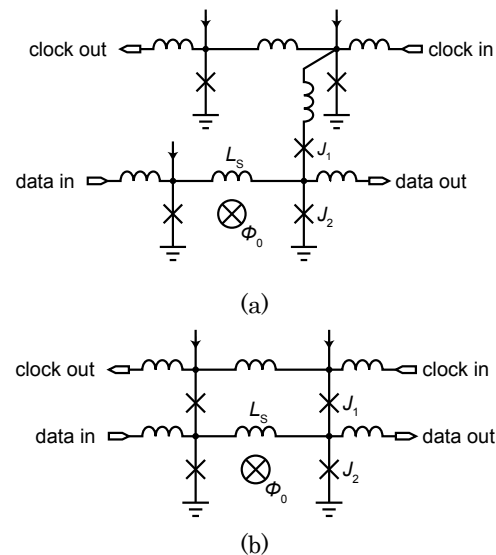


図 1 (a)従来のシフトレジスタと(b)本研究で提案したシフトレジスタ (1 ビット)

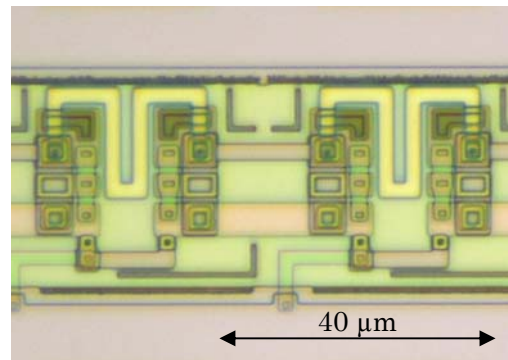


図 2 試作したシフトレジスタの顕微鏡写真

本研究では、クロック線とデータ線となる超伝導ループを縦に積み上げた(b)の回路構成でシフトレジスタを構成することを提案した。1 ビットあたり 4 接合であるが、回路を駆動するバイアス電流の供給点が減ることで消費電力が減り、また、単純で規則的な構造となることからレイアウトサイズが大幅に小さくなることを示した。図 2 に提案した構造に基づいて試作したシフトレジスタの顕微鏡写真を示す。この試作では、セルサイズは $40\mu\text{m}$ 四方としたが、次に述べるシャント抵抗の共有化などを採り入れれば現在の加工技術で $20\sim 30\mu\text{m}$ 四方までは縮小できる見通しを得ており、集積化の目標は達成できたと考えている。

この構造はジョセフソン接合の動作安定化に必要なシャント抵抗の共有化が容易に可能である。シャント抵抗の共有化は、省スペース化だけでなく、抵抗が発生するノイズが、SFQ 回路の動作の鍵となるコンパレータを形成する接合対に与える影響を低減させる効果が期待できることが分かり、そのメカニズムの解明や実験的な評価などを進めた(学会発表 3, 6)。

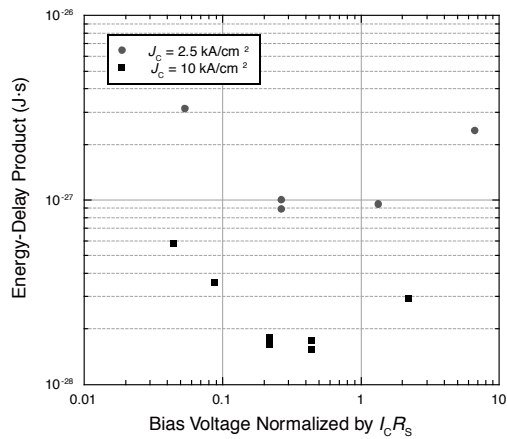


図3 エネルギー・遅延積と規格化した電源電圧との関係 (発表論文1)

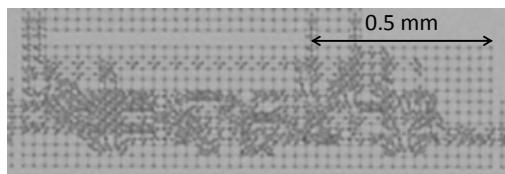


図4 SFQ回路の低電圧駆動技術を応用して実証した低消費エネルギー演算器 (発表論文2)

(2) 低消費電力化技術の確立

臨界電流密度が 2.5 kA/cm^2 から 20 kA/cm^2 までの異なる作製プロセスを利用して回路の試作を複数回行い、低電圧駆動時の動作速度と消費エネルギーのトレードオフ関係を実験的・定量的に明らかにした。このことで回路の動作速度と消費エネルギーが、臨界電流値とシャント抵抗の積 $I_c R_s$ で規格化した電圧によって決定づけられ、最適な電源電圧範囲が $1.0\text{--}0.1$ 程度であることが分かった。また、低電圧時における長距離配線の駆動技術の開発、ビットエラーレートの調査、回路パラメータの再検討などを行ったことで、メモリのような規則正しい構造をもつ回路に限らず、本技術を一般のランダムロジックに適用することが可能となった。これらの知見を3報の論文にまとめたほか、複数の学会発表を行った (例えば学会発表5)。低電圧駆動技術と臨界電流値 I_c の低減を組み合わせることにより、メモリシステムの消費電力は $1/5\sim 1/100$ に低下させることができる。また、この技術は、従来の二次元アレイメモリにも適用でき、消費電力を低減させることも示した (学会発表19など)。

(3) メモリシステムの設計と試作

同時アクセス性や高スループット性など高性能高機能なメモリを実現すると、ハードウェアコストが増大する。メモリにとっては、集積密度が重要な性能指標であり、バランスの悪い設計は致命的な欠点となる。本研究では、面積利用効率の高いデコード回路の提案や RSFQ 回路に適したブロックサイズの

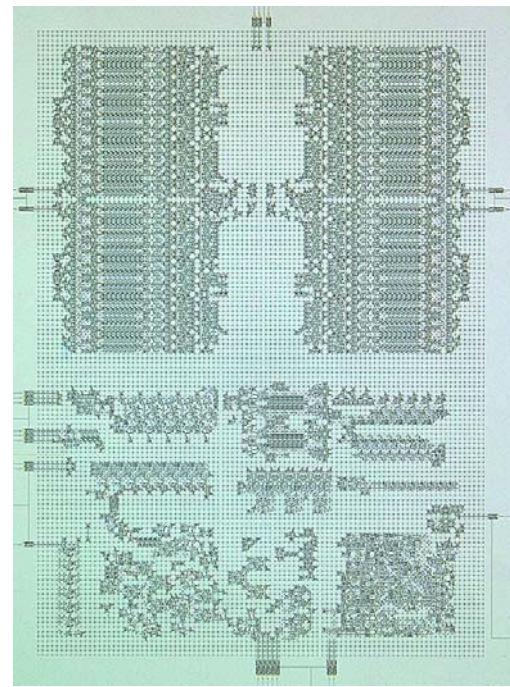


図5 メモリ ($2 \times 256\text{bit}$) と 8bit マイクロプロセッサを集積した SFQ LSI チップ (学会発表23)

選択、機能・性能と集積度のトレードオフの見極めた注意深い設計などによって、これまでに試作された RSFQ 回路としては最高密度 (1平方センチメートルあたり $200,000$ 接合以上) の高密度メモリシステムの実装例を示した (学会発表20)。

また、ビットシリアルマイクロプロセッサとの接続を想定した 256bit のシフトレジスタ型メモリを具体的に設計し、単一チップに 8bit マイクロプロセッサと2つのシフトレジスタメモリ (命令用/データ用) を搭載した計算システムのプロトタイプを試作を行った (図5, 学会発表23)。この試作では、 50GHz 動作を目標とし、動作の安定を優先して低消費電力化技術は導入していない。 256bit のシフトレジスタ型メモリの消費電力は約 1.8mW である。低 I_c 化により 1.4mW 以下、定電圧駆動によりさらにその $1/5$ から $1/10$ に低減できると見込んでいる。現在、詳細は評価を進めているが、シフトレジスタ型メモリについては、概ね良好な動作を確認している。

(4) 情報の共有

本科研費の支援を得て超伝導集積回路の評価結果データベースシステム (「その他」の成果) を主体となって運営してきた。本研究開始後に試作ラインの装置更新などが数回あり、また、装置トラブルなどによる回路の動作状況の悪化などを経験したが、他の研究機関との情報共有化、及び過去に蓄積した実験データの比較から有意義な情報を得ることができたと考えられる。本研究で構築したデータベースシステムは、今後もデータの収集と蓄積を継続する予定である。

(5) 総括

シフトレジスタ型メモリは、SFQ回路と同程度の高速動作が可能であるという唯一無二の特徴を有している。集積度や消費電力の面が従来からの課題であったが、本研究の進展により、高密度なシフトレジスタを実現する新たな回路構造や、低電圧駆動などの低消費電力化技術を採用すれば、数キロビット程度の超高速SFQメモリが実用的な面積や消費電力で実現可能であることを示すことができたと考える。

本研究の成果として得られた、シャント抵抗の接続方法変更による低雑音化技術や低電圧駆動技術(LV-RSFQ)は汎用性が高く、他のSFQ回路応用への適用が可能である。また、メモリを統合したマイクロプロセッサは、現時点での集積レベルではもっとも複雑で大規模なSFQ LSIであり、招待講演の依頼を複数受けるなど(学会発表12, 14, 15, 23)、世界的に見てもトップレベルの成果が得られたと考えている。

〈引用文献〉

- [1] K. Likharev and V. Semenov, *IEEE Trans. Appl. Supercond.*, vol. 1, p. 3, 1991.
- [2] M. Tanaka et al., *Dig. Tech. Papers IEEE Int. Solid-State Circuits Conf.*, vol. 1, p. 298, 2004.
- [3] S. Nagasawa et al., *IEEE Trans. Appl. Supercond.*, vol. 5, p. 2447, 1995.
- [4] K. Fujiwara et al., *Supercond. Sci. Technol.*, vol. 16, p. 1456, 2003.
- [5] M. Tanaka et al., *Jpn. J. Appl. Phys.*, vol. 51, p. 053102, 2012.

5. 主な発表論文等

〔雑誌論文〕(計3件)

1. M. Tanaka, A. Kitayama, T. Koketsu, M. Ito, and A. Fujimaki: Low-Energy Consumption RSFQ Circuits Driven by Low Voltages, *IEEE Trans. Appl. Supercond.*, 査読あり, vol. 23, 2013, 1701104.
DOI: 10.1109/TASC.2013.2240555
2. M. Tanaka, A. Kitayama, M. Okada, T. Kouketsu, T. Takinami, M. Ito, and A. Fujimaki: High-Speed Operation of 0.25-mV RSFQ Arithmetic Logic Unit Based on 10-kA/cm² Nb Process Technology, 査読あり, vol. 97-C, 2014, 166-172.
DOI: 10.1587/transele.E97.C.166
3. M. Tanaka, M. Kozaka, Y. Kita, A. Fujimaki, S. Nagasawa, and M. Hidaka: Rapid Single-Flux-Quantum Circuits Fabricated Using 20-kA/cm² Nb/AlO_x/Nb Process, 査読あり, vol. 25, 2015, 1100304.
DOI: 10.1109/TASC.2014.2365100

〔学会発表〕(計23件)

1. 田中雅光, 藤巻朗: メモリ向け低消費電力高密度単一磁束量子シフトレジスタの提案, 2012年電子情報通信学会ソサイエティ大会, 2012.09.11, 富山大学.
2. M. Tanaka, A. Kitayama, T. Koketsu, M. Ito, and A. Fujimaki: Ultra Low-Energy Consumption RSFQ Circuits Driven by Low Voltages, *Appl. Supercond. Conf.*, 2012.10.09, Portland, USA.
3. 松岡宏弥, 田中雅光, 喜多祐真, 宮嶋茂之, 藤巻朗: シャント抵抗の接続方法変更によるSFQ回路の雑音低減化, 第60回応用物理学会学術講演会, 2013.03.29, 神奈川工科大学.
4. 田中雅光, 藤巻朗: アンシャント接合を用いた低電圧RSFQ回路の評価, 第60回応用物理学会学術講演会, 2013.03.29, 神奈川工科大学.
5. M. Tanaka, A. Kitayama, T. Takinami, Y. Komura, and A. Fujimaki: Bit error rate in low-voltage RSFQ circuits with small critical currents/lowered bias voltages, *IEEE 14th Int. Supercond. Electron. Conf.*, 2013.07.08, Cambridge, USA.
6. Y. Kita, H. Matsuoka, S. Miyajima, M. Tanaka, and A. Fujimaki: Noise reduction in RSFQ logic gates for increasing operating speed and widening margins, *IEEE 14th Int. Supercond. Electron. Conf.*, 2013.07.08, Cambridge, USA.
7. M. Tanaka, Y. Hayakawa, K. Takata, and A. Fujimaki: Design of Low-Voltage RSFQ Microprocessor Prototypes, 11th European Conf. Appl. Supercond., 2013.09.17, Genova, Italy.
8. M. Tanaka, Y. Hayakawa, K. Takata and A. Fujimaki: Sub-Milliwatt, 30-GHz Microprocessor Based on Low-Voltage Rapid Single-Flux-Quantum Circuit Technology, 2013 Int. Conf. Solid State Devices and Materials, 2013.09.26, Fukuoka, Japan.
9. M. Tanaka and A. Fujimaki: Design and implementation of low-power, high-density RSFQ shift-registers for random access memories, 26th Int. Symposium Supercond., 2013.11.20, Tokyo, Japan.
10. 田中雅光, 早川雄飛, 高田賢介, 藤巻朗: 低電圧単一磁束量子回路によるビットシリアルマイクロプロセッサの動作実証, 第88回低温工学・超電導学会, 2013.12.04, ウィンクあいち.
11. 田中雅光, 大桃由紀雄, 高木一義, 高木直史, 藤巻朗: 単一磁束量子32ビットマイクロプロセッサに向けたビットスラ

- イスバレルシフトの設計と実装, 電子情報通信学会 2014 年総合大会, 2014. 03. 21, 新潟大学.
12. 【招待講演】 M. Tanaka, Y. Hayakawa, K. Takata, A. Fujimaki, Y. Ohmomo, T. Kawaguchi, K. Takagi, and N. Takagi: Development of Datapath for RSFQ High-Performance, Energy-Efficient Microprocessors Based on Bit-Slice Microarchitecture, 4th Int. Conf. Supercond. Mag., 2014. 04. 28, Antalya, Turkey.
 13. M. Tanaka, M. Kozaka, Y. Kita, A. Fujimaki, S. Nagasawa, and M. Hidaka: Low-Voltage Rapid Single-Flux-Quantum Circuits Fabricated Using 20-kA/cm² Nb/AlO_x/Nb Process, Appl. Supercond. Conf., 2014. 08. 11, Charlotte, USA.
 14. 【招待講演】 M. Tanaka, Y. Hayakawa, K. Takata, and A. Fujimaki: 35-GHz Demonstration of Energy-Efficient Microprocessor Based on Low-Voltage RSFQ Circuit, Appl. Supercond. Conf., 2014. 08. 12, Charlotte, USA.
 15. 【招待講演】 M. Tanaka, K. Takata, R. Satoh, A. Fujimaki, T. Kawaguchi, Y. Ando, K. Takagi, N. Takagi, and N. Yoshikawa: Design of RSFQ Microprocessors Integrated with RAMs Based on Bit-Serial Processing, 7th Supercond. SFQ VLSI Workshop, 2014. 12. 01, Kobe, Japan.
 16. Y. Komura, M. Tanaka, A. Fujimaki, N. Yoshikawa, and S. Nagasawa: Development of Vortex Transition Memory Cells for a Josephson RAM, 7th Supercond. SFQ VLSI Workshop, 2014. 12. 01, Kobe, Japan.
 17. 田中雅光, 上阪岬, 喜多祐真, 藤巻朗, 永沢秀一, 日高睦夫: 20kA/cm² プロセスによる低エネルギー単一磁束量子回路の評価, 2014 年度春季低温工学・超電導学会, 2014. 05. 27, タワーホール船堀.
 18. 田中雅光, 高田賢介, 高木一義, 高木直史, 藤巻朗: 単一磁束量子 32 ビットマイクロプロセッサに向けたビットスライスレジスタファイルの設計, 電子情報通信学会 2014 年ソサイエティ大会, 2014. 09. 23, 徳島大学.
 19. 幸村勇斗, 田中雅光, 永沢秀一, 吉川信行, 藤巻朗: 10kA/cm² Nb プロセスを用いたジョセフソンランダムアクセスメモリのための要素回路の測定結果, 電子情報通信学会 2014 年ソサイエティ大会, 2014. 09. 23, 徳島大学.
 20. 田中雅光, 藤巻朗: 高密度単一磁束量子シフトレジスタメモリシステムの実装, 電子情報通信学会 2015 年総合大会, 2015. 03. 11, 立命館大学.
 21. 田中雅光, 佐藤諒, 藤巻朗, 永沢秀一, 日高睦夫: 20kA/cm² Nb/AlO_x/Nb 接合を用いた RSFQ 100 GHz ビットシリアル加算器, 第 62 回応用物理学会春季学術講演会, 2015. 03. 13, 東海大学.
 22. 幸村勇斗, 田中雅光, 藤巻朗, 永沢秀一, Ali Bozbey: ニオブ 4 層高 J_c プロセスを用いた小型磁束遷移メモリの開発, 2015 年度春季低温工学・超電導学会, 2015. 05. 27, 産業技術総合研究所つくばセンター.
 23. 【招待講演】 M. Tanaka, K. Takata, R. Sato, A. Fujimaki, T. Kawaguchi, Y. Ando, K. Takagi, N. Takagi, and N. Yoshikawa: Development of Bit-Serial RSFQ Microprocessors Integrated with Shift-Register-Based Random Access Memories, 15th Int. Supercond. Electron. Conf., 2015. 07. 09, Nagoya, Japan. (発表確定)
- [図書] (計 0 件)
- [産業財産権]
- 出願状況 (計 0 件)
- 取得状況 (計 0 件)
- [その他]
- 研究成果ホームページ
単一磁束量子集積回路測定結果データベース Leporis <http://leporis.org/>
6. 研究組織
- (1) 研究代表者
田中 雅光 (TANAKA, Masamitsu)
名古屋大学・PhD 登龍門推進室 (工)・特任講師
研究者番号: 10377864
- (2) 研究分担者なし
- (3) 連携研究者なし