

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 17 日現在

機関番号：27101

研究種目：研究活動スタート支援

研究期間：2012～2013

課題番号：24860054

研究課題名(和文)自己評価機構を伴うスマートアナログデバイスの研究

研究課題名(英文)Research of BIST for smart analog device

研究代表者

董青(DONG, QING)

北九州市立大学・国際環境工学部・講師

研究者番号：30638804

交付決定額(研究期間全体)：(直接経費) 2,300,000円、(間接経費) 690,000円

研究成果の概要(和文)：本研究では、アナログLSIテストにおけるテスト容易化設計手法BIST技術を扱う。アナログ信号の解析に関する研究を行い、テストするアナログ信号を統一評価できるデジタル信号に変換し、評価することを考える。アナログ回路の電圧値と電流値、周波数と位相を出力信号として、体系的に評価する手法を提案した。実際の試作チップの評価により、提案のアナログBISTによるテスト容易性を示した。

研究成果の概要(英文)：This research introduces a built-in self test(BIST) system, which is a method of Design for Testability for analog LSI test. We explored the analog signal processing and introduced a systematic test method for analog ICs. The developed BIST generates a set of preset analog signals, and input them into each analog device in chip in turn. When a device is activated for inputs, its output signal is also sampled. The sampled signal is then quantized by an ADC, and its amplitude/frequency/phase/delay characteristics are calculated by a digital signal processing unit. These characteristics then are compared with the expected outputs by the control logic unit. The control logic unit finally judges if a circuit failure is determined. The measurement results from the test chip confirmed the testability of the introduced BIST system.

研究分野：電気電子工学

科研費の分科・細目：電子デバイス/電子機器

キーワード：アナログLSI 自己診断システム

1. 研究開始当初の背景

半導体製造技術の微細化、つまり LSI の高集積化が進み、シリコンウェーハの単位面積当たりに集積できるトランジスタ数は飛躍的に増大している。それに伴い、LSI の高機能化が進み、複雑化するシステム LSI のテストコストは高騰している。しかし、テストコストの増大は、LSI が装填される製品コストの増大に直結してしまうため、LSI の高機能化に比例するテストコストの増大は許されない。近年では、ATPG (自動テストパターン生成) や BIST といった新しいテスト手法が生み出され、テストの効率化、つまりテストコストの抑制に貢献している。BIST は、テストパターン生成回路とエラー判定回路をチップ内に組み込むことにより、テストに必要な端子数を少なくすることができ、並列テストできるチップ数を増やし、テストを効率化することができる。結果として、必要な LSI テスターの台数を抑え、テストコストを大幅に削減することができる。

これまで BIST は、体系的、かつ汎用的なテスト方式の研究が進んでいるデジタル LSI 向けに研究されており、すでに最新のデジタル LSI は BIST を集積している。但し、テストする回路の規模とテストの範囲に従い、BIST は一つのシフトレジスタ・チェーンのように単純な場合もあるが、プロセッサとメモリの組合せが必要な複雑な場合もある。一方、アナログ LSI については ATPG や BIST に相当する一般的な概念が整理されていない。そのため、現在、アナログ・デジタルの混載化 (1 チップ化) が急速に進んだ結果、LSI 開発におけるアナログのテストコストが急激に増大している。アナログ LSI のテストコストの削減は LSI 量産時の大きな課題の一つとなっている。しかし、アナログ LSI 向け BIST 開発は難しい。機能検証の観点からは、デジタルの出力は基本的に 2 値の組合せであるが、アナログ LSI の出力仕様は回路により様々である。連続に変化する電圧・電流の値と変化スピード (周波数) も同時に考慮する必要がある。アナログ LSI のテスト仕様を BIST の観点から体系化することが重要な課題となっている。

2. 研究の目的

半導体製造プロセスの微細化が進むにつれ、一つのチップに集積するデバイス数が飛躍的に増加している。チップの製造後に回路の正常動作を保証するためのテストは複雑化、長期化し、現状ではテストコストがチップ開発コストの大半を占めている。そのため近年、

テスト容易化設計手法として、組み込み型自己診断システム (Built-In Self Test System—BIST) が注目されている。BIST は、チップ内にテストパターン生成回路を伴うテスト機構を持ち、チップが自分自身で診断することができる。従来 LSI テスト方式ではテストパターンをテスターからテスト対象となるチップに入力し、その出力値をテスターに取り出し、想定値と比較する。BIST 方式はテストパターン発生回路とテスト評価回路をチップ内に搭載している。BIST は、主にデジタル LSI 向けに研究されたが、アナログ LSI のテストはより複雑であるため、体系的な BIST 研究がない。しかし今では、アナログ・デジタル混載 LSI が主流となるため、アナログ LSI の自己診断・検証技術が必要である。本研究では、テスト信号生成回路やエラー判定回路などを伴うアナログ BIST 機構を提案・開発することを目的とする。アナログ LSI に適用可能な BIST 方式を考える際には、テストのために追加する回路による回路性能の劣化が課題となる。BIST 回路がチップ内に組み込まれ、BIST 回路に付随する寄生がテスト対象回路の誤動作の原因になりかねない。例えば、テスト対象回路の信号線と BIST の信号線間のカップリング容量が生じ、回路の周波数特性が変化してしまった場合には、結果として何を検査しているのか分からなくなってしまう。BIST 回路の信号の影響を分離・抑制する技術も本研究の課題である。

3. 研究の方法

本研究ではアナログ回路テストを題材にして BIST 方式によりアナログ回路自己診断・検証技術を研究する。アナログ LSI 向け BIST 開発は難しい。機能検証の観点からは、デジタルの出力は基本的に 2 値の組合せであるが、アナログ LSI の出力仕様は回路により様々である。連続に変化する電圧・電流の値と変化スピード (周波数) も同時に考慮する必要がある。また、アナログ LSI が「正常に動作する」という判断基準は、デジタル LSI ほど明確ではない。デジタル LSI では、「縮退故障モデル」のように、故障が出力値に及ぼす影響が整理されており、入力値に対して想定外の出力値を検出したときは、疑いなく故障とみなすことができる。しかし、アナログ LSI には実用的な故障モデルがなく、出力電圧が想定範囲を少し超えていたとしても、故障と断定する唯一の要因とはなりえない。回路仕様に従い、周波数や出力の振幅など、尺度の違う複数の評価値を組み合わせで判断してはじめて故障を検出することができ

る。さらに、想定している出力値と実際の出力値の間にある程度の誤差が許容できるため、「回路動作はしているが〇〇の性能が悪い」というような評価の検出が必要である。この BIST 方式をアナログ回路へ適用するため、まず多様なアナログ回路出力信号を統一な信号に転換され、被テスト出力信号を正しく転換するための回路技術及び出力信号のアナログ回路特性の抽出技術において研究する。また、テスト対象アナログ回路の正常性を判定する BIST を設計し、そして BIST により被テスト回路への寄生を評価する。最終的に自己診断機能を持つスマートアナログデバイスを提案する。

まずアナログ信号の解析に関する研究を行う。具体的には、以下の手順で進める。

- (1) 回路に抵抗を追加し、電流を電圧に変換し、出力信号を電圧による統一的に評価する。
- (2) 信号の電圧値を解析し、回路の周波数と位相の情報を抽出する。
- (3) 追加した変換回路から元回路への影響を評価する。
- (4) 電圧への変換の際のスイッチ損失を抑制する方法を考案し、被テスト信号の周波数/位相特性を正確に抽出するために、DSP を伴う A/D 変換回路を提案する。A/D 変換回路により変換された信号から、もとの信号の振幅、周波数、位相を DSP により抽出する。

BIST 機構のデジタル部の開発は、以下のように進める。

まず、AD 変換回路の出力から周波数・位相特性を抽出するためのデジタル信号処理 (DSP) システムを開発する。提案する DSP システムは次の 4 つのブロックから構成される。

- ① バンドパスフィルタブロック：正しく周波数要素を検知するために、抽出の前に、ノイズを遮断するためのバンドパスデジタルフィルタが必要となる。

- ② FFT (高速フーリエ変換) ブロック：FFT システムは、AD 変換回路の出力信号の周波数特性を抽出する。

- ③ 相関分析ブロック：位相抽出のために、相関分析を行う。

- ④ 振幅検知ブロック：信号の振幅を計算する。デジタル部の制御回路は、与えられたテストスケジュールに従い、被テスト回路が正常動作しているかどうかの判定を行う。このテストスケジュールは、対応する回路のスイッチのオン・オフ、サイン波や三角波などのプリセット信号の設定、さらに DSP システムの動作を制御する。そして DSP の結果を、プリセット信号の特性と比較し、回路に故障があるか判定する。

4. 研究成果

まずアナログ LSI テストの体系化を目的として、アナログ信号の解析に関する研究を行った。その結果、アナログ回路の電圧値と電流値、周波数と位相を出力信号として、体系的に評価する手法を提案した。そして、BIST 機構のデジタル部を中心に研究開発も行った。AD 変換回路の出力から周波数・位相特性を抽出するためのデジタル信号処理 (DSP) システムを開発した。

システムの統合と検証については、以下のように進めた。

提案するアナログ BIST の第 1 回目のプロトタイプは、テスト機能としての実行可能性の検証のために、被テスト回路と分離して実装した。第 2 回目のプロトタイプはすべてのブロックを 1 チップ化し、実際に試作を行った。試作チップの評価により、提案のアナログ BIST によるテスト容易性を示した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

1. “Structured Analog Circuit and Layout Design with Transistor Array”, B. Yang, Q. Dong, J. Li and S. Nakatake, IEICE Vol. E96-A, No. 12, pp. 2475-2486, Dec. 2013. 査読有り.

2. “Analog circuit synthesis with constraint generation of layout dependent effects by geometric programming”, Y. Zhang, B. Yang, J. Li, Q. Dong and S. Nakatake, IEICE, Vol. E96-A, No. 12, pp. 2487-2498, Dec. 2013. 査読有り.

[学会発表] (計 8 件)

1. “Routability-driven Common-centroid Capacitor Array Generation with Signal Coupling Constraints”, G. Chen, J. Li, B. Yang, Q. Dong and S. Nakatake, ICDV 2013. 2013 年 11 月 16 日, Ho Chi Minh City, Vietnam.

2. “A Delay-Locked Loop with Multi-Level Channel Length Decomposed Programming Delay Elements”, Z. Yu, G. Chen, M. Li, Q. Dong and S. Nakatake, ICDV 2013. 2013 年 11 月 16 日, Ho Chi Minh City, Vietnam.

3. “Performance-driven SRAM Macro Design with Parameterized Cell Considering Layout-dependent Effects”, Y. Zhang, G.

Chen, Q. Dong, M. Li and S. Nakatake,
VLSI-SOC 2013.

2013年10月7日 Istanbul, Turkey.

4. “Simplified Compressed Sensing-Based
Volterra Model for Broadband Wireless
Power Amplifiers”, M. Li, G. Chen, Y.
Zhang, Q. Dong, S. Nakatake, kws 2013.

2013年7月29日 兵庫県淡路市

5. “A 9-bit 50MSps SAR ADC with Pre-charge
VCM-based Double Input Range Algorithm” ,
G. Chen, Y. Zhang, Q. Dong, B. Yang, J. Li
and S. Nakatake, GLVLSI 2013.

2013年5月2日 Paris, France

6. “A Comparator Energy Model Considering
Shallow Trench Isolation Stress by
Geometric Programming” , G. Chen, Y. Zhang,
B. Yang, Q. Dong, S. Nakatake, ISQED, 2013.

2013年3月6日 SantaClara, CA, USA

7. “High Routability and Low Ratio Mismatch
Driven Common-Centroid Capacitor Array
Generation” , J. Li, B. Yang, Q. Dong, S.
Nakatake, IEEE/ACM Workshop on
Variability Modeling and Characterization
(VMC) 2012.

2012年11月8日 Hilton San Jose, CA, USA

8. “SRAM Macro Synthesis with Layout-
dependent Effect by Geometric
Programming” , Y. Zhang, Q. Dong, S.
Nakatake, IEEE/ACM Workshop on
Variability Modeling and
Characterization(VMC) 2012.

2012年11月8日 Hilton San Jose, CA, USA

6. 研究組織

(1) 研究代表者

董青 (DONG, Qing)

北九州市立大学・国際環境工学部 講師

研究者番号 : 30638804