

科学研究費助成事業（基盤研究（S））公表用資料  
〔平成28年度研究進捗評価用〕

平成25年度採択分  
平成28年3月16日現在

誘導結合を用いたビルディングブロック型計算システムの研究

A Study on Building-Block Computing Systems  
using Inductive Coupling Interconnect

課題番号：25220002

天野 英晴 (AMANO HIDEHARU)

慶應義塾大学・理工学部・教授



研究の概要

誘導結合を用いたチップ間無線接続を利用し、対象アプリケーションに応じてCPU、メモリ、アクセラレータなどのチップを選んで積み重ねることで多様なシステムを構築可能なビルディングブロック型計算システムを研究開発する。あらかじめ仕様が決まっていなくても、チップ積層時に、動的にシステムを最適化する技術を開発する

研究分野：情報学

キーワード：計算機アーキテクチャ

1. 研究開始当初の背景

最近のLSIチップのマスク代の高騰、開発費の増大は「最初の1個」を製造するまでのコストを押し上げ、CPU、FPGA、メモリなど汎用目的以外の目的用途別チップは、あらかじめ大量の需要が望まれる極めて限られた製品以外は開発が困難となっている。このため、かつて日本の半導体産業を支えることが期待されたSoC（System-on-a-Chip）は、現在、壊滅の危機に瀕している。これに代わるSiP（System-in Package）は安価なものはチップ間の転送能力が不足し、TSV（Through Silicon Via）などの高い転送能力を持つものは高価になり、メモリ以外にはあまり普及していない。

2. 研究の目的

本研究では、世界的に突出した技術である誘導結合によるチップ間無線技術をシステム構築の基盤技術とした上で、回路、アーキテクチャ、システムソフトウェアの各階層を統合することで、多様なシステムを目的に応じて自由に構築可能なビルディングブロック型計算システムを実現する設計原理と設計手法を明らかにする。

3. 研究の方法

TCIを用いたビルディングブロック型計算システムのプロトタイプマルチコアシステムを構築する。この実現に向けて、以下の項目の研究を実施する。

1. 誘導結合TCIのIP化と統合設計技術（黒田、天野）、2. 誘導結合TCIのバスシステムへの応用、効率の良いバス制御手法の確立（黒田、天野、松谷）3. 自律再構成ネット

ワーク技術、ルータレベルでの転送プロトコルの確立（天野、松谷）、4. 耐故障技術、統合アーキテクチャ技術（中村、近藤）、5. 低消費電力技術、三次元熱モニタ技術（宇佐美、天野）、6. コンパイラ、OSを用いた電力制御、システム全体の制御技術（並木、近藤）を進めていく。最終的には2.5次元積層と3次元積層を組み合わせたビルディングブロック型プロトタイプシステムを構築し、その上でビルディングブロック型OSを動かすことを目標とする。

4. これまでの成果

①TCIのIP化と設計フローへの組み込み

ビルディングブロック型計算システムの鍵となる誘導結合TCIのIP（Intellectual Property）化を行い、デジタル設計フローに組み込んだ。TCIのインダクタ、送受信機だけではなく、周辺のSERDES回路を含んだIP化を行なった。SERDESのインタフェースは、周辺のデジタル回路のクロックに依存しない非同期方式を採用し、プロセスの性能に関わらず動作する方式を確立した。このIPを用いて実装したテスト用の実チップにより、動作を確認し、稼働可能なチップ厚み、バイアス電圧の範囲を求めることができた。

②ビルディングブロック型計算システムを構築するための、バスシステム用のTCI IPの開発

磁束は複数のチップを貫通できるため、この特徴を生かしてTCIでバスを構築することは、以前から試みられていた。しかし、バスの制御は全チップで同期を取って静的時

分割アクセスを行なう方法に限定されており、バスの利用率は上がらなかった。本研究では、実チップでバス上の衝突検出が可能であることを実証し、さらにバスを利用して全チップのクロック同期を取る手法との組み合わせを実装した。さらに、この機構を利用した効率の高いバス利用方式を提案し、実際のチップ上でのテスト環境を構築した。

③TCIによりチップを積層した場合のチップ熱拡散の解析および温度検出手法の確立

従来のTSVを用いた積層に対してTCIを用いた積層時のチップの温度特性に関して、実チップと温度シミュレーションを行って解析し、検出手法について提案、実装を行った。数Wクラスの発熱を行なうために、専用の発熱用チップTHERMOを開発し、4枚積層して積層して実測を行なった。結論として、ワイヤレス三次元積層は、チップ同士を密着させて接着剤で接合することから予想以上に熱が効率的に伝達し、省電力対策が施されたチップならば、多くの場合特段の対策が不要であること、積層した上部の端付近が最も温度が上がり易いなどの知見を得ることができた。また、積層内部チップの熱を精度高くモニタするリークモニタ技術を確立した。

④ビルディングブロック型計算システムにおける性能と消費電力の自己チューニング機構の開発

チップ同士をTCIにより接続した際に、接続後の性能と消費電力を自己検出して調整する機構が課題であった。この問題を日本の国家プロジェクトLEAPの成果であるSOTB (Silicon on Thin Box) プロセスによるボディバイアス制御により実現する方法を提案した。これは、プロジェクト開始時には存在しなかった新しい概念であり、ボディバイアスの制御により、必要な性能に対し、いくつかのデータ特性を取得することで、チューニングを行う理論を提案した。実チップのアクセラレータであるCMA(Cool Mega Array)-SOTBにこの方法を適用し、PEアレイの計算部と、マイクロコントローラによるデータ転送部のバランスを取ることでエネルギー効率を上げる方法を開発した。この手法を用いて、0.4mWという小さな電力で、290MOPSの性能を達成した。

⑤ビルディングブロック型計算システムのソフトウェア、ハードウェアの統合制御  
ビルディングブロック型計算システムは、それぞれの計算要素のチップをOS、コンパイラから統合制御するのが一つのポイントである。主として細粒度パワーゲーティングにこの考え方を用いて統合制御する方法、これを組み込んだコンパイラ、OSを開発した。

5. 今後の計画

本研究は前半で順調に成果を挙げることができ、予想外の発展も見られる。今後はこれらをまとめる方向で以下の研究を行なう。

- ① TCIのIPを用いた実システムの構築  
開発したIPとSOTB技術を用いたチップを積層してテストを行なう。
- ② バスIPの評価と、これを用いたさらに柔軟性の高いHUBチップの開発。
- ③ SOTBのバイアス制御を用いたブロック要素自動調節システムの構築。
- ④ 自動チューニング手法、耐故障システムを取り入れたビルディングブロック型OSの構築。

6. これまでの発表論文等 (受賞等も含む)

本研究の成果により、国際学会の Best Paper Award 3件、Best Poster Award 1件、国内研究会による優秀発表、優秀デモの表彰5件、VDEC Design Award 敢闘賞1件を受賞した。また、新聞報道6件、国際学会のキーノート、チュートリアル、招待講演など計9件を行い、国内でも招待講演3件を行なっている。以下、代表的なジャーナルを挙げる。

[1] "Efficient 3-D Bus Architectures for Inductive-Coupling ThruChip Interfaces," T.Kagami, H.Matsutani, M.Koibuchi, Y.Take, T.Kuroda, H.Amano, IEEE Transactions on VLSI Systems, Vol.24,493-506, 2016.

[2] "A Study of Physical Design Guidelines in ThruChip Inductive Coupling Channel," L. Hsu, J. Kadomoto, S. Hasegawa, A. Kosuge, Y. Take, and T. Kuroda, IEICE Trans. on Fundamentals, vol. E98-A, no. 12, pp. 2584-2591, Dec. 2015.

[3] "A Fine-grained Power Gating Control on Linux Monitoring Power Consumption of Processor Functional Units," A.Koshiba, M.Wada, R.Sakamoto, M.Sato, T.Kosaka, K.Usami, H.Amano, M.Kondo, H.Nakamura, M.Namiki, IEICE Transactions. on Electronics, Vol.E98-C, No.7, pp.559-568,2015.

[4] "3D NoC with Inductive-Coupling Links for Building-Block SiPs,"#, Y.Take, H.Matsutani, D.Sasaki, M.Koibuchi, T.Kuroda, H.Amano, IEEE Transactions on Computers, Vol63, No.3, 査読有, pp.748-763, 2014.

[5] "A Scalable 3D Heterogeneous Multicore with an Inductive ThruChip Interface 3D NoC,"#, N.Miura, Y.Koizumi, Y.Take, H.Matsutani, T.Kuroda, H.Amano, R.Sakamoto, M.Namiki, K.Usami, M.Kondo, H.Nakamura, IEEE Micro, Vol33, Issue6, 査読有, pp.6-15, 2013.

ホームページ等

[http://www.am.ics.keio.ac.jp/kaken\\_s](http://www.am.ics.keio.ac.jp/kaken_s)