

## 科学研究費助成事業 研究成果報告書

平成 28 年 5 月 31 日現在

機関番号：12601

研究種目：基盤研究(A) (一般)

研究期間：2013～2015

課題番号：25240045

研究課題名(和文) デジタル演算回路による大規模シリコン神経ネットワーク

研究課題名(英文) Large-scale silicon neuronal network based on digital arithmetic circuits

研究代表者

河野 崇 (KOHNO, Takashi)

東京大学・生産技術研究所・准教授

研究者番号：90447350

交付決定額(研究期間全体)：(直接経費) 28,300,000円

研究成果の概要(和文)：シリコン神経ネットワークは、神経細胞、シナプスのレベルで脳神経系を模倣した電子回路であり、脳型コンピュータの基盤技術の一つである。定性的神経モデリングの手法に基づくシリコンニューロンモデル及びシナプスモデルを用いた、従来は再現できなかった神経活動を再現できる大規模シリコン神経ネットワークの基盤技術構築のため、多様で複雑な神経活動を再現するシリコンニューロンライブラリ、スパイクタイミングに基づいた学習則回路及びシリコン神経ネットワークチップ間の接続技術の開発と大規模システムの設計技術についての検討を行った。

研究成果の概要(英文)：A silicon neuronal network is an electronic-circuit version of the nervous system by which brain-morphic computers are expected to be efficiently realized. We constructed fundamental technologies for large-scale silicon neuronal networks in which the silicon neuronal and synapse models based on the techniques of qualitative neuronal modeling support the neuronal activities that could not be reproduced in conventional silicon neuronal networks. They include a silicon neuronal model library that supports a wide variety of complex neuronal activities, a learning circuit that realize the spike-timing dependent plasticity, an inter-chip connecting technology, and a design techniques for large-scale silicon neuronal systems.

研究分野：神経模倣システム、定性的神経モデリング

キーワード：脳型情報処理 神経模倣システム 神経ネットワークモデル

## 1. 研究開始当初の背景

脳神経系は、感覚器官からの複雑であいまいな大量の情報を高速に処理し、生存に必要な応答を生成することができる優れた情報処理システムである。神経細胞同士がシナプスを介して相互結合した超並列構造を持ち、現行のデジタルコンピュータと異なる原理で情報処理を行っていると考えられている。脳神経系を模倣することによって、脳のように複雑であいまいな情報を自律的に高速処理できるシステムの実現を目指すアプローチの一つが、シリコン神経ネットワークである。これは、脳神経系の電気生理学的活動を、神経細胞やシナプスのレベルで模倣した電子回路であり、ディープラーニングなどで注目を集めている人工ニューラルネットワークに比べ、より脳神経系に近い処理が実現できる脳型コンピュータの基盤技術となることが期待されている。

シリコン神経ネットワークにおいて、神経細胞に対応するシリコンニューロン回路、シナプスに対応するシリコンシナプス回路の特性を、それぞれ神経細胞、シナプスに近づけるためには複雑な回路が必要になるというトレードオフが存在するため、多くの場合、神経スパイクと呼ばれる神経活動の基本現象をイベントとして扱う、インテグレート・アンド・ファイア型 (IF型) の神経モデルが用いられてきた。しかし、神経生理学分野の研究成果から、神経スパイク自体に多様性があることが知られており、IF型モデルでは脳神経系の情報処理を再現できない可能性がある。

これに対し、研究代表者らは定性的神経モデリングに用いられてきた非線形数学の手法を回路設計に応用することで、IF型モデルを用いずに比較的コンパクトなシリコン神経ネットワーク回路をデジタル回路技術を用いて実現した。さらに、神経スパイクの多様性を重視したモデルを用いることで、全結合ネットワークにおける自己連想記憶メモリの想起能力を向上させることができることを示した<①>。

## 2. 研究の目的

本研究の目的は、上記<①>の成果を元に、従来のシリコン神経ネットワークでは難しかった、脳神経系を忠実に模倣することのできるデジタル回路シリコン神経ネットワークプラットフォームの基盤技術を確立することである。

このためには、(1)脳神経系に存在する多様な神経細胞の活動を再現できるシリコンニューロンモデルライブラリの構築、(2)学習機能の実装、(3)大規模ネットワークの構築に必要な技術の開発、である。(3)については特に、複数のシリコン神経ネットワークチップ間を効率的に相互接続して大規模なシステムを実現するための手法の確立と、大規模システムを効率的に設計するための設計手法の検討、に注力する。

## 3. 研究の方法

(1) シリコンニューロンモデルライブラリの構築は、既に関済済みのモデルの拡張により行う。研究代表者ら独自の手法により、サポートしたい神経活動の数理構造を、デジタル演算回路による実装に適した方程式を用いて再現する。定性的神経モデリングに関する先行研究により、数理構造に基づいて定義された神経活動分類をサポートする他、これまで明示的に数理構造に基づく分類のなされていない神経活動のうち重要なものについて、イオンコンダクタンスモデルの数理構造を<②>の手法を用いて解析することによってサポートする。

(2) 学習機能は、スパイクタイミングに依存した学習則 (STDP則) を、デジタル演算回路にて効率的に実装できるモデルを構築することによって実現する。

(3) 複数のシリコン神経ネットワークチップの接続は、先行研究にて定義されているアドレス・イベント・レプレゼンテーション (AER) バスと呼ばれるバスを拡張し、最新の高速リアル通信技術に適応したバス規格を定義することによって行う。また、大規模シリコン神経ネットワークシステムの効率的設計について、高位合成技術の導入を検討する。

## 4. 研究成果

(1) シリコンニューロンモデルをこれまでの3変数モデルから4変数モデルに拡張することにより、既に関済可能であった、ホジキン分類クラス1及び2、方形波バーストに加えて、数理構造に基づく分類のうち楕円バースト、放物バーストをサポートした。これに加えて、大脳皮質及び視床の神経細胞分類であるレギュラスパイキング (RS)、ファーストスパイク (FS)、イントリンシックバースティング (IB)、ロースレショルドスパイク (LTS) の4つの神経活動について、イオンコンダクタンスモデルの数理構造を解析した上でシリコンニューロンモデルに変換した。さらに、神経活動の特徴の評価に用いられている統計量である CV 及び LV が、イオンコンダクタンスモデルと同等となるよう調整を行った。これにより複雑な神経活動を精密に再現できるシリコンニューロンモデルライブラリが構築できた。例えば、もっとも普及しているIF型モデルであるIzhikevichモデルは、IBクラスの神経活動を、特定の強さの刺激に対する応答のみ正確に再現できるが、本モデルではすべての刺激の強さに対して応答をよく再現できる (図1)。また、Izhikevichモデルの全結合ネットワークにおいては、ニューロンがクラス2の場合でも自己連想記憶メモリの想起能力が向上しないことも示し、本モデルの優位性を示した。本モデルを採用したシリコン神経ネットワーク回路は、IF型モデルを採用したIBM社のTrueNorthチップのシリコ

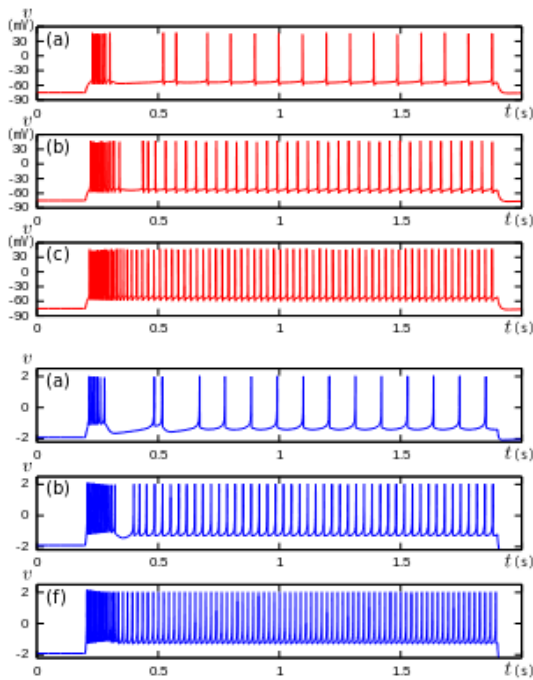


図1 IBクラスの波形例(赤線:イオンコンダクタンスモデル、蒼線:シリコンニューロンモデル)。(a)弱い、(b)中程度の、(c)強い刺激に対する応答。

ン神経ネットワークに比べて回路規模、消費電力共に大きくなることが予想されるものの上記のようにIF型モデルでは再現できない神経活動が存在するため、脳神経系により近いシステムの実現に必要なペナルティと考えている。

(2) 学習機能については、対称性及び非対称性の学習曲線を定義することによりヘブ学習則及び非対称性STDP学習則を実現したヘブ学習則においては、学習が過度に進むことによりシナプス荷重が飽和してしまう問題点があるが、本研究においては学習曲線に減衰成分を追加すること、及び、学習停止規則を工夫することにより対応した。学習則回路を実装したシリコン神経ネットワーク回路において全結合ネットワークを構築し、ヘブ学習により自己連想記憶を実現、想起能力の評価を行った。256ニューロンの全結合ネットワークに、相関学習及びヘブ学習により4個のパターンを記録した場合の想起能力を(どの程度多くのエラーのある入力に対してどの程度の割合で正しいパターンを想起できるか)を評価し、ヘブ学習則の導入により、相関学習に比べて想起能力が向上することを確かめた(図2)。また、全結合ネットワークにおいて非対称性STDP学習を行うことによってパターンの順序を記憶することも確かめた。

(3) 複数のシリコン神経ネットワークチップの相互結合には、従来AERと呼ばれるバスが使用されてきたが、データリンク層のみ定義された規格であり、実装するためには物理

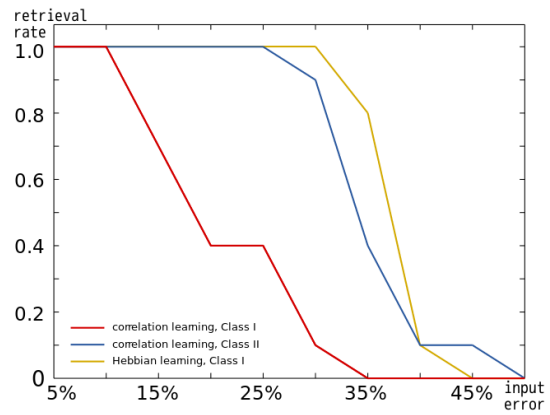


図2 全結合ネットワークにおける自己連想記憶ネットワークの想起能力(赤:相関学習、クラス1、青:相関学習、クラス2、黄:ヘブ学習、クラス1)。横軸は入力パターンに含まれるエラーの量、縦軸は正しいパターンを想起できた割合。

層、ネットワーク層を独自に定義する必要がある。本研究で策定したバスでは、リング上に配置したチップをピアツーピア接続の高速シリアル通信バスで接続することで構築したリングバス上を、神経スパイク生成に関する情報を含むパッケージが伝送される。各パッケージには、神経スパイクを生成したシリコンニューロンの固有番号、神経スパイクの開始か終了かの情報が記録されている。後者の情報によって、化学シナプスが神経スパイクの大きさの情報を伝達する仕組みを模倣できる。パッケージを受け取ったチップは、まず自らの生成したパッケージであるか確認する。自らの生成したパッケージである場合は無視し、そうでない場合は、次のチップにリレーすると共に、自らの持つ接続情報を元にチップ内のシリコンニューロン回路にスパイク情報を伝達する。シリコン神経ネットワーク回路は375マイクロ秒ごとにモデルの数値積分計算を行うため、この期間内にパッケージがリングバスを一周するように設計を行った。128チップのリングバスにおいて、1チップあたり1000個のシリコンニューロンが同時に神経スパイクを開始もしくは終了した場合にも問題なく動作するために必要なバスの帯域は約10ギガビット/秒であり、FPGAの高速通信バスでも実現できる範囲であった。

大規模ネットワークの設計手法として、MAXELER社の高位合成システムMaxコンパイラを使用し、JAVAを用いた高位設計の評価を行った。1チップ768ニューロンの全結合ネットワーク回路について、VHDLにて記述した場合に比べて、約8倍の高速化が実現できた。これによって、高速な情報処理の実現だけでなく、システムクロックを低下させることによってより低電力化したシステムの実現も可能になる。さらに、複数チップ結合系の設計においても、MAXELER社の提供するFPGAシステム上で4チップまでの結合系が実現できることを確認し、高位合成ツールの有効性を示した。

<引用文献>

① Jing Li, Yuichi Katori, and Takashi Kohno, "An FPGA-based silicon neuronal network with selectable excitability silicon neurons," *frontiers in Neuroscience*, Vol. 6, Article 183, pp. 1-13, 2012.

② Thomas Kepler, Larry Abbott, and Eve Marder, "Reduction of conductance-based neuron models," *Biological Cybernetics*, Vol. 66, pp. 381-387, 1992.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計5件)

① Takuya Nanami and Takashi Kohno, "Simple cortical and thalamic neuron models for digital arithmetic circuit implementation," *Frontiers in Neuroscience*, 査読有, Vol. 10, No.181, pp. 1-12, May, 2016,  
doi: 10.3389/fnins.2016.00181

② Takuya Nanami and Takashi Kohno, "An FPGA-based cortical and thalamic silicon neuronal network," *Journal of Robotics, Networking and Artificial Life*, 査読有, Vol. 2, No. 4, pp. 238-242, Mar., 2016,  
doi:10.2991/jrnal.2016.2.4.8

③ 名波 拓哉, 河野 崇, 「デジタル演算回路実装に適した大脳皮質及び視床の神経細胞モデル」、*生産研究*、査読無、Vol. 67、No. 3、pp. 297-300、2015,  
doi:10.11188/seisankenkyu.67.297

④ Yoshika Osawa and Takashi Kohno, "Associative Memory with Class I and II Izhikevich Model," *Journal of Robotics, Networking and Artificial Life*, 査読有, Vol. 1, No. 4, pp. 312-315, Mar., 2015.  
doi:10.2991/jrnal.2015.1.4.12

⑤ Takashi Kohno, Jing Li, and Kazyuki Aihara, "Silicon neuronal networks towards brain-morphic computers," *Nonlinear Theory and Its Applications*, IEICE, 査読有, Vol. 5, No. 3, pp. 379-390, Jul., 2014,

doi:10.1587/nolta.5.379

[学会発表](計7件)

① Takuya Nanami and Takashi Kohno, "Simple cortical and thalamic neuron models for digital arithmetic circuit and its implementation," The 4th RIEC International Symposium on Brain Functions and Brain Computer, poster (P-2), 23rd, Feb., 2016.

② 川尾 太郎, 河野 崇, 藤田 昌宏, 「高位合成による自動パイプライン化を利用したスパイキングニューラルネットワークシミュレーション高速化回路のFPGA実装」、第173回システムとLSIの設計技術研究発表会、2015年12月1日、研究報告システムとLSIの設計技術(SLDM)、2015-SLDM-173、No. 3、pp. 1-6、2015,  
[https://ipsj.ixsq.nii.ac.jp/ej/index.php?active\\_action=repository\\_view\\_main\\_item\\_detail&page\\_id=13&block\\_id=8&item\\_id=146129&item\\_no=1](https://ipsj.ixsq.nii.ac.jp/ej/index.php?active_action=repository_view_main_item_detail&page_id=13&block_id=8&item_id=146129&item_no=1)

③ 名波 拓哉, 河野 崇, 「デジタル演算回路実装に適した神経細胞モデルの構築と評価」、平成27年度物質・デバイス領域共同研究拠点研究課題(一般研究)「分岐理論の工学的応用研究」に関するワークショップ2015年7月13日

④ 権 泰五, 河野 崇, 「FPGAスパイキング神経ネットワーク間のプロトコル」、平成27年度物質・デバイス領域共同研究拠点研究課題(一般研究)「分岐理論の工学的応用研究」に関するワークショップ、2015年7月13日

⑤ 河野 崇, 「シリコン神経ネットワークの実装と情報処理」、平成27年度第1回ブレインウェア研究会、2015年6月30日

⑥ Jing Li, Yuichi Katori, and Takashi Kohno, "Digital Silicon Neuronal Network and its Application to Associative Memory," *Proceedings of the 1st International Symposium on Neuromorphic and Nonlinear Engineering 2014*, p. 32, 21st, Feb., 2014.

⑦ Jing Li, Yuichi Katori, and Takashi Kohno, "Hebbian Learning in FPGA Silicon Neuronal Network," *Proceedings of the 1st IEEE/IIAE International Conference on Intelligent Systems and Image Processing 2013*, pp.83--90

(GS2-02), 26th, Sep., 2013,  
doi:10.12792/icisip2013.020

6. 研究組織

(1) 研究代表者

河野 崇 (KOHNO, Takashi)  
東京大学・生産技術研究所・准教授  
研究者番号:90447350

(2) 研究分担者

藤田 昌宏 (FUJITA, Masahiro)  
東京大学・大規模集積システム設計教育  
研究センター・教授  
研究者番号:70323524