

科学研究費助成事業 研究成果報告書

平成 30 年 5 月 30 日現在

機関番号：14401

研究種目：基盤研究(A) (一般)

研究期間：2013～2017

課題番号：25246028

研究課題名(和文) 相界面反応制御技術を基軸とした混晶材料の設計と新機能発現

研究課題名(英文) Development of new functional semiconductors by utilizing novel liquid-phase crystallization technique and understanding of their optoelectronic properties

研究代表者

渡部 平司 (WATANABE, HEIJI)

大阪大学・工学研究科・教授

研究者番号：90379115

交付決定額(研究期間全体)：(直接経費) 35,500,000円

研究成果の概要(和文)：ナノ空間溶融結晶化技術を駆使して、無転位単結晶GOI構造ならびにGeSn混晶半導体の作製に成功した。本手法では半導体層への引張り歪み印加や、固溶限を越える高Sn組成のGeSn結晶の液相成長が可能となる。GeやGeSn層とチャネルとして薄膜トランジスタを試作し、高いキャリア移動度を実証し、高性能電子デバイスへの有用性を示した。さらに、高Sn組成引張り歪みGeSnを用いた光デバイスでは、近赤外域の受光感度の増加や、直接遷移発光の飛躍的な増大を達成し、光電子融合デバイス実現に向けた原理実証に成功した。

研究成果の概要(英文)：Dislocation-free local Ge- and GeSn-on-insulator structures were successfully fabricated by utilizing a novel liquid-phase crystallization technique. This method allows us to fabricate tensile-strained GOI and GeSnOI layers due to the large difference in thermal expansion coefficient between the semiconductors and substrate. In addition, high Sn-content exceeding the solubility limit was realized with the proposed method. Thin film transistors (TFTs) fabricated with the GOI and GeSnOI structures exhibited very high carrier mobility, indicating superior crystalline quality of thin Ge and GeSn layers and big advantage in electronic device applications. Moreover, enhanced direct bandgap emission and improved NIR photo-responsivity were demonstrated with GeSn-based photonic devices. The present technology opens a way for fully-integrated group-IV-based optoelectronic integration in the post-scaling era.

研究分野：薄膜工学

キーワード：界面物性 界面反応 族混晶半導体 ゲルマニウム 光電子融合デバイス

1. 研究開始当初の背景

最先端の IT 技術を駆使したクラウドコンピューティングによる省エネ・低炭素社会が提唱されている。また、小型分散かつ不安定な自然エネルギー発電や蓄電デバイスを繋ぐ電力統合システムの構築が急務となっている。よって、次世代のクラウドコンピューティングでは、演算や情報記憶、高速通信が可能な高機能デバイスが、全ての人・物・場を包み込んだ社会の実現が望まれている。ここでの機能デバイスとは、CPU やメモリー等の範疇を超えて、安価でありながら高機能かつ低消費電力性能に優れた素子が、透明なフレキシブル基板上に集積されることが理想であり、革新的な機能性材料の創成と新機能デバイス製造技術が切望されている。

ゲルマニウムは電子・正孔共にシリコンの約 3 倍のキャリア移動度を示し、次々世代の LSI 材料として最適である。絶縁膜上に薄い Ge 層を有した Germanium-on-Insulator (GOI) 構造は素子の高性能化に有利であり、トランジスタの高性能化と低消費電力化を同時に実現できる立体構造 Ge-MOSFET への期待が高まっている。また、表示デバイスの駆動素子である薄膜トランジスタ (TFT) は、ガラス基板上の非晶質や多結晶シリコンを用いるが、ディスプレイの面積化に伴って TFT の性能向上が求められており、Ge-TFT による高性能化が検討されている。一方、Ge は光デバイス用半導体材料としても注目されている。例えば、Ge 半導体発光受光素子を用いて素子間を光配線で繋ぐことでシステムの高速度化と配線損失の低減が可能となる。従って、Ge 混晶半導体を用いた光電子ハイブリッドデバイスの概念が提唱されている。さらに、Ge 混晶半導体は近赤外域に発光受光波長を有することから、情報通信分野への応用だけでなく、イメージセンサーや環境・医療分野への応用も期待される。加えて、Sn の添加や歪み印加に伴う GeSn 半導体の電子・光物性の制御は学術的にも極めて興味深い研究対象である。

2. 研究の目的

本研究では、ナノ空間での固液界面および異種材料間での相界面反応制御を基軸として、新機能材料や新規ナノ構造を実現するための共通基盤技術を構築する。Ge 混晶材料は、超高性能 LSI や光電子ハイブリッドデバイス等の次世代 IT 機器に加え、各種センサーへの応用も期待される。よって本研究では、①微小空間に閉じ込めた熔融 Ge 相からの 3 次元伝播型の液相成長技術を確認すると共に、②Sn 添加による GeSn 混晶半導体創成と引張り歪み印加による電子光物性制御、さらには③これらの新規 IV 族混晶半導体材料を用いた光電子ハイブリッドデバイスを試作し、当該技術の優位性を実証することを目的としている。

3. 研究の方法

Ge は間接遷移型の IV 族半導体であるが、光通信の波長帯域に感度を有し、フォトディテクタ等に用いられている。また、間接遷移と直接遷移ギャップのエネルギー差は僅か 136 meV であり、理論計算によれば約 2% の引張り歪み印加または Sn 添加で直接遷移型半導体へとエネルギーバンド構造が変化する (図 1 参照)。従って高 Sn 濃度引張り歪み GeSn 混晶半導体を実現出来れば、受光素子の検出感度の向上や、光通信に利用可能な波長域を拡張できるだけでなく、IV 族半導体レーザーの実用化も夢ではない。しかし、大きな歪み印加が困難であることに加え、Ge 中の Sn の固溶限は 1% 以下であり、直接遷移 GeSn 半導体を実現することは困難である。

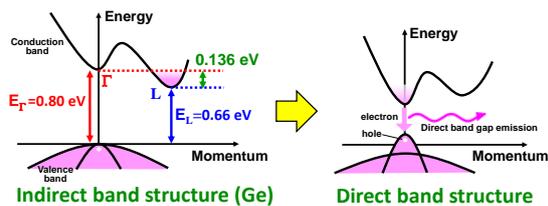


図 1 歪み印加による Ge のバンド構造変化

従来の GeSn 混晶の作製では、Sn 偏析を抑える為に結晶性を犠牲にして低温下での CVD や MBE 成長を行う。我々は、微小空間に閉じ込めた Ge や GeSn 細線の液相成長により GOI や GeSn-on-Insulator 構造を形成するナノ空間熔融結晶化技術の開発に取り組んでいる (図 2 参照)。局所 GOI 構造の作製では、絶縁体で閉じ込めた非晶質 Ge 細線の一端を Si シード領域と接触させて加熱溶解する。その際、Ge/Si 界面の相互拡散で生じた SiGe の融点が上昇し、液相成長は常にシード領域から横方向に伝播する。これまで我々は、SiO₂ 中の微小空間内に 500μm に亘って無転位の単結晶 Ge 細線を形成することに成功している。また本手法を GeSn 混晶半導体に応用した場合、熔融状態からの急速冷却により固溶限を超える高 Sn 組成を実現可能である。更に基板と半導体との熱膨張係数差で自動的に Ge や GeSn 細線に引張り歪みが印加され、石英基板を用いた場合では、Ge 系混晶半導体に最大 0.6% の 2 軸引張り歪みを印加することができる。

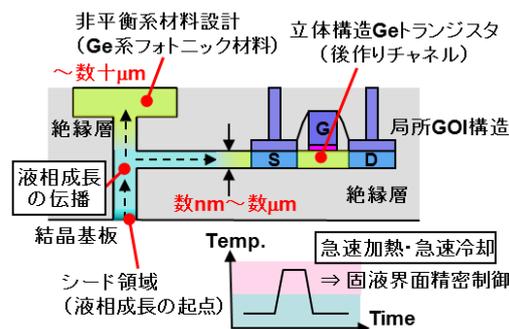


図 2 ナノ空間熔融結晶化技術の概念図

4. 研究成果

(1) ナノ空間熔融結晶化

局所 GOI 構造の作製では、SiO₂ 絶縁体で閉じ込めた非晶質 Ge 細線の一端を Si シード領域と接触させて加熱熔融する。その際、Ge/Si 界面の相互拡散で生じた SiGe の融点が上昇し、冷却過程での液相成長は常にシード領域から横方向に伝播する。図 3 は Si 基板上に本手法で作製した線幅 1μm の単結晶 Ge 細線の光学顕微鏡写真であり、微小空間内に 500 μm に亘って無転位単結晶局所 GOI 構造を形成することに成功した。また本手法を GeSn 混晶半導体に応用し、熔融状態からの急速冷却により固溶限を超える高 Sn 組成を実現した。結晶化に際しては、基板と半導体層との熱膨張係数差で自動的に Ge や GeSn 細線に最大 0.6% の 2 軸引張り歪みが生じることをラマン分光測定から確認している。

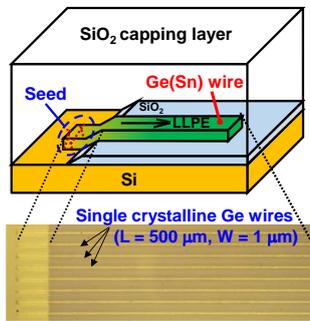


図 3 Si シードからの横方向液相成長

(2) 高移動度電子デバイスへの展開

本手法で作製した局所 GOI 構造の特性評価を目的として、SOI 基板上の Ge 細線をチャネルとした GOI バックゲートトランジスタを試作し、Ge 層のキャリア移動度を評価した。図 4 は 100 本の Ge 細線をチャネルとした素子の評価結果であり、Ge 層の正孔移動度は 511cm²/Vs に達し、比較用 SOI デバイスの移動度の約 1.8 倍であった。さらにトランジスタの on/off 比は 6 桁であり、オフ電流や過剰キャリアの原因となる原子空孔等の点欠陥が十分に低減された良質な局所 GOI 構造を実現した。

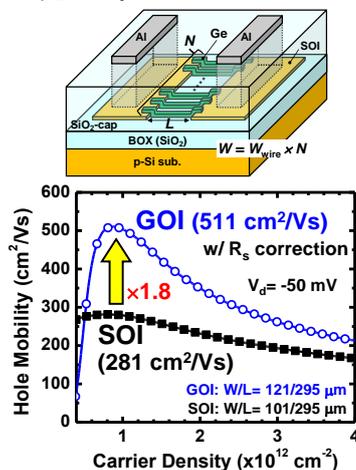


図 4 GOI トランジスタの移動度解析結果

(3) 直接遷移型 GeSn 混晶半導体の創成

本研究では、ナノ空間熔融結晶化技術の特徴を活かして、n 型ドーピング高 Sn 濃度引張り歪み GeSn-on-Insulator 構造を世界で初めて作製し、そのバンド構造変調に伴う直接遷移発光の観測に成功した。Ge への Sn 添加、引張り歪み印加、更には高濃度 n 型ドーピングによる GeSn 混晶半導体の光電子物性の制御が試みられてきたが、従来技術では良好な結晶性を保ちつつ、これら全ての効果を同時に得ることは困難であった。図 5 はナノ空間熔融結晶化で SOI 基板上に作製した Ge 及び GeSn、更には n 型ドーピングを施した GeSn 細線からのフォトルミネッセンス (PL) スペクトルである。約 0.25% の引張り歪み印加、固溶限を超える約 6% の Sn 添加、更には高濃度 n 型ドーピングによる付加的なバンドギャップナローイングとキャリア密度増大に伴う PL 発光の長波長化と強度の著しい増大を確認した。理論計算結果との比較から、n 型高 Sn 濃度引張り歪み GeSn 層からの発光は、直接遷移発光であることを確認し、直接遷移 GeSn 混晶半導体の創成に成功した。

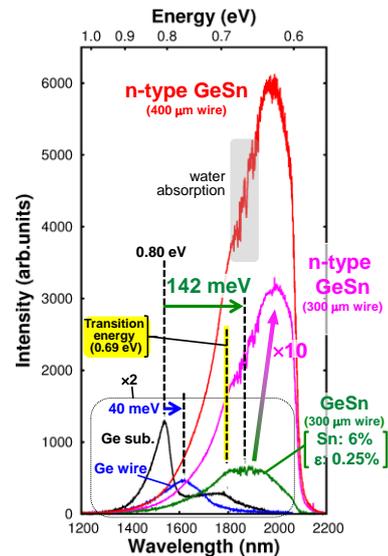


図 5 PL 法による Ge 混晶材料の光物性評価

(4) 非晶質フレキシブル基板への展開

上述の研究成果は Si 基板上での実験結果であるが、当該研究期間の後半では、非晶質透明フレキシブル基板への応用展開を進めた。その原理実証実験として、石英ガラス基板上の GeSn 細線を部分的に熔融し、固液境界からのナノ空間熔融結晶化を試みた。その結果、未熔融部分は非晶質 (または多結晶) 構造を有するにも関わらず、ナノ空間中の結晶成長で(001)配向した無転位単結晶 GeSn 細線が形成できることが明らかとなった。図 6 は、この GeSn 細線を用いて石英基板上に TFT を試作した結果である。ドレイン電流-ゲート電圧 (I_d-V_g) 測定からスイッチング動作を確認し、非晶質透明基板上的 TFT としては極めて高い正孔移動度 (423cm²/Vs) を達成した。一方、光学特性に注目すると、石英と

GeSn との熱膨張係数差が大きいため、ナノ空間熔融結晶化で作製した GeSn 層には約 0.6% の引張り歪みが印加されることを確認しており、図 5 と同様に引張り歪み GeSn からの直接遷移発光強度の増大も観測した。

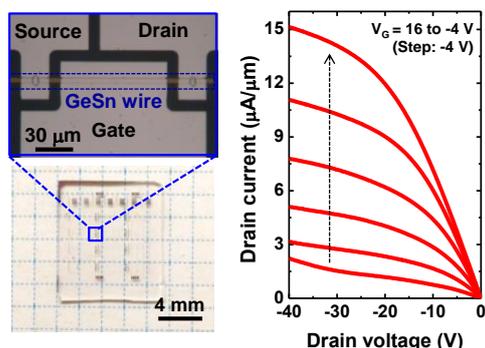


図 6 石英基板上 GeSn-TFT 試作結果

(5) レーザー熔融結晶化技術への展開

上述の石英基板上でのナノ空間熔融結晶化では、GeSn 細線の一部を熔融することで横方向成長を実現したが、センサーアレイ等への実デバイス応用を目指して、レーザー熔融による石英基板上単結晶 GeSn アレイの作製に挑戦した。本手法では、先と同様に非晶質 GeSn 細線アレイを SiO₂ キャップで覆った後に、レーザーを細線方向に走査することで単結晶 GeSn アレイを形成した。図 7 は本手法で作製した GeSn アレイの光学顕微鏡写真と電子線後方散乱測定による結晶方位解析の結果であり、レーザーの走査方向に依存してアレイ端に Sn が析出し、大部分の GeSn アレイが (001) 配向した単結晶成長が進行することを確認した。さらに、本手法で作製した GeSn アレイからの直接遷移発光強度の増大や、近赤外光の受光感度の飛躍的な向上も確認している。

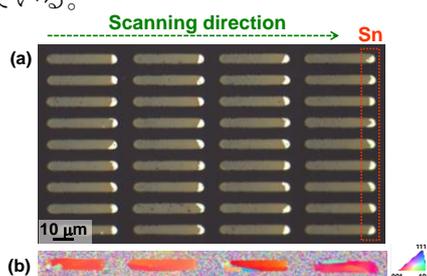


図 7 レーザー熔融結晶化で形成した石英基板上 GeSn アレイ

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 12 件) 全て査読有

[1] H. Oka, T. Tomita, T. Hosoi, T. Shimura, H. Watanabe: “Lightly doped n-type tensile-strained single-crystalline GeSn-on-insulator structures formed by lateral liquid-phase crystallization”, Appl.

Phys. Express **11**, 011304 (2018).

DOI: 10.7567/APEX.11.011304

[2] H. Oka, T. Amamoto, M. Koyama, Y. Imai, S. Kimura, T. Hosoi, T. Shimura, and H. Watanabe: “Fabrication of tensile-strained single-crystalline GeSn on transparent substrate by nucleation-controlled liquid-phase crystallization”, Appl. Phys. Lett. **110**, 032104 (2017).

DOI: 10.1063/1.4974473

[3] T. Hosoi, Y. Minoura, R. Asahara, H. Oka, T. Shimura, and H. Watanabe: “Schottky source/drain germanium-based metal-oxide-semiconductor field-effect transistors with self-aligned NiGe/Ge junction and aggressively scaled high-k gate stack”, Appl. Phys. Lett. **107**, 252104 (2015).

DOI: 10.1063/1.4938397

[4] S. Ogawa, R. Asahara, Y. Minoura, H. Sako, N. Kawasaki, I. Yamada, T. Miyamoto, T. Hosoi, T. Shimura, and H. Watanabe: “Insights into thermal diffusion of germanium and oxygen atoms in HfO₂/GeO₂/Ge gate stacks and their suppressed reaction with atomically thin AlO_x interlayers”, J. Appl. Phys. **118**, 235704 (2015).

DOI: 10.1063/1.4937573

[5] T. Shimura, M. Matsue, K. Tominaga, K. Kajimura, T. Amamoto, T. Hosoi, and H. Watanabe: “Enhancement of photoluminescence from n-type tensile-strained GeSn wires on an insulator fabricated by lateral liquid-phase epitaxy”, Appl. Phys. Lett. **107**, 221109 (2015).

DOI: 10.1063/1.4936992

[6] R. Asahara, I. Hideshima, H. Oka, Y. Minoura, S. Ogawa, A. Yoshigoe, Y. Teraoka, T. Hosoi, T. Shimura, and H. Watanabe: “Comprehensive study and design of scaled metal/high-k/Ge gate stacks with ultrathin aluminum oxide interlayers”, Appl. Phys. Lett. **106**, 233503 (2015).

DOI: 10.1063/1.4922447

[7] T. Hosoi, Y. Suzuki, T. Shimura, and H. Watanabe: “Mobility characterization of Ge-on-insulator metal-oxide-semiconductor field-effect transistors with striped Ge channels fabricated by lateral liquid-phase epitaxy”, Appl. Phys. Lett. **105**, 173502 (2014).

DOI: 10.1063/1.4900442

[8] H. Oka, Y. Minoura, T. Hosoi, T. Shimura, and H. Watanabe: “Understanding and engineering of NiGe/Ge junction formed by phosphorous

ion implantation after germanidation”, Appl. Phys. Lett. **105**, 062107 (2014).

DOI: 10.1063/1.4893152

[9] Y. Minoura, H. Oka, T. Hosoi, J. Matsugaki, S. Kuroki, T. Shimura, and H. Watanabe: “Phosphorous ion implantation into NiGe layer for Ohmic contact formation on n-type Ge”, Jpn. J. Appl. Phys. **53**, 04LD01 (2014).

DOI: 10.7567/JJAP.53.08LD01

[10] M. Matsue, Y. Yasutake, S. Fukatsu, T. Hosoi, T. Shimura, and H. Watanabe: “Strain-induced direct band gap shrinkage in local Ge-on-insulator structures fabricated by lateral liquid-phase epitaxy”, Appl. Phys. Lett. **104**, 031106 (2014).

DOI: 10.1063/1.4862890

[11] Y. Minoura, A. Kasuya, T. Hosoi, T. Shimura, and H. Watanabe: “Design and control of Ge-based metal-oxide-semiconductor interfaces for high-mobility field-effect transistors with ultrathin oxynitride gate dielectrics”, Appl. Phys. Lett. **103**, 033502 (2013).

DOI: 10.1063/1.4813829

[12] T. Hosoi, I. Hideshima, R. Tanaka, Y. Minoura, A. Yoshigoe, Y. Teraoka, T. Shimura, and H. Watanabe: “Ge diffusion and bonding state change in metal/high-k/Ge gate stacks and its impact on electrical properties”, Microelectronic Engineering, **109**, 137 (2013).

DOI: 10.1016/j.mee.2013.03.115

〔学会発表〕 (計 41 件)

国際会議 17 件 国内会議 24 件

[1] H. Oka, K. Inoue, T. T. Nguyen, S. Kuroki, T. Hosoi, T. Shimura, and H. Watanabe: “Back-side illuminated GeSn photodiode array on quartz substrate fabricated by laser-induced liquid-phase crystallization for

monolithically-integrated NIR imager chip”, IEEE International Electron Devices Meeting (IEDM), December 5 (2017), San Francisco, CA, USA.

[2] H. Oka, M. Koyama, T. Hosoi, T. Shimura, and H. Watanabe: “Enhancement-mode n-channel TFT and room-temperature near-infrared emission based on n+/p junction in single-crystalline GeSn on transparent substrate”, Symposium on VLSI Technology, June 6 (2017), Kyoto, Japan.

[3] H. Oka, M. Koyama, T. Tomita, T. Amamoto, K. Tominaga, S. Tanaka, T. Hosoi, T. Shimura, and H. Watanabe: “High-mobility TFT and enhanced luminescence utilizing nucleation-controlled GeSn growth on

transparent substrate for monolithic optoelectronic integration”, IEEE International Electron Devices Meeting (IEDM), December 6 (2016), San Francisco, USA.

[4] T. Shimura, M. Matsue, K. Tominaga, K. Kajimura, T. Amamoto, T. Hosoi, and H. Watanabe: “Photoluminescence from n-type tensile-strained Ge and GeSn wires on an insulator fabricated by lateral liquid-phase epitaxy”, International Symposium on Advanced Science and Technology of Silicon Materials, November (2016), Kona, HI, USA.

[5] H. Watanabe: “High-mobility GeSn-based MOSFETs on transparent substrates”, International SiGe Technology and Device Meeting (ISTDM), June 11 (2016), Nagoya, Japan.

[6] H. Oka, T. Amamoto, T. Hosoi, T. Shimura, and H. Watanabe: “High-mobility GeSn p-MOSFETs on transparent substrate utilizing nucleation-controlled liquid-phase crystallization”, IEEE Silicon Nanoelectronics Workshop, June 13 (2016), Honolulu, HI, USA.

[7] T. Shimura, Y. Suzuki, M. Matsue, K. Kajimura, K. Tominaga, T. Amamoto, T. Hosoi, and H. Watanabe: “Fabrication of high-quality Ge-on-insulator structures by lateral liquid phase epitaxy”, The 228th ECS Meeting, October (2015), Phoenix, AZ, USA.

[8] T. Hosoi, H. Oka, Y. Minoura, T. Shimura, and H. Watanabe: “Schottky barrier height modulation at NiGe/Ge interface by phosphorous ion implantation and its application to Ge-based CMOS devices”, International Workshop on Junction Technology (IWJT2015), June 12 (2015), Kyoto, Japan.

[9] T. Hosoi, K. Kajimura, K. Tominaga, T. Shimura, and H. Watanabe: “Fabrication of GeSn-on-insulator structure by utilizing lateral liquid-phase epitaxy”, IEEE Semiconductor Interface Specialists Conference (SISC), December 11 (2014), San Diego, CA, USA.

[10] H. Oka, Y. Minoura, R. Asahara, T. Hosoi, T. Shimura, and H. Watanabe: “Engineering of NiGe/Ge junction by P ion implantation after germanidation for metal S/D Ge CMOS technology”, IEEE Semiconductor Interface Specialists Conference (SISC), December 11 (2014), San Diego, CA, USA.

[11] T. Hosoi, Y. Minoura, R. Asahara, H. Oka, T. Shimura, and H. Watanabe: “Sub-1-nm EOT Schottky source/drain germanium CMOS technology with

low-temperature self-aligned NiGe/Ge junctions”, IEEE Silicon Nanoelectronics Workshop (SNW), June 8 (2014), Honolulu, HI, USA.

[12] M. Matsue, Y. Yasutake, S. Fukatsu, T. Hosoi, T. Shimura, and H. Watanabe: “Enhanced direct bandgap photoluminescence from local Ge-on-insulator structures fabricated by lateral liquid-phase epitaxy - material and strain engineering toward CMOS compatible group-IV photonics”, IEEE Semiconductor Interface Specialists Conference (SISC), December 7 (2013), Arlington, VA, USA.

〔図書〕（計 0 件）

〔産業財産権〕

○出願状況（計 0 件）

○取得状況（計 0 件）

〔その他〕

ホームページ等

<http://www-asf.mls.eng.osaka-u.ac.jp/>

6. 研究組織

(1) 研究代表者

渡部 平司 (WATANABE Heiji)
大阪大学・大学院工学研究科・教授
研究者番号：90379115

(2) 連携研究者

志村 考功 (SHIMURA Takayoshi)
大阪大学・大学院工学研究科・准教授
研究者番号：90252600

細井 卓治 (HOSOI Takuji)
大阪大学・大学院工学研究科・助教
研究者番号：90452466