

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 4 日現在

機関番号：17102

研究種目：基盤研究(A) (一般)

研究期間：2013～2015

課題番号：25249035

研究課題名(和文)メタル・ソース/ドレイン型Ge-CMOS実現のための基盤技術開発

研究課題名(英文)Development of basic technology for achievement of metal source/drain Ge-CMOS device

研究代表者

中島 寛(NAKASHIMA, HIROSHI)

九州大学・産学連携センター・教授

研究者番号：70172301

交付決定額(研究期間全体)：(直接経費) 35,300,000円

研究成果の概要(和文)：スパッタ堆積で作製したTiN/Geコンタクトは、フェルミレベルピンニング(FLP)位置を伝導帯側に大きく変調し、低い電子障壁が実現できる。TiN/Geの界面構造を調べた結果、界面に厚さが1-2 nmの窒素を含むアモルファス界面層(a-IL)が存在し、このa-ILがFLP変調に重要な役割を果たしている。TiN/Geをソース/ドレイン(S/D)に用いたn-MOSFETでは、a-ILの厚さが薄いため、S/D寄生抵抗が1400 Ω と大きい。S/Dを埋め込み構造にして寄生抵抗を100 Ω 迄低減した。HfGe/Geの代わりにPtGe/GeをS/Dに用いて、S/D寄生抵抗を50 Ω 迄低減した。

研究成果の概要(英文)：TiN/Ge contacts, prepared by direct sputter deposition, can alleviate the intrinsic Fermi-level pinning (FLP) position toward the conduction band edge. Investigations on both the electrical properties and interfacial structures of TiN/Ge contacts showed that an amorphous interlayer containing nitrogen played an important role in the alleviation. A thickness of a-IL was 1-2 nm. Based on these results, interfacial dipole model was proposed to explain the FLP alleviation. The n-MOSFET was fabricated using the TiN/Ge contact as source/drain (S/D). The S/D parasitic resistance was as high as 1400 Ω . The parasitic resistance could be decreased down to 100 Ω using the embedded S/D structure.

The p-MOSFET was also fabricated using the HfGe/Ge contact as S/D. The S/D parasitic resistance was as high as 300 Ω . The parasitic resistance could be decreased down to 50 Ω using the PtGe-S/D.

研究分野：半導体工学

キーワード：Ge半導体 高性能デバイス 電子材料 絶縁膜 金属/半導体コンタクト

1. 研究開始当初の背景

Si-ULSIは、MOSFET(金属/酸化膜/半導体-電界効果トランジスタ)のスケーリングにより高性能化(高速・低消費電力化)を達成してきたが、Si材料物性の制約から物理的限界を迎えている。このため、次世代の高性能ULSIには、Si物性を遙かに凌駕する新材料の導入等により物性を極限まで引き出し、高移動度チャンネルを実現することが不可欠となる。本研究では、チャンネル材料としてGeに着目し、高性能Ge-CMOS(相補型MOS)実現のための基盤技術の確立を目指した。

Ge結晶中のドーパント固溶限界はSiより約1桁低く、拡散係数が大きいため、高濃度で極浅のドープ層形成は困難である。このため、pn接合ソース/ドレイン(S/D)では寄生抵抗増大の問題がSiの場合より深刻となる。この課題は金属S/Dで解決できるが、GeはFermi Level Pinning (FLP)が強く、低い電子障壁のコンタクトはできないと考えられてきた。代表者は、TiNのスパッタ堆積によって低い電子障壁コンタクトができることを世界で初めて実証した。更に、Hfのスパッタ堆積によって形成されるHfGe/Geコンタクトが低い正孔障壁を持つことを見出していた。しかし、TiN/GeコンタクトでなぜFLP変調が起こるのか、その機構は不明であった。

更に、代表者等は、上述のコンタクト技術を用いて金属S/D型n-およびp-MOSを試作し、デバイス動作を実証した。これは、金属S/D型Ge-CMOS実現への道を拓く成果と言える。しかし、電子および正孔のチャンネル移動度はそれぞれ230および340 cm²/Vsで、更なる向上が必要であった。また、n-MOSに関しては、S/Dの寄生抵抗が高いとの課題もあった。これらの課題を解決するための研究をH25年度より開始した。

2. 研究の目的

本研究では、TiN/Geコンタクトが低い電子障壁を示す機構を解明すること、n-MOSFETに於いてソースからチャンネルへの電子注入効率を高めるデバイス化技術を確立すること、p-MOSFETでは移動度を向上すること、を目的に研究を実施した。以下、それぞれの課題について、研究の方法と得られた成果を以下に記す。

3. 研究の方法

(1) 低い電子障壁の発現機構の解明

HF洗浄したGe基板の上に、80 nmの厚さのTiNをrfスパッタリングし(ターゲット:TiN)、Alを真空蒸着し、直径240 μmのコンタクトをリフトオフ法で形成した。その後、350°Cまたは600°Cで10分間のN₂雰囲気中でPMA(Post metallization annealing)を行った。まっ

た同じ方法(ターゲット:Ti)で、Ti/Geコンタクトも準備した。

構造解析用の試料は、FIBマクロサンプリング法により、STEM観察方向が膜の積層方向と垂直になるよう切り出して、薄膜試料とした。STEMはJEOL製ARM-200Fを用い、加速電圧は200 kVとした。

(2) TiN-S/D型n-MOSFETの寄生抵抗低減

TiN/GeコンタクトはGeに対して低い電子障壁高さを持つので、n-MOSのメタルS/Dとして有望である。しかし、後述するように、アモルファス界面層(a-IL)の厚さが薄いため、ソースから反転チャンネルへの電子注入が難しく、結果としてS/Dの寄生抵抗が高いとの課題がある。酸化膜換算膜厚(EOT)を低減すれば、チャンネル抵抗が低減して電流駆動力は向上する。しかし、S/Dの寄生抵抗(R_p)が大きい時にはR_pが駆動電流を律速する。本研究では、TiN-S/D型n-MOSFETにおけるR_pを調査し、S/Dの埋込み構造によるR_pの低減を検討した。

p形(100)Ge基板を使用した。基板の化学洗浄後、S/D領域のパターニングを行い、0.03%-H₂O₂を用いてS/D領域を深さ12 nmまで掘り込んだ。また、掘り込み無しの試料も準備した。その後、S/D領域に30 nm-TiNを堆積し、400°C-30 minのPMAを行った。続いてECRプラズマ酸化により2 nmのGeO₂を成長させ、引き続き50 nmのSiO₂をECRスパッタリングで堆積した。その後、400°C-30 minのPDAを行い、ゲート電極としてAlを真空蒸着・加工し、最後にコンタクト電極を形成してTiN-S/D型n-MOSFETを作製した。(図1)チャンネル長(L)は40、60および100 μm、チャンネル幅(W)は390 μmである。

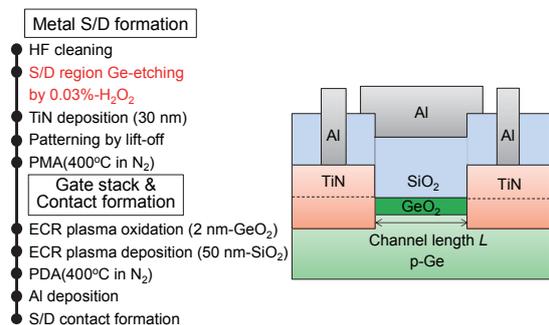


図1. TiN-S/D Ge n-MOSFETの断面図。

(3) PtGe-S/D型p-MOSFETの寄生抵抗低減と高性能化

本研究開始前には、p-MOSのメタルS/D材料としてHfGeを使用してきた。この際のゲート絶縁膜のEOTは50 nm程度と厚くチャンネル抵抗が低いため、チャンネル(正孔)移動度は

チャンネル長 (L) に依存しなかった。しかし、薄い EOT の MOS デバイスを試作した結果、チャンネル移動度が L に依存する特性が得られた。これは、HfGe 層のシート抵抗が高いことに起因している。HfGe の抵抗が高い原因として、HfGe は酸化されやすこと、アモルファス構造であること、等が考えられる。このため、電流駆動力の向上には S/D の見直しが必要となり、PtGe-S/D に着目し、PtGe プロセスの最適化を図った。その結果、PtGe/n-Ge コンタクトは、0.64 eV の高い電子障壁高さ (Φ_{BN})、 10^6 の On/Off 比、を示した。これは、正孔障壁高さ (Φ_{BP}) がほぼゼロであることを意味し、p-MOS の S/D として適している。本研究ではこの PtGe を S/D に用いて、ゲートラストプロセスで p-MOS を作製した。

試料には n-Ge(100)基板を使用した。基板を HF 洗浄後、rf スパッタリングと lift-off プロセスを用いて、S/D となる厚さ 10 nm の Pt 膜と Pt の剥離防止のため厚さ 10 nm の Ti 膜を堆積した。続いて 400°C での PMA を行い、PtGe/Ge メタル S/D を形成した。その後、bilayer passivation (BLP) 法によって 0.5 nm-SiO₂/1 nm-GeO₂ の界面層を形成した。BLP 法は、350°C での SiO₂ スパッタ堆積中に酸素ガスを添加することで、SiO₂/Ge 間に GeO₂ を成長させる物理気相堆積法である。続いて、ALD 法で厚さ 4 nm の Al₂O₃ を堆積し、400°C で PDA 処理を行った。ゲート電極として TiN を堆積し、350°C N₂ 雰囲気中で 30 分間の PMA 処理を行った。試作したデバイス構造を図 2 に示す。

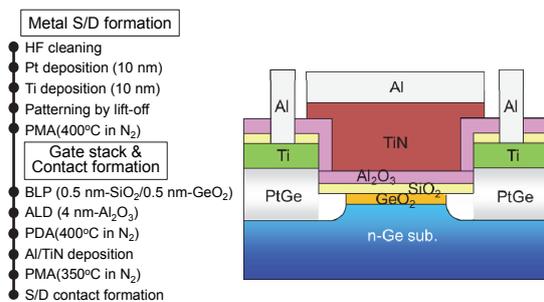


図 2. PtGe-S/D Ge p-MOSFET の断面図。

4. 研究成果

(1) 低い電子障壁の発現機構の解明

図 3 に、成膜直後、350°C および 600°C で PMA 処理した TiN/Ge コンタクトの J - V 特性を示す。TiN/p-Ge では、350°C-PMA で整流性が増加し、600°C-PMA で整流性が消失している。TiN/n-Ge では、PMA 無しおよび 350°C-PMA でオーミック、600°C-PMA で整流特性を示す。この結果は、スパッタ堆積によって作製される TiN/Ge コンタクトは FLP 位置を伝導帯側に大きく変調することを意味する。

また、p-Ge および n-Ge に対する障壁高さは、 $\Phi_{BN} + \Phi_{BP} = E_g$ (Ge の禁制帯幅: 0.66 eV) の関係満足している。

図 4 に、(a) 成膜直後、(b) 350°C および (c) 600°C で PMA 処理した TiN/Ge コンタクトの高角度環状暗視野 (HAADF)-STEM 像を示す。Ge の領域では原子カラムに対応する輝点が観察される。全ての試料に於いて、Ge は単結晶、TiN はナノサイズの微結晶からなる多結晶であることを確認している。各試料の TiN/Ge 界面に着目すると、成膜直後と 350°C 処理材の界面付近では Ge の原子カラムが観察されず、TiN よりも明るい灰色を呈する 1 nm または 2 nm 程度の界面層が存在する。また、界面層に収束電子プローブを照射して得られたナノ電子回折像には、明確な回折スポットが現れなかった。これらのことから、この界面層はアモルファス界面層 (a -IL) であると考えられる。ここで特筆すべきは、350°C 試料では、成膜直後に比べて、 a -IL の厚みが増していることである。一方、FLP 変調が解除される 600°C-PMA 試料では、 a -Ge が結晶 Ge に変わり、結晶性を保ったまま TiN と接している。図 3 と図 4 の結果から、 a -IL 層が FLP 変調に寄与すると考えられる。

しかし、 a -IL は、Ti/Ge コンタクトを熱処理した時にも観測されることが報告されている。もし、 a -IL が FLP 変調の原因であれば、Ti/Ge コンタクトでも FLP の変調効果が観測されるはずである。そこで、Ti/Ge コンタクトについて調査した。図 5 に、(a) 成膜直後、(b) 350°C および (c) 600°C で PMA 処理した Ti/Ge コンタクトの HAADF-STEM 像を示す。その結果は図 4 の結果とほぼ同様である。即ち、1.7 および 4.0 nm の a -IL が PMA 無しおよび 350°C-PMA 試料で観測される。しかし、600°C-PMA 試料では、 a -IL が消失し、結晶層が観測される。一方、Ti/Ge コンタクトの J - V 特性は、図 6 に示す通り、図 3 の結果と全く異なる。即ち、通常の金属/Ge コンタクトと同様に、p-Ge にはオーミック、n-Ge には整流性となるコンタクト特性を示す。しかし、Ti/Ge コンタクトの成膜中に N₂ を混入すると、N₂ 流量の増加に伴い、 J - V 特性は図 3 の特性に近づくことが分かった。

以上の結果より、TiN/Ge コンタクトで発現する FLP の変調効果には、窒素を含む a -IL の存在が寄与していると結論できる。

本研究では、FLP 変調機構として「界面ダイポールモデル」を提唱している。更に、Ti と同じ周期律表の 4 族窒化物元素の ZrN および HfN について、その電気特性と構造解析を行っている。ZrN/Ge の変調効果は TiN/Ge と同程度に大きく、界面に厚さが 1-2 nm の a -IL が存在すること、HfN/Ge の変調効果は小さく、 a -IL は観測できない程度に薄いこと、等の知

見を得た。FLP の変調には、窒素を含む *a*-IL 層が重要な役割を果たしていることを明らかにした。

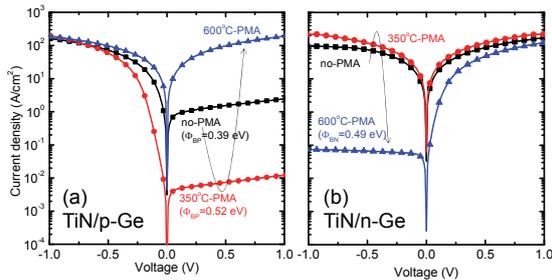


図 3. PMA 処理を施した TiN/Ge コンタクトの J - V 特性。

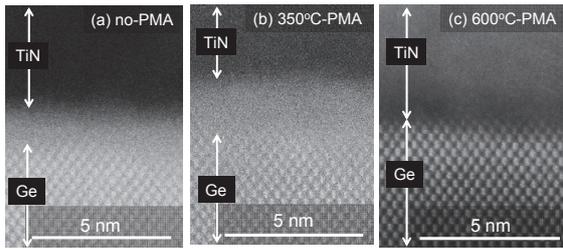


図 4. (a) 成膜直後、(b) 350°C および (c) 600°C で PMA 処理した TiN/Ge コンタクトの HAADF-TEM 像。

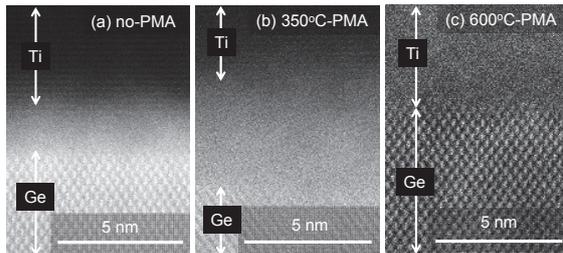


図 5. (a) 成膜直後、(b) 350°C および (c) 600°C で PMA 処理した Ti/Ge コンタクトの HAADF-TEM 像。

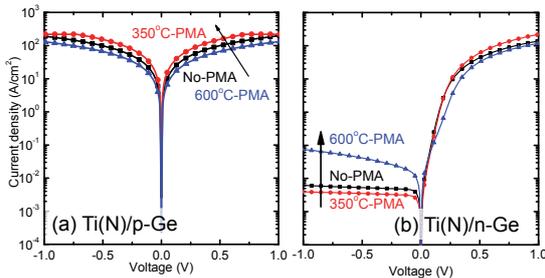


図 6. PMA 処理を施した Ti/Ge コンタクトの J - V 特性。

(2) TiN-S/D 型 n-MOSFET の寄生抵抗低減

図 7(a) に埋め込み S/D 構造を有する n-MOSFET のドレイン電流 (I_D) vs ドレイン電圧 (V_D) 特性を示す。しきい値電圧 (V_{TH}) は -0.30 V、EOT は 49 nm である。チャンネル伝導がゲート電圧 (V_G) で良く制御されており、埋め込まれた TiN/Ge コンタクトが S/D として良く機能していることが分かる。もし、埋

め込まれた S/D 側壁の TiN/Ge 界面に、*a*-IL が形成されていない時には、デバイス動作しないはずなので、*a*-IL が S/D 側壁にも形成されている点は重要である。

図 7(b) に 0.01、0.03、1 V の V_D に対するソース電流 (I_S) vs V_G 特性を示す。On/Off 比： $\sim 10^4$ 、サブスレッショルドスロープ (SS) : 308 mV/dec の特性が得られている。SS 値から算出される界面準位密度 (D_{it}) は $1.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。この値は伝導帯近傍の D_{it} としては低く、ゲートスタックは良質な界面を持つと言える。

図 8(a) および 8(b) に埋め込み S/D 構造の有りおよび無しで作製した n-MOSFET のチャンネル (電子) 移動度 (μ_c) とゲート電圧 (V_G) との関係を示す。埋め込み S/D 型 MOSFET の μ_c - V_G プロットは、異なる L に対しても同じ特性が得られている。一方、埋め込み構造の無い MOSFET の μ_c - V_G プロットは L の減少および V_G の増加で μ_c が大きく減少している。これは、埋め込み構造のない S/D では、 R_p が大きいことを示唆している。

図 9(a) および 9(b) に埋め込み構造の有りおよび無しで作製した n-MOSFET の L と伝達特性より算出したデバイス抵抗との関係を示す。このプロットから、埋め込み構造有りの場合 $R_p \sim 130 \Omega$ 、埋め込み構造無しの場合 $R_p \sim 1400 \Omega$ 、と算出される。TiN を埋め込み S/D 構造とすることで、 R_p が 1 桁低減できた。130 Ω の R_p 値は PtGe-S/D 型 p-MOSFET の $R_p \sim 50 \Omega$ とほぼ同じである。一方、埋め込み構造無しの場合、 R_p が大きい原因として、金属/Ge 界面の反応層の違いが考えられる。Pt/Ge コンタクトの場合、PtGe の反応層は 20 nm と厚く、pn 接合 S/D と同様な埋め込み構造が自己整合的に形成される。しかし、TiN/Ge コンタクトを埋め込まない場合、*a*-IL の厚さは 1~2 nm と極めて薄いため、ソースからの電子の注入効率が低く、 R_p が高くなったと考えられる。

結論として、TiN-S/D を埋め込み構造にすることで、 R_p の 1 桁低減が実現できた。この S/D 構造により小さな EOT のゲートスタック (チャンネル抵抗が低い) にも十分に対応できるものと考えている。

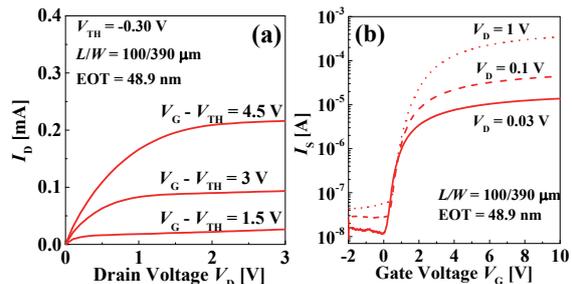


図 7. TiN-S/D 型 n-MOSFET の (a) I_D - V_D および (b) I_S - V_G 特性。

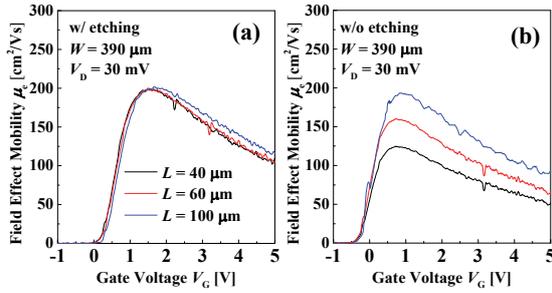


図 8. TiN-S/D 型 n-MOSFET の μ_e - V_G . (a)埋め込み S/D 構造、(b)埋め込み無し S/D 構造.

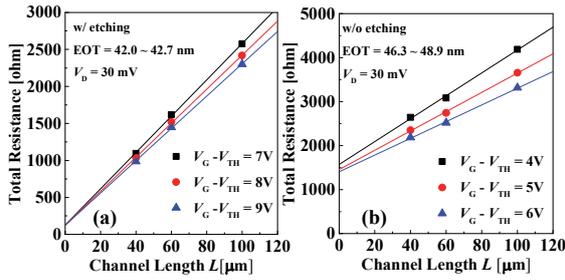


図 9. TiN-S/D 型 n-MOSFET の抵抗とチャネル抵抗との関係. (a)埋め込み S/D 構造、(b)埋め込み無し S/D 構造.

(3) PtGe-S/D 型 p-MOSFET の寄生抵抗低減と高性能化

図 10 に PtGe を S/D に用いた p-MOSFET の I_D , I_S vs V_D 特性を示す。 V_{TH} は -0.30 V、EOT は 3.4 nm である。チャネル伝導が V_G で良く制御されており、PtGe/Ge コンタクトが S/D として良く機能していることが分かる。図 11 に -0.01 、 -0.1 、 -1 V の V_D に対する I_D , I_S 、基板電流 (I_{SUB}) vs V_G 特性を示す。 $V_D = -0.1$ 、 -1 V での On/Off 比は $\sim 7 \times 10^2$ で、HfGe-S/D に比べて約 1 桁大きい。 $V_D = -0.01$ V での I_S の SS は 85 mV/dec で、この値から算出される D_{it} は 2.3×10^{12} $\text{cm}^{-2}\text{eV}^{-1}$ である。

図 12 に PtGe-S/D の p-MOSFET のチャネル (正孔) 移動度 (μ_h) と V_G との関係を示す。PtGe-S/D では、異なる L に対しても同じ特性が得られている。一方、HfGe-S/D では、 L の減少および V_G の増加で μ_e が大きく減少している。TiN-S/D の場合と同様に、それぞれの p-MOSFET に対して、S/D の R_p を求めると、PtGe-S/D の場合が $R_p \sim 50$ Ω 、HfGe-S/D の場合が $R_p \sim 300$ Ω 、と得られた。

以上の結果より、PtGe/Ge コンタクトは、メタル S/D 型 p-MOSFET の S/D 低減に有効であると結論できる。

p-MOSFET の高性能化として、高品質ゲートスタックの低温形成に取り組んだ。p-MOSFET のチャネル移動度の向上手段として、界面電荷補償モデルを提案している。こ

のモデルを検証するため、Al/SiO₂/GeO₂/Ge ゲートスタックを用いて、Al 堆積後熱処理 (Al-PMA) 効果を調べた。その結果、PMA によって Al 原子が SiO₂ 中を拡散して界面まで到達すると、Al が GeO₂ 中に取り込まれ、それに伴い正の界面トラップ電荷の低減と負の酸化膜固定電荷の増加が生ずることが分かった。移動度が向上する PMA 温度に於いて、界面電荷の総量がほぼゼロであることから、界面電荷補償モデルは妥当と考えられる。

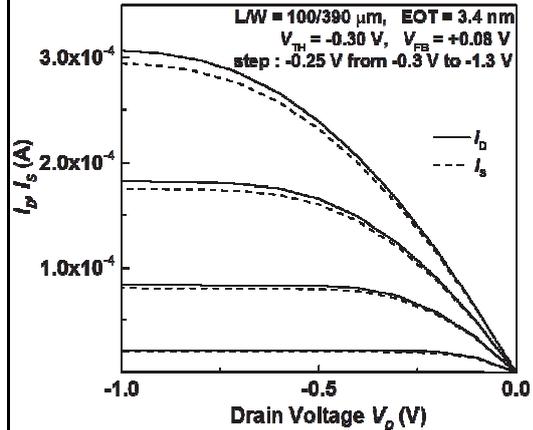


図 10. PtGe-S/D 型 p-MOSFET の I_D , I_S - V_D 特性.

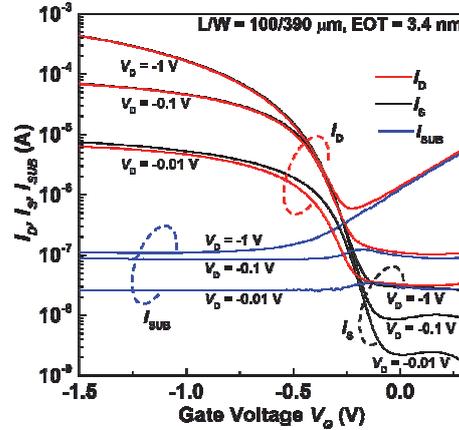


図 11. PtGe-S/D 型 p-MOSFET の I_D , I_S , I_{SUB} - V_G 特性.

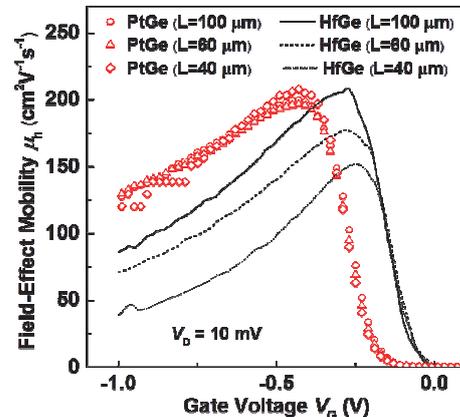


図 12. PtGe および HfGe-S/D 型 p-MOSFET の μ_h - V_G .

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 16 件発表、内 9 件記載)

① T. Maekura, K. Yamamoto, H. Nakashima, and D. Wang, Effects of metal/Ge contact and surface passivation on direct band gap light emission and detection for asymmetric metal/Ge/metal diodes, Jpn. J. Appl. Phys., 査読有, Vol. 55, No. 4S, 2016, pp. 04EH08-1-6, DOI:10.7567/JJAP.55.04EH08

② D. Wang, T. Maekura, K. Yamamoto, and H. Nakashima, Direct band gap light emission and detection at room temperature in bulk germanium diodes with HfGe/Ge/TiN structure, Thin Solid Films, 査読有, Vol. 602, 2016, pp. 43-47, DOI:10.1016/j.tsf.2015.09.074

③ K. Kasahara, Y. Nagatomi, K. Yamamoto, H. Higashi, M. Nakano, S. Yamada, D. Wang, H. Nakashima, and K. Hamaya, Electrical properties of pseudo-single-crystalline germanium thin-film-transistor fabricated on glass substrates, Appl. Phys. Lett., 査読有, Vol. 107, No. 14, 2015, pp. 142102-1-5, DOI:10.1063/1.4932376

④ K. Yamamoto, R. Noguchi, M. Mitsuahara, M. Nishida, T. Hara, D. Wang, and H. Nakashima, Electrical and structural properties of group-4 transition-metal nitride (TiN, ZrN, and HfN) contacts on Ge, J. Appl. Phys., 査読有, Vol. 118, No. 11, 2015, pp. 115701-1-12, DOI:10.1063/1.4930573

⑤ Y. Nagatomi, S. Tanaka, Y. Nagaoka, K. Yamamoto, D. Wang, and H. Nakashima, Fabrication of PtGe/Ge contacts with high on/off ratio and its application to metal source/drain Ge p-channel MOSFETs, Jpn. J. Appl. Phys., 査読有, Vol. 54, No. 7, 2015, pp. 070306-1-4, DOI:10.7567/JJAP.54.070306

⑥ D. Wang, T. Maekura, S. Kamezawa, K. Yamamoto, and H. Nakashima, Direct band gap electroluminescence from bulk germanium at room temperature using an asymmetric fin type metal/germanium/metal structure, Appl. Phys. Lett., 査読有, Vol. 106, No. 07, pp. 071102-1-4, DOI:10.1063/1.4913261

⑦ D. Wang, Y. Nagatomi, S. Kojima, K. Yamamoto, and H. Nakashima, Low-temperature fabrication of Y₂O₃/Ge gate stacks with ultrathin GeO_x interlayer and low interface states density characterized by a reliable deep-level transient spectroscopy method, Thin Solid Films, Vol. 557, 査読有, 2014, pp. 288-291, DOI: 10.1016/j.tsf.2013.10.065

⑧ K. Yamamoto, M. Mitsuahara, K. Hiidome, R. Noguchi, M. Nishida, D. Wang, and H. Nakashima, Role of an interlayer at a TiN/Ge contact to alleviate the intrinsic Fermi-level pinning position toward the conduction band edge, Appl. Phys. Lett., Vol. 104, No. 13, 査読

有, 2014, pp.132109-1-5, DOI:10.1063/1.4870510

⑨ K. Yamamoto, T. Sada, D. Wang, H. Nakashima, Dramatic enhancement of low electric-field hole mobility in metal source/drain Ge p-channel metal-oxide-semiconductor field-effect transistors by introduction of Al and Hf into SiO₂/GeO₂ gate stack, Appl. Phys. Lett., 査読有, Vol. 103, No.12, 2013, pp. 122106-1-4, DOI:10.1063/1.4821546

[学会発表] (計 36 件発表、内 4 件を記載)

① H. Nakashima, K. Yamamoto, and D. Wang, Electrical characterization of SiGe-on-insulator fabricated using Ge condensation by dry oxidation (Plenary), American Vacuum Society (AVS) Shanghai Thin Film Conference, 2015.10.24, Shanghai, China

② H. Nakashima, K. Yamamoto, and D. Wang, Electrical Properties of Group 4 Metal-Nitride /Ge Contacts and the Application to Ge Optoelectronic Devices (Invited), 228th ECS Meeting, 2015.11.12, Phoenix, USA

③ H. Nakashima, K. Yamamoto, D. Wang, M. Mitsuahara, R. Noguchi, K. Hiidome, and M. Nishida, Contact Formation for Metal Source/Drain Ge-CMOS (Invited), 9th Int. Conf. on Si Epitaxy and Heterostructures, 2015.5.19, Montreal, Canada

④ H. Nakashima, K. Yamamoto, and D. Wang, Development of Metal Source/Drain Ge-CMOS Using TiN/Ge and HfGe/Ge Contacts (Invited), 224th ECS Meeting, 2013.10.29, San Francisco, USA

[その他]

ホームページ等

http://astec.kyushu-u.ac.jp/nakasima/naka_home.htm

6. 研究組織

(1) 研究代表者

中島 寛 (NAKASHIMA HIROSHI)
九州大学・産学連携センター・教授
研究者番号：70172301

(2) 研究分担者

西田 稔 (NISHIDA MINORU)
九州大学・総合理工学研究院・教授
研究者番号：90183540

(3) 連携研究者

光原 昌寿 (MITSUHARA MASATOSHI)
九州大学・総合理工学研究院・助教
研究者番号：10514218

王 冬 (WANG DONG)

九州大学・総合理工学研究院・准教授
研究者番号：10419616