

平成 30 年 6 月 5 日現在

機関番号：17104

研究種目：基盤研究(B) (一般)

研究期間：2013～2017

課題番号：25280016

研究課題名(和文) 体内埋込み型医療機器向けLSI回路のための極低電力自己テスト方式に関する研究

研究課題名(英文) Research on Extra-Low-Power Self-Test for LSI Circuits in Implantable Medical Devices

研究代表者

温 暁青 (WEN, XIAOQING)

九州工業大学・大学院情報工学研究院・教授

研究者番号：20250897

交付決定額(研究期間全体)：(直接経費) 13,600,000円

研究成果の概要(和文)：本研究では、LSIスキャンテストにおいて、遅延故障検出に寄与しない無効入力遷移が多く存在することに着目し、無効入力遷移を回路内に伝搬させない選択的入力遷移マスク回路を提案した。シミュレーション及びテストチップによる実測によって、テスト品質を低下させずに自己テスト電力を大幅に削減できることが確認できた。また、クロック信号線周辺の状態遷移削減によって、クロックストレッチを抑え、実速度スキャンテストの精度を高めることに成功した。提案手法は、超低電力性を要求される体内埋込み型医療機器向けLSI回路のテストに大きく寄与する。

研究成果の概要(英文)：In this research, we focused on the fact that there are many invalid input transitions that do not contribute to delay fault detection in the LSI scan test, and proposed a selective input transition mask circuit that does not propagate invalid input transitions in the circuit. It was confirmed that the self test power can be drastically reduced without deteriorating the test quality by actual test-chip-based measurement as well as simulation-based evaluation. Moreover, we succeeded in suppressing the clock stretch and improving the accuracy of the actual speed scan test by reducing the state transition around the clock signal line. The proposed method greatly contributes to the testing of LSI circuits for implantable medical devices that require ultra low power.

研究分野：LSIテスト

キーワード：LSIテスト スキャンテスト テスト電力 キャプチャ電力 IR-Dop クロックストレッチ 誤テスト
テストデータ変更

1. 研究開始当初の背景

高齢化社会の到来と高度医療の普及につれ、心臓ペースメーカー等の体内埋込み型医療機器への需要が益々高まってきている。このような機器は体内で長期に使われるため、その中心である LSI 回路の劣化による故障の有無を定期的に検査する自己テストが必要不可欠となる。しかし、一般 LSI 用の自己テスト方式では高いテスト電力を伴うため、電池駆動の体内埋込み型医療機器の使用寿命を大幅に減らし、使用者に取り換えのための再手術を強いてしまう。このため、体内埋込み型医療機器の高信頼化・長寿命化に貢献する斬新な低電力自己テスト技術の開発が強く求められている。

2. 研究の目的

本研究では、テスト電力消費の原因となる入力遷移の内故障検出に寄与しないものを選択的に抑えるという、選択的入力遷移マスク型自己テスト技術 (SITM-BIST: Selective-Input-Transition-Masking Built-In Self-Test) を世界に先駆けて確立し、体内埋込み型医療機器用 LSI 回路に適した極低電力自己テストを実現する。本研究は新しい学術領域の開拓のみならず日本半導体産業の新しい成長分野の創出にも貢献する。

3. 研究の方法

(1) 平成 25 年度には、LSI 回路の自己テストにおける入力遷移のシミュレーション分析を行った。まず、大規模な ITC '99 ベンチマーク回路に対して、スキャンチェーン数=200、擬似乱数発生器ビット幅=20、移相器構成=20-to-200、空間圧縮器構成=200-to-20、多入力シグネチャレジスタビット幅=20 という実用的な自己テストモデルを構築した。そして、擬似乱数の数を 10,000、30,000、50,000 にしてシミュレーション実験を行った。その結果、入力遷移が出力側まで伝搬する割合という「伝搬率」は平均で 17.5%、最大で 47.8% であったことが分かった。これは、遅延故障検出に寄与しない無効入力遷移が多く存在することを意味する。これによって、無効入力遷移を回路内に伝搬しないように何らかの方式でマスクできれば、テスト品質を低下させずに自己テスト電力を大幅に削減することができるという本研究の基本アイデアの有効性を確認した。

(2) 平成 26 年度には、自己テストの実行中に発生する入力遷移の内、遷移故障の検出に寄与しない無効遷移を選択的に抑えるための選択的入力遷移マスク回路の設計方法を提案した。このマスク回路は、無効遷移をマスクするユニット、無効遷移表を格納する On-Chip メモリ、及び、マスク制御回路から構成される。また、回路オーバーヘッドを抑えるために、一部の無効遷移のみを抑える方式をも提案した。この方式では、まず、

回路の出力側から入力側に向かってレベル付けを行う。次に、レベルの低く影響領域の大きいフリップ・フロップ出力を優先的に予め指定された数のフリップ・フロップ出力のみをマスクするようにユニットを挿入する。これらの回路変更を行うことによって、自己テストの実行中に発生する無効遷移を選択的に抑えることができる。

(3) 平成 27 年度には、STIM-BIST 技術の有効性を確認するため、評価用 LSI 回路の設計を実施した。その中で、STIM-BIST 技術を用いた場合の電力 (機能動作時及びテスト時) の影響 (テスト電力レベル、テスト電力安全性、電池のテスト消費率など) を詳細に調べるために、試作 LSI 回路内の数か所にオンチップの遅延計測ユニットを設けた他、消費電力の影響をより効果的に評価するために、電源分配ネットワーク (PDN: Power Distribution Network) に三種類の強弱レベルを設定できるようなユニークな仕組みを考案し、設計した。

(4) 平成 28 年度には、テスト電力の影響は LSI 回路の論理機能部にあるパスの遅延だけではなく、すべてのクロックパスにも大きく影響し、テストサイクルを引き延ばしてしまうという「クロックストレッチ」を抑えるための研究を実施した。その結果、回路設計を変更せずテストデータ変更のみでクロックストレッチを削減できる手法を提案した。特に、テストデータ変更において、長い活性化パスの近傍に論理値変化量に影響を与えないような X ビット (未定値ビット) を特定し、それらのみを使用することによって誤テストを回避できるようにした。

(5) 平成 29 年度には、STIM-BIST 技術の有効性を確認するための評価用 LSI 回路の設計を改良し、より高い精度でパス遅延値の変更を計測できるようにした。これは、テスト電力に起因する IR-Drop が引き起こすパス遅延の増加が一般的には小さいためである。改良した回路設計では、遅延値の比較対象となるバッファの数を増やし、かつその構成を制御可能にした。その後、VDEC 試作サービスを利用してテストチップを 25 個試作した。テストチップの動作を行った後、提案手法適用ありと無しでのベンチマーク回路のスキャンテスト時の態遷移量を対象パスの遅延測定によって推定した。その結果、提案手法によってテスト品質を低下させずに自己テスト電力を大幅に削減することが確認できた。

4. 研究成果

(1) 本研究では、LSI スキャンテストにおいて、遅延故障検出に寄与しない無効入力遷移が多く存在することに着目し、無効入力遷移を回路内に伝搬させない選択的入力遷移

マスク型自己テスト技術 SITM-BIST (Selective-Input-Transition-Masking Built-In Self-Test)を世界に先駆けて確立した。シミュレーション及試作したテストチップによる実測によって、テスト品質を低下させずに自己テスト電力を大幅に削減することが確認できた。また、SITM-BIST 技術による回路面積オーバーヘッドが極わずかであることが確認されており、実応用に向いていることが分かる。図1にSITM-BISTの基本アーキテクチャを示している。図2はSITM-BIST 技術の中心である選択的入力遷移マスク設計の詳細を示している。

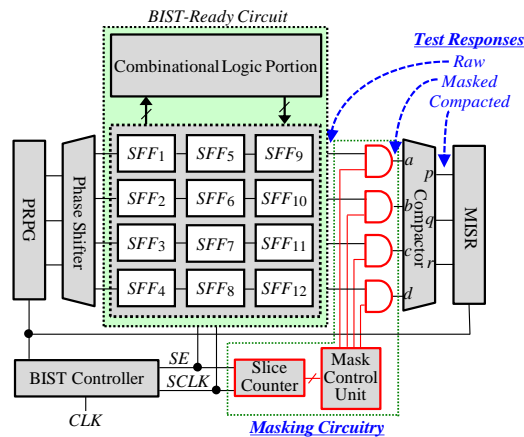


図1 SITM-BISTの基本

```

module MCU_MASK_NETWORK (COUNTER, RAW, MASKED);
input [17:0] COUNTER; // Input from Counter
input [3:0] RAW; // Raw Test Response Input
output [3:0] MASKED; // Masked Test Response Output
wire MCU_OUT[3:0]; // Mask Control Unit Output

// Mask Control Unit
assign MCU_OUT[0] = func_MCU_0(COUNTER);
assign MCU_OUT[1] = func_MCU_1(COUNTER);
assign MCU_OUT[2] = func_MCU_2(COUNTER);
assign MCU_OUT[3] = func_MCU_3(COUNTER);

function func_MCU_0;
input [17:0] COUNTER;
func_MCU_0 = 1'b0;
endfunction

function func_MCU_1;
input [17:0] COUNTER;
case (COUNTER)
18'b010111001100100101: func_MCU_1 = 1'b0;
18'b100100000010101001: func_MCU_1 = 1'b0;
default: func_MCU_1 = 1'b1;
endcase
endfunction

function func_MCU_2;
input [17:0] COUNTER;
func_MCU_2 = 1'b0;
endfunction

function func_MCU_3;
input [17:0] COUNTER;
case (COUNTER)
18'b010100010110011101: func_MCU_3 = 1'b0;
default: func_MCU_3 = 1'b1;
endcase
endfunction

// Mask Network Composed of AND Gates
assign MASKED[0] = (MCU_OUT[0] == 1'b0)? 1'b0 : RAW[0];
assign MASKED[1] = (MCU_OUT[1] == 1'b0)? 1'b0 : RAW[1];
assign MASKED[2] = (MCU_OUT[2] == 1'b0)? 1'b0 : RAW[2];
assign MASKED[3] = (MCU_OUT[3] == 1'b0)? 1'b0 : RAW[3];
endmodule

```

図2 選択的入力遷移マスク設計

(2) 本研究では更に、クロック信号線周辺の状態遷移削減によって、クロックストレッチを抑え、実速度スキャンテストの精度を高めるためのテストデータ変更手法を提案し

た。テストデータ変更において、長い活性化パスの近傍に論理値変化量に影響を与えないようなXビット(未定値ビット)を特定し、それらのみを使用することによって誤テストを回避できる。図3に提案手法の基本概念を示している。図4は提案したテストデータ変更例を示している。

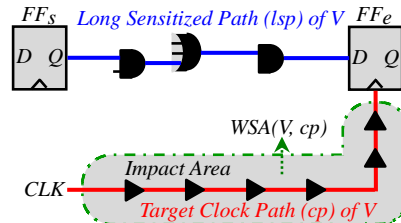


図3 クロックストレッチ削減の基本概念

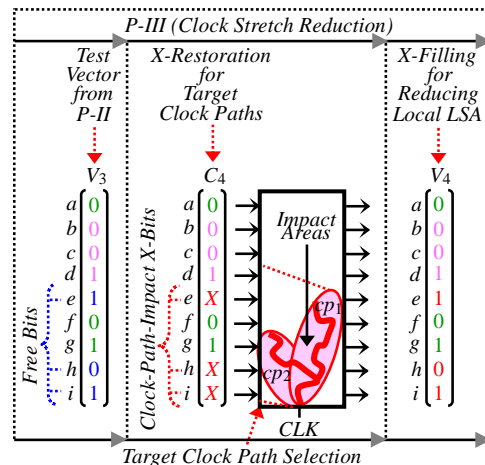


図4 テストデータ変更例

これらの成果は、超低電力性を要求される体内埋込み型医療機器向けLSI回路のテストに大きく寄与することが期待できる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計9件)

- 1 T. Kato, S. Wang, Y. Sato, S. Kajihara, and X. Wen, "A Flexible Scan-in Power Control Method in Logic BIST and Its Evaluation with TEG Chips," *IEEE Trans. on Emerging Topics in Computing*, 査読有。(Early Access版のみ) DOI: 10.1109/TETC.2017.2767070
- 2 D. Xiang, X. Wen, and L.-T. Wang, "Low-Power Scan-Based Built-In Self-Test Based on Weighted Pseudo-Random Test Pattern Generation and Reseeding," *IEEE Trans. on VLSI Systems*, 査読有, Vol. 25, No. 3, pp. 942-953, Mar. 2017. DOI: 10.1109/TVLSI.2016.2606248
- 3 F. Li, X. Wen, K. Miyase, S. Holst, and S. Kajihara, "Logic-Path-and-Clock-Path-Aware At-Speed Scan Test Generation," *IEICE Trans. on*

- Fundamentals of Electronics, Communications, and Computer Sciences*, 査読有, Vol. E99-A, No. 12, pp. 2310-2319, Dec. 2016.
<https://doi.org/10.1587/transfun.E99.A.2310>
- 4 T. Chen, D. Shen, X. Yi, H. Liang, X. Wen, and W. Wang, "Reseeding-Oriented Test Power Reduction for Linear-Decompression-Based Test Compression Architectures," *IEICE Trans. on Inf. & Syst.*, 査読有, Vol. E99-D, No. 11, pp. 2672-2681, Nov. 2016.
<https://doi.org/10.1587/transinf.2015EDP7289>
 - 5 D. Xiang, K. Shen, B. B. Bhattacharya, X. Wen, and X. Lin, "Thermal-Aware Small-Delay Defect Testing in Integrated Circuits for Mitigating Overkill," *IEEE Trans. on Computer-Aided Design*, 査読有, Vol. 35, No. 3, pp. 499-512, Mar. 2016.
 DOI: 10.1109/TCAD.2015.2474365
 - 6 W.-S. Ding, H.-Y. Hsieh, C.-Y. Han, C.-M. Li, and X. Wen, "Test Pattern Modification for Average IR-Drop Reduction," *IEEE Trans. on VLSI Systems*, 査読有, Vol. 24, No. 1, pp. 38-49, Jan. 2016.
 DOI: 10.1109/TVLSI.2015.2391291
 - 7 A. Tomita, X. Wen, Y. Sato, S. Kajihara, K. Miyase, S. Holst, P. Girard, M. Tehranipoor, and L.-T. Wang, "On Achieving Capture Power Safety in At-Speed Scan-Based Logic BIST," *IEICE Trans. on Inf. & Syst.*, 査読有, Vol. E97-D, No. 10, pp. 2706-2718, Oct. 2014.
<https://doi.org/10.1587/transinf.2014EDP7039>
 - 8 Y. Yamato, X. Wen, M. A. Kochte, K. Miyase, S. Kajihara, and L.-T. Wang, "LCTI-SS: Low-Clock-Tree-Impact Scan Segmentation for Avoiding Shift Timing Failures in Scan Testing", *IEEE Design & Test of Computers*, 査読有, Vol. 30, No. 4, pp. 60-70, Aug. 2013.
 DOI: 10.1109/MDT.2012.2221152
 - 9 K. Miyase, R. Sakai, X. Wen, M. Aso, H. Furukawa, Y. Yamato, and S. Kajihara, "A Capture-Safety Checking Metric Based on Transition-Time-Relation for At-Speed Scan Testing", *IEICE Trans. on Inf. & Syst.*, 査読有, Vol. E96-D, No. 9, pp. 2003-2011, Sep. 2013.
<https://doi.org/10.1587/transinf.E96.D.2003>
- [学会発表](計19件)
- 1 K. Miyase, Y. Kawano, X. Wen, and S. Kajihara, "Locating Hot Spot with Justification Techniques in a Layout Design," *Proc. of IEEE Workshop on RTL and High Level Testing*, Paper S1.2, Taipei, Taiwan, Nov. 2017.
 - 2 Y. Zhang, S. Holst, X. Wen, K. Miyase, S. Kajihara, and J. Qian, "Scan Chain Grouping for Mitigating IR-Drop-Induced Test Data Corruption," *Proc. of IEEE Asian Test Symp.*, pp. 140-145, Taipei, Taiwan, Nov. 2017.
 - 3 S. Holst, E. Schneiderz, H. Kawagoe, M. A. Kochtez, K. Miyase, H.-J. Wunderlichz, S. Kajihara, and X. Wen, "Analysis and Mitigation of IR-Drop Induced Scan Shift-Errors," *Proc. of IEEE Int'l Test Conf.*, Paper 3.4, Fort Worth, USA, Oct.-Nov. 2017.
 - 4 M. Sauer, J. Jiang, S. Reime, K. Miyase, X. Wen, B. Becker, and I. Polian, "On Optimal Power-Aware Path Sensitization," *Workshop of Test and Reliability for Circuits and Systems*, Mar. 5-7, Germany, 2017.
 - 5 F. Li, X. Wen, S. Holst, K. Miyase, and S. Kajihara, "Logic-Path-and-Clock-Path-Aware At-Speed Scan Test Generation," *Int'l Symp. on Applied Engineering and Sciences*, Paper E44, Dec. 18, 2016.
 - 6 S. Eggersgluess, S. Holst, D. Tillex, K. Miyase, and X. Wen, "Formal Test Point Insertion for Region-based Low-Capture-Power Compact At-Speed Scan Test," *Proc. of IEEE Asian Test Symp.*, pp. 173-178, Hiroshima, Japan, Nov. 2016.
 - 7 S. Holst, E. Schneider, X. Wen, S. Kajihara, Y. Yamato, H.-J. Wunderlich, and M. A. Kochte, "Timing-Accurate Estimation of IR-Drop Impact on Logic- and Clock-Paths During At-Speed Scan Test," *Proc. of IEEE Asian Test Symp.*, pp. 19-24, Hiroshima, Japan, Nov. 2016.
 - 8 M. Sauer, J. Jiang, S. Reimer, K. Miyase, X. Wen, B. Becker, and I. Polian, "On Optimal Power-Aware Path Sensitization," *Proc. of IEEE Asian Test Symp.*, pp. 179-184, Hiroshima, Japan, Nov. 2016.
 - 9 T. Kato, S. Wang, Y. Sato, S. Kajihara, and X. Wen, "A Flexible Power Control Method for Right Power Testing of Scan-Based Logic BIST," *Proc. of IEEE Asian Test Symp.*, pp. 203-208, Hiroshima, Japan, Nov. 2016.
 - 10 X. Wen, "Power-Aware Testing For

- Low-Power VLSI Circuits," *Proc. of the 13th IEEE International Conference on Solid-State and Integrated Circuit Technology*, Paper S37-1, Hangzhou, China, Oct. 2016.
- 11 S. Eggersgluess, K. Miyase, and X. Wen, "SAT-Based Post-Processing for Regional Capture Power Reduction in At-Speed Scan Test Generation," *Proc. IEEE European Test Symp.*, Paper 7A.1, Amsterdam, The Netherlands, May 2016.
- 12 K. Asada, X. Wen, S. Holst, K. Miyase, S. Kajihara, M. A. Kochte, E. Schneider, H.-J. Wunderlich, and J. Qian, "Logic/Clock-Path-Aware At-Speed Scan Test Generation for Avoiding False Capture Failures and Reducing Clock Stretch," *Proc. of IEEE Asian Test Symp.*, pp. 103-108, Bombay, India, Nov. 2015. (*Best Paper Award*)
- 13 X. Wen, "Power Supply Noise and Its Reduction in At-Speed Scan Testing," *Proc. of IEEE Int'l Conf. on ASIC*, Paper B5-3, Chengdu, China, Nov. 5, 2015.
- 14 K. Miyase, M. Sauer, B. Becker, X. Wen, and S. Kajihara, "Identification of High Power Consuming Areas with Gate Type and Logic Level Information," *Proc. of IEEE European Test Symp.*, Papers 9.1, Cluj-Napoca, Romania, May 2015.
- 15 A. Tomita, X. Wen, Y. Sato, S. Kajihara, P. Girard, M. Tehranipoor, and L.-T. Wang, "On Achieving Capture Power Safety in At-Speed Scan-Based Logic BIST," *Proc. of IEEE Asian Test Symp.*, pp.19-24, Yilan, Taiwan, Nov. 2013.
- 16 K. Miyase, M. Sauer, B. Becker, X. Wen, and S. Kajihara, "Search Space Reduction for Low-Power Test Generation," *Proc. of IEEE Asian Test Symp.*, pp.171-176, Yilan, Taiwan, Nov. 2013.
- 17 C.-M. Li, W.-S. Ding, H.-Y. Hsieh, and X. Wen, "Test Pattern Modification for Average IR-Drop Reduction," *Poster at IEEE Int'l. Test Conf.*, Sep. 2013.
- 18 Y.-T. Lin, J.-L. Huang, and X. Wen, "SafeTIDE: A Technique for Transition Isolation Scan Cells Hardware Overhead Reduction," *Proc. of VLSI Test Technology Workshop*, Paper 4.4, Taiwan, Jul. 2013.
- 19 K. Miyase, M. Sauer, B. Becker, X. Wen, and S. Kajihara, "Controllability Analysis of Local Switching Activity for Layout Design," *Proc. of Workshop on Design and Test Methodologies for*

Emerging Technologies, Paper 1, Avignon, France, May 2013.

〔図書〕(計1件)

- 1 X. Lin, X. Wen, and D. Xiang, Chapter 9: Low-Power Testing for 2D/3D Devices and Systems, *Design of 3D Integrated Circuits and Systems*, pp. 235-277, CRC Press, Boca Raton, Nov. 2014.

〔産業財産権〕

出願状況(計 件)

名称：
 発明者：
 権利者：
 種類：
 番号：
 出願年月日：
 国内外の別：

取得状況(計 件)

名称：
 発明者：
 権利者：
 種類：
 番号：
 取得年月日：
 国内外の別：

〔その他〕

ホームページ等

6. 研究組織

(1)研究代表者

温 暁青 (WEN Xiaoqing)

九州工業大学・大学院情報工学研究院・
 教授

研究者番号：20250897

(2)研究分担者

梶原 誠司 (KAJIHARA Seiji)

九州工業大学・大学院情報工学研究院・
 教授

研究者番号：80252592

宮瀬 紘平 (MIYASE Kohei)

九州工業大学・大学院情報工学研究院・
 准教授

研究者番号：30452824

ホルスト シュテファン (HOLST Stefan)

九州工業大学・大学院情報工学研究院・
 助教

研究者番号：40710322

(4)研究協力者

樹下 行三 (KINOSHITA Kozo)

K. K. Saluja

M. Tehranipoor

P. Girard

相京 隆 (AIKYO Takashi)

高木 範明 (TAKAGI Noriaki)

B. Keller

P. Varma