

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 7 日現在

機関番号：13201

研究種目：基盤研究(B) (一般)

研究期間：2013～2016

課題番号：25289099

研究課題名(和文) 表面再構成制御成長法を用いたSi基板上InSb-CMOSの研究

研究課題名(英文) Study of InSb-CMOS on Si substrate by using surface reconstruction controlled epitaxy

研究代表者

森 雅之 (Mori, Masayuki)

富山大学・理工学研究部(工学)・准教授

研究者番号：90303213

交付決定額(研究期間全体)：(直接経費) 13,700,000円

研究成果の概要(和文)：表面再構成制御成長法を用いたSi(111)基板上へのInSb薄膜を用いたAl₂O₃/InSb/Si n-MOSFETの特性向上のため、ゲート電極をオーバーラップ構造としたり、レーザー露光装置の導入とソース・ドレイン電極を2回に分けて形成するなどのプロセスの見直しを行った。また、Si基板上のInSb-CMOS実現に向けたp-MOSFET用のGaSbやInGaSb薄膜の成長技術の蓄積、そしてTFET実現に向けたn-InSb/p-Siヘテロ界面を理解するための電気的特性の評価を行った。

研究成果の概要(英文)：To improve the device performance of Al₂O₃/InSb/Si n-MOSFETs, we introduced the gate electrode with overlap structure, and considered the device process using laser exposure system. We also tried to optimize the growth conditions of GaSb and/or InGaSb on Si for p-MOSFETs to realize InSb-CMOS on Si. We also measured the electric properties such as I-V, C-V properties to understand the hetero interface of n-InSb/p-Si for realization of TFETs.

研究分野：半導体薄膜工学

キーワード：InSb Si(111) InGaSb GaSb MOSFET ALD

1. 研究開始当初の背景

近年、ポスト Si-CMOS 時代に向け、InGaAs や InSb を利用した MOSFET の研究が盛んに行われている。2011 年度版の半導体技術ロードマップ(International Technology Roadmap for Semiconductor)によると、Si-CMOS のスケールリングを維持するため、今後数年のうちにもチャンネル材料を Ge や III-V 族化合物半導体に置き換える必要があると予測されている。この実現のため、大きな障害となるのが、Si 基板上への化合物半導体の集積化技術である。現在最も研究が進んでいるのは基板貼り合わせであるが、化合物半導体基板の大きさは Si 基板に比べて小さく、大面積 Si 基板上に化合物半導体 MOSFET を作製することは困難である。Si 基板上に比較的良質な結晶を成長できる GaAs をバッファ層に用いる方法も報告されているが、分厚いバッファ層が必要となることが問題である。これは、Si と InGaAs、InSb との間の大きな格子不整合のため、ヘテロエピタキシャル成長が極めて困難なためである。

我々はこれまでに、Si 基板上の In や Sb 吸着による表面再構成構造と InSb のヘテロエピタキシャル成長の関係に着目し、堆積の初期段階の表面再構成構造がその後の成長に大きな影響を持つことを明らかにしてきた。特に、ある条件の下で In と Sb を Si(111) 基板上に 1 原子層程度吸着させた場合(InSb 単分子層が形成) その上に成長した InSb 薄膜が Si 基板に対して 30° 回転することを発見した。図 1 の様に面内で 30° 回転すると格子不整合が 19.3% から 3.3% に軽減されるため、InSb/Si 界面における転位の発生が大幅に抑制され結晶性、電気的特性が向上する。これはエピタキシャル成長が困難とされる InSb/Si 系において、高品質の薄膜を得るための非常に重要な発見である。

我々はこれまでに、この新規な成長法を用いて作製した Si(111) 基板上の InSb 薄膜(膜厚 1 μ m)において、室温で約 40,000cm²/Vs という非常に高い電子移動度を達成している。この移動度は、GaAs 基板上、あるいは Si 基板上へバッファ層を介して成長させた InSb 薄膜のものに匹敵し、Si 基板上へ直接成長させた InSb 薄膜としては極めて高い値である。

さらに、この大幅な格子不整合の減少は pseudomorphic InSb チャンネルという全く新しい可能性を生み出した。3% 程度の格子不整合であれば、格子歪みにより転位の発生を抑える pseudomorphic 成長により、チャンネルとして実用的な厚さの結晶成長が可能となる。我々は、Si 基板上に直接成長した極薄 InSb(膜厚 10~15nm) をチャンネルとした Al₂O₃/InSb/Si MOSFET を報告している。表面再構成制御成長法で作製した高品質な InSb/Si ヘテロ接合がチャンネル中の電子を閉じ込める電子バリアになり、また、InSb を臨界膜厚近くまで薄くすることで結晶性を向

上し、チャンネルとして利用できるようになった。現在、InSb の 10nm、ゲート長 5 μ m、ゲート幅 40 μ m の試料で、62mS/mm という良好な相互コンダクタンスが得られている。Si 基板上に直接、極薄の InSb を成長させるだけでトランジスタ動作するこのデバイスは、我々が開発した表面再構成制御成長法によって初めて実現可能であり、基板貼り合わせや分厚いバッファ層、複雑な結晶構造の作製を必要としないため、Si 基板上 III-V CMOS 実現のために最も有力な技術である。また、レアアース材料である In の使用を最小限に低減でき、高性能なデバイスを低コスト・短時間で作製できる有望な方法である。

2. 研究の目的

これまでに得られた結果を基盤に、Si に代わるチャンネル材料としての Pseudomorphic InSb の可能性を実証することを目的とする。そのため、デバイス構造、InSb/Si ヘテロ構造の物性評価とその改善方法、デバイスプロセス、結晶成長技術について検討を行う。これには、MOS 界面の界面準位密度やソース抵抗低減のためのデバイス構造・プロセスの検討、さらには、臨界膜厚の評価や InSb/Si ヘテロ接合の伝導体不連続、界面の電気的特性の評価が重要な項目として含まれる。また、格子不整合が 3.3% まで減少したとはいえ、臨界膜厚は 3~5nm 程度と予想され、チャンネルとして用いるにはやや薄すぎる可能性がある。そこで、チャンネル層への Ga 導入によるさらなる格子不整合緩和の効果についても検討する。

一方、InSb や GaSb など、Sb 系の材料は正孔の移動度が大きいという特徴があり、これを利用して pMOSFET を作製すれば、上記と合わせて CMOS が実現できる。現在、pMOSFET としては Ge の研究が先行しているが、pn 両者とも同じ InSb 系材料で形成できれば、その効果は大きい。ここでは、pMOSFET についても検討を進め、nMOSFET とあわせ、Si 基板上で高性能な CMOS の実現を図る。なお、正孔移動度は、歪みの影響を受けると大きく変化することが知られている。Ga 組成による歪み量の制御は重要な検討課題の一つである。

さらに将来を見据えて、上記の研究成果のトンネル接合 FET(TFET)への応用も検討していく。TFET はサブスレッショルドスロープ低減に効果があり、特に大きなトンネル電流密度が可能な InSb 系材料に適したデバイスである。

3. 研究の方法

Si 基板上へ直接成長した InSb 系極薄チャンネルを用いた超高速・超低消費電力 CMOSFET の実現を目的とする。この実現のため、デバイス構造、結晶成長の両面から研究を行う。具体的には Al₂O₃/InSb/Si MOSFET の高性能化。これは、これまでに

作製した試料では、ゲートで制御できないドレインリーク電流、 $\text{Al}_2\text{O}_3/\text{InSb}$ 界面での大きな界面準位密度、大きなソース抵抗等により、デバイス特性が制限されている。そこで、SOI 基板の導入、 $\text{Al}_2\text{O}_3/\text{InSb}$ 間への極薄 GaSb 層あるいは InGaSb 層の挿入、オーバーラップ型電極構造の検討により、これらの課題を解決し、デバイス特性の高性能化を試みる。この中には、短ゲート化による素子特性の向上も含まれる。p-MOSFET の検討。Si 基板上に nMOSFET と同様なエピ構造を用いて pMOSFET の作製を検討するとともに、InSb 系 CMOS 作製への足掛かりとする。表面再構成制御成長法を用いた Si(111)基板上への高品質 GaSb や InGaSb 薄膜の成長を試み、これらを用いて pMOSFET の作製を検討する。TFET の検討。TFET はサブスレッショルドスロープの理論限界(60mV/Dec)を突破する次世代の省エネルギーデバイスとして注目を集めている。上記の作製技術の蓄積により、これを応用した Si 基板上の InSb-TFET の作製に展開して行く。

4. 研究成果

$\text{Al}_2\text{O}_3/\text{InSb}/\text{Si}$ MOSFET の高性能化

まず、ドレインリーク電流低減のため、SOI 基板上への InSb 薄膜のヘテロエピタキシャル成長について検討した。使用した SOI 基板は、表 1 に示すような仕様のものである。本来、リーク電流低減のためにはデバイス層の膜厚がより薄いことが望ましいが、特注で SOI 基板を作製すると非常に高価なため、市場の在庫のうち比較的希望の仕様に近いものを選択した。

表 1 SOI 基板の仕様

Layer	Thickness (μm)	Resistivity (Ωcm)
Device	2+/-0.5	1.6-2.4
Handle	500+/-10	1-20
BOX	0.5	-
Si wafer	625+/-25	10-20

実験装置導入前の前処理について、Si 基板の場合、1000 以上でフラッシュアニールすることで基板表面の清浄化を行うが、SOI 基板の場合、デバイス層が大幅に劣化することが分かったため、700~900 と低温でフラッシュアニールすることにした。また、SOI 基板の場合、赤外線パイロメーター測定した基板温度は同じなのに、Si 基板上に作製した試料と特性が大きく異なった。これは、Device 層の下にある SiO_2 層の影響とみられる。このため、Si 基板上と同様の結果が得られるよう基板温度の補正を行った。

表 2 に InSb 薄膜の成長条件を示す。Si 基板上と同様、InSb 単分子層を形成後に 2 段階成長により製膜した。この際、1 層目の蒸着中にゆっくりと基板温度を上昇させ、2 層目の基板温度まで昇温時に凝集し、結晶性表面性の悪化を抑えることに成功した。

表 2 SOI 基板上 InSb 薄膜の成長条件

基板温度 []	蒸着時間	In-cell 温度 []	Sb-cell 温度 []
455	20 s	655	
RT	90 s	655	
180	60 s		320
220-400	30 min	655	350-365
380-440	135 min	765	470

図 2 に(a)Si(111)基板上及び(b)SOI 基板上に成長した InSb 薄膜の表面 SEM 像を示す。

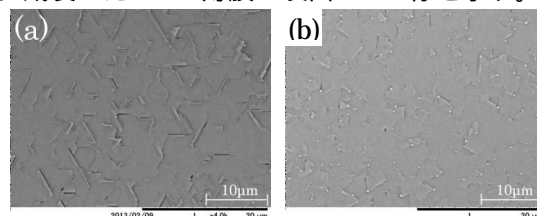


図 2 Si 及び SOI 上 InSb 薄膜の SEM 像

図 2 より明らかなように、いずれの試料とも膜内の欠陥による線状の特徴がみられる。SOI 基板上に成長した図 2(b)の試料の方が、この線状の特徴が短く高密度にみられることから、結晶性は Si 基板上の試料と比較して良くないと考えられる。

作製した InSb 薄膜の電気的特性を測定したところ、Si 基板上に成長した試料では $38,000\text{cm}^2/\text{Vs}$ であったのに対し、SOI 基板上に成長した試料では $31,000\text{cm}^2/\text{Vs}$ であり、2 割ほど低い値だった。これは膜中の欠陥密度の違いを反映しているものと考えられる。しかし、SOI 基板上においても、Si 基板上と同程度の結晶性、表面性、電気的特性を有する InSb 薄膜を作製することができた。

次にデバイス構造の改良による特性の向上を検討した。1つは図 3 のように、ゲート電極をソース・ドレイン電極の上に覆いかぶせるオーバーラップ構造にすること。これには、ソース・ゲート電極間における電界によって制御できない箇所を削減する狙いがある。これにより、ソース抵抗を低減できるため、より良好な相互コンダクタンスを持つデバイスを作製できると考えられる。そしてもう 1つは、レーザー露光装置の導入と、ソース電極とドレイン電極を 2 回に分けて形成することによる短ゲート化である。

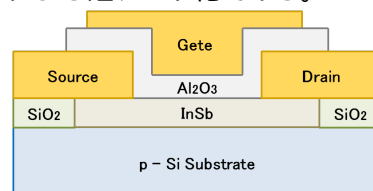


図 3 オーバーラップ構造の MOSFET

図 4 に、オーバーラップ構造及びソース及びドレイン電極を 2 回に分けて形成することにより短ゲート化したデバイスの光学顕微鏡及び SEM 像を示す。最短で $0.1\mu\text{m}$ のゲート長のデバイスを作製することができた。これまでは、密着露光装置を用いてパターンを形成していたため、パターンの合わせ精度が $\sim 2\mu\text{m}$ 程度だったが、レーザー露光装置の導入により、合わせ精度が $0.3\mu\text{m}$ まで向上した。

また、マスクパターンのソース・ドレイン間
が 10, 5.0, 3.0, 2.0, 1.5, 1.0, 0.9, 0.8, 0.7,
0.6, 0.5, 0.4, 0.3, 0.2, 0.1 μm の 15 パター
ン用意されているため 0.1 μm 単位のズレが
生じて短ゲートの作製が可能となった。

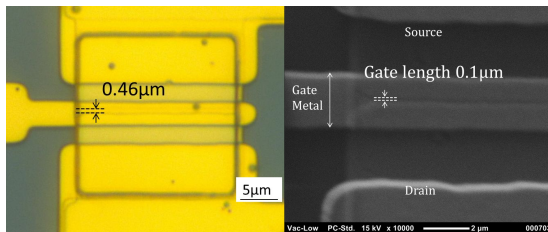


図4 作製した MOSFET のゲート部

しかし、ゲート長が短いものは動作しない
ことが多く、また、動いたとしてもリーク電流
が大きく性能としては悪いものが多かった。

次に、ゲート酸化膜の成膜法の比較を行っ
た。これまでは、ALD 法を用いた Al_2O_3 の
みであった。ALD 法を用いていた理由として
は、界面準位密度が他の成膜法に比べて低い
ことが報告されているためである。また Al_2O_3
は High-K と呼ばれるように、誘電率が高い。
ALD 法と Al_2O_3 が優位性を持っている
のかを検証するために、ゲート酸化膜に ALD
法を用いた Al_2O_3 だけでなく、EB 蒸着法を
用いた SiO とスパッタ法を用いた SiO_2 を使
用してデバイスを作製し、完成後の FET 特
性をそれぞれ測定、比較した。測定には半導
体パラメータ・アナライザを使用した。なお、
全てのデバイスの InSb 膜厚は 40nm、ゲ
ート幅は 20 μm 、ゲート電圧 -1~1V、Vg STEP
0.2V である。

ゲート酸化膜を Al_2O_3 (ALD)として作製し
た最も相互コンダクタンスが良好だったデ
バイスの最大 gm は 144mS/mm であった。
しかし、相互コンダクタンスは改善したもの
の、リーク電流が以前の素子と比較して増加
している。

また、ゲート酸化膜を SiO (EB 蒸着)で形成
したデバイスでは、ゲート長 1.5 μm のとき最
大 gm=99mS/mm、 SiO_2 (スパッタ)で形成し
たデバイスでは、ゲート長 0.9 μm のとき最大
gm=26mS/mm であった。さらに、全プロセ
ス終了後のシート抵抗及びコンタクト抵抗
の値を調べるため、TLM 測定を行った。

ゲート酸化膜に Al_2O_3 を使用したこれま
でのデバイスと比較をすると、シート抵抗コン
タクト抵抗ともに値が低下している。一つの
要因として、InSb 薄膜の不純物や欠陥が多い
ことである。InSb はバンドギャップが非常に
狭いため、欠陥にある電子が熱などによって
簡単に伝導帯へ励起されてドナーとしては
たらく。そのため前回の InSb エピよりも欠
陥の多い膜質である可能性が高い。InSb 薄膜
表面の膜質を評価すると $\text{Al}_2\text{O}_3 > \text{SiO}_2 >$
 SiO となっていた。シート抵抗の値を評価
すると膜質に伴い $\text{Al}_2\text{O}_3 < \text{SiO}_2 < \text{SiO}$ と
抵抗が低下していた。膜質が上がっているの
にも関わらず、シート抵抗が低下しているこ

とから、ゲート酸化膜に Al_2O_3 を使用した薄
膜は、n 型の不純物が多いことが分かる。不
純物濃度はエピタキシャル成長によって決
まるが濃度を自在にコントロールできない。
そのためシート抵抗は欠陥の増減によって
ある程度左右される。

p-MOSFET の検討

族 p-MOSFET や CMOS の作製に向
けて、Si 基板上への p 型材料である GaSb 及
び InGaSb 薄膜の成長を試みた。GaSb は、
バンドギャップが 0.7eV と InSb と比較して
大きく、基板へのリーク電流低減に効果があ
ると考えられる。当初、我々は表面再構成制
御成長法を用いて、GaSb を Si(111)表面上で
30° 回転させ、格子不整合を 12.2% から
-2.8% に緩和できると考えていたが、他の研
究機関が報告しているように、GaSb は
Si(111)表面上で回転しなかった。しかし、以
下の表 4 のような蒸着条件で、1 層目の Sb/In
比を 1 に制御することで、成長の初期段階に
おいて、非対称の RHEED パターンが得られ
ることが分かった。

表 4 GaSb/Si(111)- $\sqrt{3}\times\sqrt{3}$ -Ga の成長条件

基板温度 []	蒸着量	Growth rate /min	
		Ga	Sb
560	1/3 ML	1 ML	
260	1/3 ML		1ML
260/300-	10 nm	0.35 nm	
-390	70 nm	0.7 nm	

Sb/In 比が 1 から少しでも外れると、この
ような非対称なパターンではなく、対称なパ
ターンとなる。回折パターンの解析の結果、
双晶が有るか無いかによって対称なパター
ンか非対称なパターンかが決まることが分
かった。また、1 層目を 260 \square (左)で成長し
た場合、20ML 程度でパターンがストリーク状
になるが、300 (右)で成長した試料では、ス
トリークにスポットパターンが残っており、
より低温で成長することで、膜の凝集が抑え
られることが分かった。

260 で成長した、双晶を含まない高品質
な 1 層目の GaSb 層(10nm)上に、より高温で
2 層目の GaSb 薄膜の成長を試みた。基板温
度は 430 まで上げ、成長レートは 2.5
nm/min とした。膜厚は 70~550nm まで変化
させて、膜厚に対する結晶性の変化を調べた。

作製した GaSb の XRD 測定の結果、
GaSb(111) ピークの半値幅が、膜厚の増加す
るにつれて向上し、他の研究機関が格子不整
合のより小さな化合物半導体上に成長させ
た GaSb 薄膜と比較して、同等あるいはそれ
以上の結晶性を有していることが分かった。

作製した GaSb 薄膜の断面 TEM 像では、
8~9 原子層毎に周期的なミスフィット転位列
が観測され、理想的な周期(8.16)と近かつ

た。界面で効率良く格子緩和が起こっていることを示している。

TFET の検討

TEET 実現の第一歩として、表面再王政制御成長法によって成長した InSb/Si 界面の物性を理解するため、電気的特性を測定した。I-V 特性、C-V 特性の測定結果から、n-InSb/p-Si ヘテロ界面のバンド図は図 5 の様になり、価電子帯と伝導体のバンド不連続はそれぞれ、 $0.37 \pm 0.1\text{eV}$ 、 $0.58 \pm 0.1\text{eV}$ であると見積もられた。この値は、他の研究機関が報告した値とよく一致している。

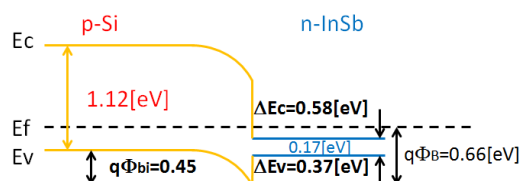


図 5 n-InSb/p-Si ヘテロ界面のバンド図

この他にも、様々な電気的特性の測定を行ったが、試料そのものの特性のばらつきが大きく、ばらつきの無い試料をコンスタントに作製するために、作製条件を再検討する必要があると考えられる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 2 件)

T. Ito, A. Kadoda, K. Nakayama, Y. Yasui, M. Mori, K. Maezawa, E. Miyazaki, T. Mizutani, Effective Mobility Enhancement in $\text{Al}_2\text{O}_3/\text{InSb}/\text{Si}$ Quantum Well MOSFETs for Thin InSb channel Layer, Jpn. J. Appl. Phys. Vol.52 (2013) 04CF01

A.A.Mohammad Monzur-Ul-Akhir, Masayuki Mori and Koichi Maezawa, Heteroepitaxial growth of InGaSb on GaSb/Si(111)- $\sqrt{3}\times\sqrt{3}$ -Ga surface phase with two step growth method to investigate the impact of high-quality GaSb buffer layer, Phys. Status Solidi B, 1-6 (2016) / DOI 10.1002/pssb.201600528

[学会発表](計 19 件)

K. Maezawa, InSb quantum well MOSFETs based on ultra thin InSb layers grown directly on Si, The 37th Workshop on Copound Semiconductor Devices and Integrated Circuits Warnemunde, Germany, 26-29th May (2013)

K. Hosotani, T. Ito, Y. Yasui, K. Nakayama, A. Kadoda, M. Mori, K. Maezawa, Low resistance ohmic contacts to n-InSb employing Sn-alloys,

The 2013 International Meeting for Future of Electron Devices, Kansai (IMFEDK) Kansai Univ. Centenary Memorial Hall, Osaka, 5-6th June (2013)

H. Shimoyama, Y. Yasui, T. Sakamoto, M. Mori, K. Maezawa, Growth of InSb thin films on a V-grooved Si(001) substrat, The 4th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2013) Ishikawa Ongakudo, Kanazawa, Ishikawa, 17-20th June (2013)

X. Wang, M. Mori, K. Maezawa, Selective area growth of InSb on Si(111) substrate by using Sb induced surface reconstruction, The 4th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2013) Ishikawa Ongakudo, Kanazawa, Ishikawa, 17-20th June (2013)

T. Sakamoto, H. Shimoyama, Y. Yasui, M. Mori, K. Maezawa, Heteroepitaxial growth of InSb thin films on a Silicon-on-Insulator substrate, 2013 International Conference on Solid State Devices and Materials (SSDM 2013) Hilton Fukuoka Sea Hawk, Fukuoka, 24-27th September (2013)

M. Mori, X. Wang, K. Maezawa, Selective growth of InSb using Sb-induced surface reconstruction on Si(111) substrate by molecular beam epitaxy, 12th International Conference on Atomically Controlled Surfaces, Interfaces and Nanostructures (ACSIN-12) Tsukuba International Congress Center, Tukuba, Japan, 4-8th November (2013)

下山裕哉、森雅之、前澤宏一, Si(111)基板上への $\text{In}_x\text{Ga}_{1-x}\text{Sb}$ エピタキシャル成長と膜質の評価, 第 2 回有機・無機エレクトロニクスシンポジウム, (7 月 11-12 日、信州大学長野(工学)キャンパス)

下山裕哉、森雅之、前澤宏一, Si(111)基板上への GaSb エピタキシャル成長と膜質の評価, 2014 年(平成 26 年)第 75 回応用物理学会秋季学術講演会(9 月 17-20 日、北海道大学札幌キャンパス)

三枝孝彰、森雅之、前澤宏一, Ge(111)基板上 InSb 薄膜の作製, 2014 年(平成 26 年)第 75 回応用物理学会秋季学術講演会(9 月 17-20 日、北海道大学札幌キャンパス)

坂本大地、森雅之、前澤宏一, SOI (Silicon-on-Insulator)基板上への InSb ヘテロエピタキシャル成長, 2014 年(平成 26 年)第 75 回応用物理学会秋季学術講演会(9 月 17-20 日、北海道大学札幌キャンパ

入)
K. Kimura, K. Hosotani, T. Ito, H. Shimoyama, T. Sakamoto, M. Mori, and K. Maezawa, Electrical Characterization of n⁺-InSb/p-Si Heterojunctions Grown by Surface Reconstruction Controlled Epitaxy, 2014 International Meeting for Future of Electron Devices, Kansai (IMFEDK 2014), Ryukoku University Avanti Kyoto Hall, Kyoto, 19-20th June (2014)
T. Mitsueda, T. Sakamoto, H. Shimoyama, M. Mori, and K. Maezawa, Heteroepitaxial Growth of InSb thin films on a Ge(111) substrate, 2014 International Meeting for Future of Electron Devices, Kansai (IMFEDK 2014), Ryukoku University Avanti Kyoto Hall, Kyoto, 19-20th June (2014)
E. Umemura, M. Mori, T. Sakamoto, H. Shimoyama, K. Maezawa, Heteroepitaxial growth of InSb films on Si(100) substrate with micro facet structures, The 5th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2015) Toki-messe, Niigata, 16-19th June (2015)
F. Shimizu, K. Hosotani, T. Ito, M. Mori, K. Maezawa, MOSFETs Based on InSb/Si (111) Heterostructures Having Various Oxide Layers, 2015 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2015) Jeju Island, Korea, 29th June - 1st July (2015)
H. Shimoyama, M. Mori, K. Maezawa, Heteroepitaxial Growth of GaSb Films on Si(111)-√3×√3-Ga Surface Phase, International Conference on Solid State Devices and Materials(SSDM 2015) Sapporo, Hokkaido, 27-30th September (2015)
A.A.Md. Monzur-Ul-Akhir, Masayuki Mori, Koichi Maezawa, Heteroepitaxial growth of InGaSb on HQ GaSb on Si(111) by two step growth method, 平成 28 年応用物理学会北陸・信越支部学術講演会 (12 月 108 日、富山県民会館)
A.A.Md.Monzur-Ul-Akhir, Masayuki Mori, and Koichi Maezawa, Heteroepitaxial growth of InGaSb on GaSb/Si(111)-√3x√3-Ga surface phase with two step growth method, 43rd International Symposium on Compound Semiconductors (ISCS), Toyama, June 26-30, (2016)
Takaaki Mitsueda, Masayuki Mori, and Koichi Maezawa, Effect of growth

condition of buffer layer for heteroepitaxial InSb films grown on Ge(111) substrate, 43rd International Symposium on Compound Semiconductors (ISCS), Toyama, June 26-30, (2016)

三枝孝彰、森雅之、前澤宏一, Ge(111)基板上へのInSb薄膜のエピタキシャル成長, 電子情報通信学会電子デバイス研究会,(ED)報告 ED2016-31, p21-24, 首都大学東京、7月23-24日 (2016)

〔図書〕(計 件)

〔産業財産権〕

出願状況(計 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

取得状況(計 件)

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕

ホームページ等

<http://www3.u-toyama.ac.jp/nano/>

<http://www3.u-toyama.ac.jp/morimasa/>

6. 研究組織

(1) 研究代表者

森 雅之 (MORI MASAYUKI)
富山大学・大学院理工学研究部・准教授
研究者番号：90303213

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

前澤 晃一 (MAEZAWA KOICHI)
富山大学・大学院理工学研究部・教授
研究者番号：90301217

(4) 研究協力者

()