

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 20 日現在

機関番号：12101
研究種目：基盤研究(B) (一般)
研究期間：2013～2015
課題番号：25289258
研究課題名(和文)3次元実装用低ひずみ・高アスペクト比TSV開発

研究課題名(英文)Low strain and high aspect ratio Cu-TSVs

研究代表者

大貫 仁 (Onuki, Jin)

茨城大学・理工学研究科・特任教授

研究者番号：70315612

交付決定額(研究期間全体)：(直接経費) 14,300,000円

研究成果の概要(和文)：3次元配線実装技術の中心的課題が最短配線技術(Cu-TSV)であり、その低低抗率化は不可欠な課題であるが、正確な値が公表されていない。本研究では、低抗率測定用TEGパターンの設計および低抗率評価を行うとともにデータの検証も行った。得られた結果を以下に示す。1)直径10 μ m、深さ80nmのCu-TSVの低抗率は4.13 μ ・cmとバルクCuよりも高い。2)Cu-TSVには50nm以下の結晶粒の存在比が27%も存在し、この小さい結晶粒が電子の散乱を引き起こして低抗率を増大させたと考えられる。3)Cl, Oおよび金属元素からなる不純物が粒界に存在し、粒成長を抑制したと考えられる。

研究成果の概要(英文)：We manufactured a new TEG patterns, and evaluated the resistivity and nano-microstructures of Cu-TSVs. Following results were obtained.1)Resistivity of Cu-TSVs was found to be 4.13 μ ・cm. 2)Existence ration of small grains less than 50nm was also found by X-ray diffraction and EBSD analysis.3)Impurities consisting of Cl, O, and metal elements were found in nano-grain boundaries by STEM. The impurities prevented grain growth during annealing.

研究分野：電子情報デバイス用材料科学

キーワード：Cu-TSV 3次元実装 低抗率 Cuめっき 不純物

1. 研究開始当初の背景

デジタル機器の基盤デバイスである LSI の高集積化(最小配線幅数 10nm)の指導原理として用いられてきたムーアの法則が限界に直面しつつある中で国際半導体技術ロードマップ (ITRS)2005 年版で 3 つの技術方向が示された。その 1 つが微細化に依存しない 3 次元実装技術(配線幅 μm オーダー)である。小型・高速・大容量・低消費電力化という種々の理由から複数デバイスを同一パッケージに実装する技術で、従来の平面にレイアウトする 2 次元実装から縦に積層する 3 次元実装技術である。考案された接続素方式が TSV(Through Silicon Via)である。シリコンウエハ(シリコンダイ)を貫通する細長い柱状の電極(Cu,W からなる導通部,Via という)により、積層したシリコンダイ同士を電気的に接続するという“最短配線”技術である。この技術を用いれば遅延時間の短縮、パッケージの小型化、消費電力の低減というメリットがある。原理的には無駄の少ない接続技術であるが解決すべき技術的難易度は高い。その最重要課題のひとつが高アスペクト比(Via 深さ/直径)の TSV への高速・高信頼性 Cu 埋め込み技術の開発である。このためには、狭小高アスペクト比の Via への高速めっき法の確立というテクノロジーの深耕と共に TSV 溝内の Cu の電気抵抗、微細結晶構造の解明という物性学上からのアプローチが不可欠である。

2. 研究の目的

近未来に到来するスマートコミュニティにおいては膨大なデジタル情報の処理が必要とされ、基盤デバイスの高集積 LSI の高性能化が要求される。早期開発を期待されているのが 3 次元配線実装技術である。積層した Si ウエハ同士を、開口させた細孔を通じて導通させる最短配線技術(TSV, Through Silicon Via)である。理想的な配線技術であるが解決すべき技術課題は多い。その最重要課題の 1 つが高アスペクト比(ホール深さ/径の比)ホールへの導電材埋め込みめっき技術で、高信頼性のバリア/シード層材料開発と形成法及び Cu 埋め込みめっき技術である。同時に作製条件と形成した Cu の物性との相関関係の把握が必要である。応募者は既に世界トップレベルの 30 - 50 nm 幅の LSI の超微細配線の低電気抵抗 Cu 配線技術に成功している。本開発の TSV と組み合わせ超高速 LSI の基礎を構築することを目的とする。

3. 研究の方法

(1) 低抗率および埋め込み性を評価するための新しい TEG の設計と製作

これまでの Cu-TSV の低抗率測定 TEG の課

題抽出と正確な低抗率評価のための新 TEG 作製。

Cu-TSV 中への Cu めっき条件の検討ならびに作製した Cu-TSV の低抗率の評価 Cu-TSV の微細構造の X 線回折、EBSD、および STEM による解析。

4. 研究成果

(1) これまでに、Cu-TSV の低抗率を測定する TEG として、Daisy Chain Pattern, One and Double-layer Pattern, および Kelvin Structure が検討されているが、それぞれ配線低抗、バンプ低抗、およびバイパス電流による低抗が測定結果に含まれるため、精密に測定できる TEG は存在しなかった。我々は、上記欠点の無い図 1 に示す新 TEG を設計・製作した。この TEG を用いて Cu めっきを行い、アニール後に低抗率を測定し、図 2 に示すように $4.13 \mu\Omega \cdot \text{cm}$ という値を初めて明らかにした。この低抗率は $10 \mu\text{m}$ 程度の配線では異常に高く(通常は $3 \mu\Omega \cdot \text{cm}$ 未満)、積層により、低抗率はさらに増大するため、配線遅延時間の短縮、消費電力の低減に大きな障害になる可能性があることを初めて明らかにした。さらに、この低抗率の妥当性を検証するため、X 線回折、EBSD および STEM による微細構造解析を行い、図 3 に示すように 50nm 以下の結晶粒径の存在比が 27%程度あることを明らかにした。このことから、Cu-TSV の低抗率測定時には電子散乱が多く発生し、低抗率が異常に増大したと考えられる。LSI 等の 100nm 以下の配線においても、粒径が 50nm 程度に微細化すると $4 \sim 5 \mu\Omega \cdot \text{cm}$ 程度に増大することは明らかになっているため、妥当な低抗率であると考えられる。なお、Cu-TSV 中の結晶粒界に存在する不純物の STEM 像を図 4 に示す。

続いて、Cu-TSV の温度上昇および下降に伴う、形状変化を In-situ SEM 観察および微細構造の変化についても In-situ SEM 観察で評価し、500 程度の温度上昇により Cu-TSV 部は $1 \mu\text{m}$ 程度突出し、その後の冷却により、もとの状態に戻って行くが、室温でも完全にはもとに戻らないことも突き止めた。従って、加熱・冷却時の Cu-TSV の突出性を in-situ SEM 観察以外の方法、例えば加熱・冷却後の Cu-TSV の SEM 観察結果で議論することは危険である。温度上昇および下降による Cu-TSV の突出は 3 次元実装の信頼性に大きく影響する可能性があり、バリア材質との関連性を In-situ SEM 観察により詳細に検討する必要がある。さらに、

EBSDBによる微細構造解析をin-situ SEM観察で行った。Cu-TSVは約250 加熱により、構造変化を起こすことも分かった。

The appearance of a TEG chip

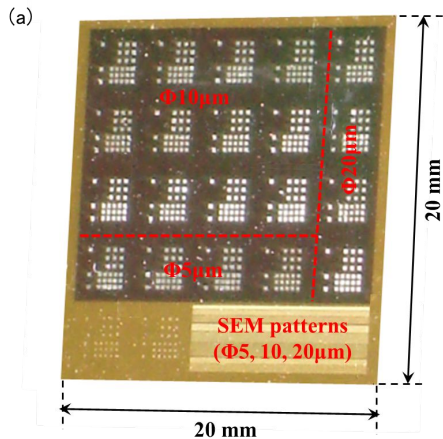


図1(a) TEGチップパターン

Cross-sectional structures of new method

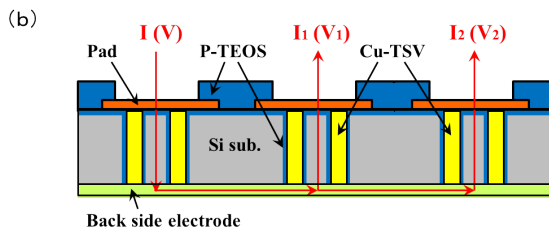
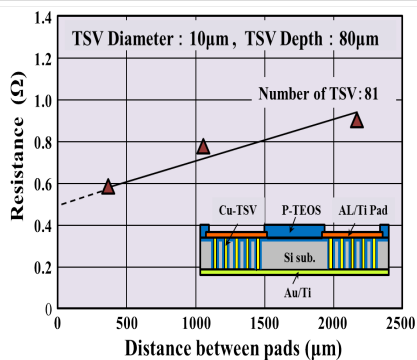


図1 (b) 新TEGの断面構造

1) Resistance of Cu-TSV as a function of distance of pads



2) Calculation Methods of resistivity

Approximate expression
 $Y = 23.236X + 0.4846$
 Y: Cu-TSV's resistance
 X: distance between pads

$\rho = 0.527\text{m}\Omega \cdot 4.5^2 \pi / 80\mu\text{m} = 4.13\mu\Omega \cdot \text{cm}$

図2 Cu-TSVの低抗率

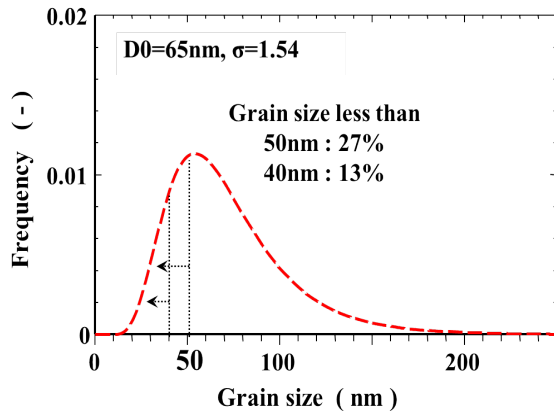


図3 X線回折によるCu-TSV中の結晶粒径の分布

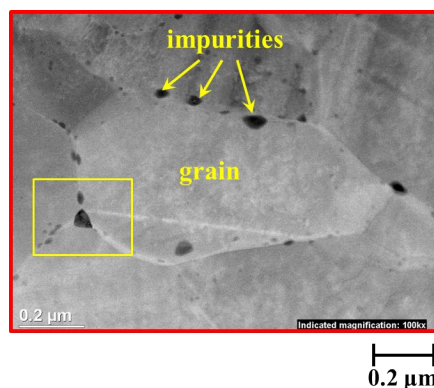


図4 結晶粒界の不純物 (STEMによる)

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 7件)

T. Inami, K. Tamahashi, T. Namekawa, A. Chiba, and J. Onuki, 「Grain Size Distribution at the Bottom Region in Very Narrow Cu Interconnects」, Electrochemistry, Vol. 84, pp. 151-155, 2016, 査読あり

T. Nagano, Y. Sasajima, N. Ishikawa, K. Tamahashi, K. Hidaka, and J. Onuki, 「Pinning Effect of Fe(ClO) and TiClO Compounds on Cu Grain Growth in Very Narrow Cu Wires」, ECS Electrochemistry Letters, Vol. 4, pp. D35-D39, 2015, 査読あり

Y. Sasajima, T. Miyamoto, T. Saitoh, T. Yokoyama and J. Onuki, 「Effectiveness of a periodic annealing method to coarsen Cu grains in very narrow trenches」, Microelectronic

Engineering, Vol.131, pp.43-50, 2015, 査読あり

K.Kondo, C.Funahashi, Y.Miyake,
「Five-Minute TSV Copper Electrodeposition」, J.Electrochem. Soc., Vol. 161, pp.D791-D793, 2014, 査読あり

J.Onuki, Y.Sasajima, K.Tamahashi,
Ke-YiQing, S.Terada, K.Hidaka, and S.Itoh, 「Resistivity Reduction in Very Narrow Cu Wiring」, J. Electrochem.Soc., ol.160, pp.D3266-D3270, 2013, 査読あり

T.Inami, K.Hidaka, S.Terada and J. Onuki, 「Development of Grain Size Evaluating Process in Very Narrow Cu Interconnects」, ECS Electrochemistry Letters, Vol.2, pp.D49-D51, 2013, 査読あり

Y.Sasajima, T.Nagano, and J.Onuki,
「Searching for barrier materials for Cu wire in LSI」, ECS Journal of Solid State Science and Technology, Vol.2, pp.351-356, 2013, 査読あり

〔学会発表〕(計 2件)

A.Satoh, H.Kadota, T.Inami, T.Tamahashi, and J.Onuki, 「Investigation on Microstructure and Resistivity in Cu-TSVs for 3D Packaging」, International Conference on Electronics Packaging, 2016年4月20日、Sapporo

大貫 仁、「高純度微小銅めっきと低抗減少機構」、化学工学会(招待講演)、2014年9月17日、九州大学……………

〔産業財産権〕

出願状況(計 2件)

名称：Ru 膜成膜装置、金属成膜装置、Ru バリアメタル層、配線構造
発明者：永野隆敏、大貫 仁、篠嶋 妥
玉橋邦裕、小沼重春
権利者：茨城大学
種類：特許
番号：特願 2016-86074
出願年月日：平成 28 年 4 月 22 日
国内外の別：国内

名称：超低低抗率銅配線を有する半導体集積回路装置
発明者：篠嶋 妥、大貫 仁、永野隆敏

権利者：茨城大学

種類：特許

番号：特願 2015-038589

出願年月日：平成 27 年 2 月 27 日

国内外の別：国内

6. 研究組織

(1) 研究代表者

大貫 仁 (Onuki Jin)
茨城大学・理工学研究科・特任教授
研究者番号：70315612

(2) 研究分担者

稲見 隆 (Inami Takashi)
茨城大学・工学部・准教授
研究者番号：20091853

(3) 研究分担者

近藤 和夫 (Kondo Kazuo)
大阪府立大学・大学院工学研究科・教授
研究者番号：50250478

(4) 研究分担者

永野 隆敏 (Nagano Takatoshi)
茨城大学・工学部・講師
研究者番号：70343621

(5) 研究分担者

篠嶋 妥
茨城大学・工学部・教授
研究者番号：80187137

(6) 連携研究者

無し

(7) 研究協力者

無し