

平成 28 年 6 月 15 日現在

機関番号：12608

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25330056

研究課題名(和文) コア融合機能を持つ計算機システムの開発

研究課題名(英文) Development of a computer system with an efficient core fusion mechanism

研究代表者

吉瀬 謙二 (Kise, Kenji)

東京工業大学・大学院情報理工学研究科・准教授

研究者番号：50323887

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：本研究では、ハードウェア記述言語を用いて現実的なCoreSymphonyマイクロアーキテクチャの開発と動作検証をおこなった。すなわち、マイクロアーキテクチャレベルの工夫により、CoreSymphonyの回路規模の削減を達成した。また、FPGAボード間の通信としてシリアルATAケーブルを用いた高速シリアル通信の評価をおこない、高いバンド幅のデータ転送が可能であることを確認するとともに、この高速通信ポートおよびFPGA、DRAMを搭載する計算機アーキテクチャ研究に適したボードの設計をおこなった。

研究成果の概要(英文)：In this research, we designed and verified our realistic microarchitecture of CoreSymphony in hardware description language which enables efficient cooperative core features on multi-core processors. In other words, we reduced the required hardware cost for CoreSymphony processors using sophisticated microarchitecture techniques. Moreover, in order to develop an FPGA (field-programmable gate array) board for computer architecture research, high-speed serial communication between FPGA boards with serial ATA cables is evaluated and confirmed its high data bandwidth and we designed original FPGA board with this high-speed serial communication, FPGA, and DRAM chip.

研究分野：計算機アーキテクチャ

キーワード：コア融合 計算機システム プロセッサ FPGA

1. 研究開始当初の背景

(1) プロセッサの性能向上を維持するため、チップに複数のプロセッサコアを集積するマルチコアプロセッサが注目されている。市場では2個から8個程度のコアを搭載するマルチコアプロセッサが普及している。また、チップに搭載されるコアの数は増加しており、チップに数十個あるいは数百個のコアを搭載するメニーコアプロセッサの性能を引き出すアーキテクチャ技術が必要とされている。

(2) チップに多くのコアを搭載することでプロセッサのピーク性能を向上させることができる。一方で、コアの数が増えるに従って、高い実効性能を維持することが困難になる。その理由の1つが、プログラムに内在する並列化が困難な処理(逐次処理)による並列化効率の低下(Amdahlの法則)である。本研究では、アプリケーションの実行中に現れる部分的な逐次処理を高速化するアプローチとして、幾つかの発行幅の狭いプロセッサコアを協調動作させることで発行幅の広く逐次実行能力の高い1つの仮想コアを形成する技術(コア融合)に着目する。これは、アプリケーションプログラムの実行中に現れる部分的な逐次処理を高速化するための有望なアプローチである。

2. 研究の目的

(1) コア融合の先駆的な研究として、バージニア大学で開発された Federation およびコーネル大学で開発された CoreFusion がある。一方、我々が提唱しているコア融合アーキテクチャである CoreSymphony は、コアの独立性の維持、アーキテクチャ技術の連続性の維持、バイナリの連続性の維持という次に示す3つの挑戦的な課題を同時に達成することを目指している所に特徴がある。

コアの独立性の維持: コア融合の機能を提供するために、新たなコア間の通信モジュールを追加することは好ましくない。また、集中化された制御も望ましくない。CoreSymphony では、メニーコアプロセッサに備わる結合網を用いてコア融合のための通信を実現する。また、制御は各コアに分散させる。このために、計算、制御情報、データを各コアで部分的に多重化するために、実行効率および面積効率で不利となる。これらの不利を現実的で許容できる範囲に収めながら、各コアの独立性を維持する。

アーキテクチャ技術の連続性の維持: CoreSymphony では、従来のプロセッサコアに、融合のための仕組みを追加する。ベースアーキテクチャとして、広く普及しているアウトオブオーダー実行のスーパースカラ方式を採用し、そこからの変更を小さいものに留める。これにより、従来のアーキテクチャか

らの連続性を維持し、その実現可能性を高いものにする。

バイナリの連続性の維持: プロセッサが実行する機械命令に制御情報を埋め込むといった独自の命令セットアーキテクチャを採用することは、コア融合のための各種制御の複雑さを緩和するための有効な手段である。そうではなく、既存のバイナリとの互換性を維持するため、CoreSymphony では従来型の RISC 命令セットアーキテクチャを採用しながら、効率的な協調動作の実現を目指す。

(2) 本研究では、コア融合アーキテクチャである CoreSymphony を用いるメニーコアプロセッサの高性能化に取り組む。また、FPGA を用いたプロトタイプシステムを開発し、プロセッサアーキテクチャとシステムソフトウェアとを含む計算機システムのレベルで有効性を検証することを目指す。

3. 研究の方法

(1) 本研究の期間は平成25年度から27年度の3年間とし、ハードウェア記述言語による CoreSymphony マイクロアーキテクチャの開発と動作検証、計算機アーキテクチャ研究に適した FPGA ボードの設計と実装、タスク配置を含むシステムソフトウェアの設計と実装、コア融合プロセッサのシステムレベル評価の実施を目指す。

(2) CoreSymphony プロセッサを FPGA に実装するためには、少ないハードウェア量で実現できるようにマイクロアーキテクチャを改良する必要がある。例えば、多くのポート数を必要とするリオーダーバッファの実装方式を改良するなど、洗練された回路構成による回路規模の低減と動作周波数の高速化を目指す。続いて、詳細評価のために必要となる計算機アーキテクチャ研究に適した FPGA ボードの設計と実装をおこなう。基板のレイアウト設計までを大学の研究室にて実施し、その製造と部品の調達および実装を企業に依頼する。これらを活用した詳細評価により、タスク配置を含むシステムソフトウェアの影響を考慮したシステムレベルでコア融合アーキテクチャ CoreSymphony の有効性を明らかにする。

4. 研究成果

(1) ハードウェア記述言語を用いて現実的な CoreSymphony マイクロアーキテクチャの開発と動作検証をおこなった。このために、CoreSymphony プロセッサを少ないハードウェア量で実現できるように改良するとともに、洗練された回路構成の採用による高速化を施した。まず、CoreSymphony を実装する上での問題点として、リオーダーバッファのポート数が多いためにハードウェア規模が増大する、インオーダー-ステートの管理のための

通信ハードウェアのコストが大きい、という問題点を明らかにした。次に、これらを解決する方法を提案した。前者のリオーダバッファのポート数が多いという問題に対しては、従来のリオーダバッファをローカルとグローバルの2種類のリオーダバッファに分割し、ローカルなリオーダバッファは各コアで実行する命令のみを管理するように変更する仕組みを開発し、これによりポート数の削減とハードウェア量の大幅な削減を達成した。2番目のインオーダ-ステートの管理の問題を解決するために、インオーダステートの情報を各コアに分散して持たせる手法を開発し、これを用いることで、ハードウェア規模を抑えつつ、プロセッサの性能低下も抑えられることを明らかにした。これらの仕組みを含むCoreSymphonyプロセッサをVerilog HDLにて記述し、詳細なハードウェア使用量と動作周波数を明らかにした。

(2) アウトオブオーダ実行プロセッサの幾つかのモジュールはFPGAで効率的に実現することが難しいという問題点を緩和するために、ルックアップテーブルの入力数といったFPGAの構造を意識したハードウェア規模の削減手法を検討した。その成果を少ないハードウェア資源で実現可能なプロセッサアーキテクチャUltrasmallとして発表した。また、標準的で洗練されたアウトオブオーダ実行のプロセッサをVerilog HDLで記述し、そのハードウェア量との比較から、提案しているコア融合の仕組みを持つメニーコアプロセッサアーキテクチャであるCoreSymphonyの実現可能性を明らかにした。

(3) 計算機アーキテクチャ研究に適したFPGAボードの設計をおこなった。具体的には、FPGAボード間の通信としてシリアルATAケーブルを用いた高速シリアル通信の予備評価をおこない、高いバンド幅のデータ転送が可能であることを確認するとともに、この高速通信ポートおよびFPGA、DRAMを搭載するボードの設計をおこなった。

(4) コア融合の仕組みを持つメニーコアプロセッサにタスクを割り当てたり、複数のコアの融合や分離の制御をおこなったりするためのオペレーティングシステムが備えるべき機能の検討をおこなった。加えて、オペレーティングシステムとして採用するLinuxが動作する計算機システムをFPGAで実現し、オペレーティングシステムを含むコンピュータシステムのレベルで有効性を検証するための環境の整備をおこなった。このLinuxが動作する研究と教育に適したx86命令セットアーキテクチャの計算機システムとして、開発したFrixと呼ばれシステムの完成度を実用的なレベルに引き上げ、ソースコードを含むこれらの成果をウェブにて公開した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計0件)

[学会発表](計6件)

Yuki Matsuda, Eri Ogawa, Tomohiro Misono, Ryohei Kobayashi, and Kenji Kise: Frix: Feasible and Reconfigurable IBM PC Compatible SoC, 情報処理学会第78回全国大会, 2016年3月10日発表「慶應義塾大学 矢上キャンパス(神奈川県横浜市)」

Yuki Matsuda, Ryosuke Sasakawa, and Kenji Kise: A Challenge for an Efficient AMI-Based Cache System on FPGA Soft Processors, International Symposium on Computing and Networking -Across Practical Development and Theoretical Research- (CANDAR), pp.133-139, 2015年12月9日発表「札幌市産業振興センター(北海道札幌市)」

松田裕貴, 吉瀬謙二: 3種のFPGAボードを用いたスケーラブルな計算機システム, 情報処理学会第77回全国大会, 2015年3月19日発表「京都大学吉田キャンパス(京都市左京区)」

森悠, 吉瀬謙二: DRAMリソースに着目したメニーコアソフトプロセッサの性能チューニング, 情報処理学会第77回全国大会, 2015年3月18日発表「京都大学吉田キャンパス(京都市左京区)」

Tomoyuki Nagatsuka, and Kenji Kise: Design and Implementation of an Efficient and Realistic Cooperative Core Architecture, IEEE 7th International Symposium on Embedded Multicore SoCs (MCSoc-13), pp.13-18, 2013年9月26日発表「国立情報学研究所(東京都千代田区)」

Yuichiro Tanaka, Shimpei Sato, and Kenji Kise: The Ultrasmall Soft Processor, International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies (HEART2013), pp.63-68, 2013年6月14日発表「エジンバラ(英国)」

[図書](計0件)

[産業財産権]
出願状況(計0件)

取得状況(計0件)

〔その他〕
ホームページ等

ホームページ Feasible and Reconfigurable
IBM PC Compatible SoC
<http://www.arch.cs.titech.ac.jp/a/Frix/>

6. 研究組織

(1) 研究代表者

吉瀬 謙二 (KISE, Kenji)
東京工業大学・大学院情報理工学研究科・
准教授
研究者番号： 5 0 3 2 3 8 8 7

(2) 研究分担者

(3) 連携研究者