

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 17 日現在

機関番号：14303

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25330058

研究課題名(和文) チェックポイント生成機能を備えるスレッドレベル並列投機実行方式

研究課題名(英文) A Thread-Level, Parallel and Speculative Execution Method Provided with a Checkpoint Generator

研究代表者

柴山 潔 (Kiyoshi, Shibayama)

京都工芸繊維大学・情報工学・人間科学系・教授

研究者番号：70127091

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：スレッドレベルの並列投機実行において、プロセッサ自身が、自身のメモリアクセスを監視し、メモリハザードを検出した場合には、そのデータアドレスをもとに、再実行を開始すべき命令アドレス(チェックポイント)を同定する、という斬新なチェックポイント生成方式を開発した。プロセッサ自身によるチェックポイントの動的な生成とその制御という点で独創性が高く、スレッドレベル並列処理に関する研究の発展に大きく貢献できたと言える。

研究成果の概要(英文)：We have developed a novel checkpoint generation scheme for the thread-level parallel speculation. In this scheme, the processor, which monitors its memory accesses, learns a checkpoint candidate dynamically when the processor detects the memory data hazard. The checkpoint is the instruction address from which a thread should be restarted after it aborts. Our scheme has the originality in the self-generation of the optimal checkpoint to minimize the penalty of mis-speculation recovery. Consequently, our achievement in this study is a great step to make a progress of technology in the field of the thread-level parallel processing.

研究分野：情報工学

キーワード： 計算機システム ハイパフォーマンス・コンピューティング 粗粒度投機実行 スレッドレベル並列性
メモリスистム チェックポイント回復

1. 研究開始当初の背景

(1) コンピュータの性能向上に関する研究の歴史は古く、これまでに様々な技術が開発されてきた。しかし、従来の主流であった命令レベル並列処理においては、並列化コンパイラ技術によってプロセッサの能力を引き出すことが比較的容易であるのに対して、スレッドレベルの並列性を抽出して適切にスケジューリングを行うことは、一般には、コンパイラが行うのはもちろん、プログラマ自身が行うのも困難であった。マルチコアのマイクロプロセッサが市場に登場した頃には、「スレッドレベル並列処理を本格的に研究する時代」の始まりであると叫ばれたが、実際には、従来からの並列処理研究の延長線上を脱しきれない状況が続いていた。

(2) そのような状況の中で、本研究代表者らは、マルチプロセッサ上でのスレッドレベル並列投機実行方式に関する研究に本格的に着手した。「本質的に並列実行可能なアルゴリズムを採用しているにもかかわらず、単一スレッド実行を前提としてプログラミングしたソースプログラムに対して、これをコンパイラによって並列化しようとする場合に顕在化する並列化に対する阻害要因」を定性的かつ詳細に調査した結果、単一の変数の使いまわしによってスレッド間の依存関係が生じている場合が非常に多く、これを検知して除去すれば、多くのプログラムで全体の8割以上のスレッド間の依存関係を解消できることを発見した。そこで、この依存関係を実際に検知して除去する手段として、「動的スカラ展開によるオンザフライ並列化に関する研究」(基盤研究(C), 2010~2012年, 研究代表者:柴山 潔)において、依存関係のオンザフライ検出方式とメモリリネーミングのためのキャッシュ機構を開発した。

(3) 以上の研究成果により、スレッド間の依存関係の大部分を取り除くことが可能となった。しかし、少数ではあってもまだ依存関係が残存しており、完全な並列化を実現するためには、それらの依存関係による影響を除去する方式をさらに開発する必要があった。

2. 研究の目的

(1) 残存する依存関係の中には、アルゴリズム上、本質的に除去不可能な依存関係も存在する。そこで、スレッドの投機実行中に、スレッド間の依存関係によるハザードを検知すると、後続のスレッドの投機実行結果を破棄して、そのスレッドを再実行する方法が考えられる。しかし、この場合に、そのスレッドのそれまでの実行結果のすべてを破棄して最初から実行し直していたのでは、実質的な並列処理効果は見込めない。そこで、ハザードを解消するのに必要最小限だけ、命令実行時点(チェックポイント)までロールバックし、そこから実行を再開する方式を開発す

る。

(2) まず、各プロセッサ自身が、自身のメモリアクセスを監視することによって、動的にチェックポイントを生成する。すなわち、ハザードを検出した場合には、そのデータアドレスをもとに必要最小限だけロールバックし、再実行すべきチェックポイントの命令アドレスを同定する、斬新なセルフチェックポイント方式を提案する。

(3) また、より上位の概念レベルで、スレッド間の同期のタイミングを適切に制御する方式を提案する。具体的には、あるスレッドで生成したチェックポイントの情報とハザードの発生状況をもとに、後続する投機スレッドにおけるハザードの発生を予測する。あるデータに関してハザードの発生を予測できる場合には、そのデータに対応するチェックポイントで同期処理(待機)を行い、以降でのオーバーヘッド(例えば、共有メモリバスの使用などの資源の競合や浪費)を抑制する。

3. 研究の方法

(1) まず、チェックポイント生成機能の概略設計として、どの程度の細かさでチェックポイントを設けるかを、実行プログラムの処理の複雑さや、チェックポイント生成のためにトレースすべき情報量との関係を考慮しながら検討する。ロード命令を実行するたびにチェックポイントを生成するのが最も細かい場合に相当するが、これでは、性能の点でも、また、実現コストの点でもオーバーヘッドが大きすぎる。そこで、複数のロード命令をどのようにグループ化して(そのグループに対応して1つの)チェックポイントを設けるかが重要な課題である。

(2) 概略設計を基に、実現性を加味した観点から、チェックポイント生成方式の詳細設計を行う。主要な設計項目は、(a) 自らのデータアクセスを監視してチェックポイントを動的に生成するハードウェア機構、(b) ハザードの検出時に必要最小限のロールバックを行うための適切なチェックポイントを同定する機構、(c) ロールバック時にチェックポイントの環境に戻すためのメモリデータのバージョン管理方式、(d) ロールバックの制御機構、の4点である。

4. 研究成果

(1) チェックポイント生成の粒度について、まずは、条件分岐命令をグループの切れ目としてロード命令をグループ化し、その上で、ハザードの発生状況を監視しながら最適なチェックポイントの設置候補を学習する方式を開発した。本来、スレッド間の依存関係と条件分岐命令とは全く無関係であるが、分岐予測による投機実行の制御機構を、本研究のチェックポイント生成方式に利用するこ

とを狙った。

(2) 自らのデータアクセスを監視して、チェックポイントを動的に生成するハードウェア機構を考案・設計した。ハザードの検出はデータアドレスを用いて行うが、チェックポイントの生成は命令デコードの段階で開始しなければならない。命令パイプラインでの遅延を考慮すると、アクセスすべきデータアドレスが判明(すなわち、ハザードを起こす可能性がある)と判断してからでは、チェックポイントの生成が間に合わない。そこで、ハザードを起こす可能性のあるデータアドレスから、そのデータアドレスにアクセスするロード命令の命令アドレスを動的な学習によって求めるハードウェア機構を設けることで、命令デコードよりも上流の命令フェッチの段階でチェックポイント候補の検出を可能とした。

(3) ハザードを検出した場合に、そのデータアドレスから、ロールバックすべきチェックポイントを求めるためのハードウェア機構を考案・設計した。これにより、適切なチェックポイントまでロールバックすることが可能になり、再実行に伴う無駄を必要最小限に抑えることができる。

(4) ロールバック時にチェックポイントの環境に戻すために、データキャッシュ上でメモリデータにバージョン番号を付加して記憶する方式を開発した。このバージョン番号は動的に生成したチェックポイントと対応しており、上記(3)でロールバックすべきチェックポイントが決定すると、メモリデータについても瞬時にチェックポイントの実行環境に戻すことが可能である。

(5) ハザードの検出及びチェックポイント候補の学習のために、スヌープキャッシュを拡張した実現方式を開発した。これにより、あるスレッド間で生じたハザードの情報を、他のスレッドでもチェックポイント生成のために利用することを可能にした。

(6) スレッドで実行する動的な命令数が多くなると、アクセスするデータ量も多くなる。本研究では無駄なチェックポイントを生成しないようにしているが、無駄かどうかを判断するために収集・保持しなければならない情報量は少なくなく、必然的に実現コストも大きくなる。そこで、本研究では、ハザードの発生回数自体を削減するために、メモリデータに対するデータ値予測を行うことで、生成するチェックポイントの数の削減とチェックポイントの生成コストの削減を図った。表1はその効果を評価した結果である。プロセッサの性能を評価するのに一般的に用いられる SPEC ベンチマークを用いて、並列投機実行を行う場合の各スレッド(それぞれで

実行する動的な命令数は異なる)がアクセスするデータ数の平均を示したものである。「データ数」の欄はフロー依存によってハザードを発生する可能性のあるデータの数であり、「予測可能データ数」の欄は、そのうちでデータ値予測によってハザードの発生(ひいてはロールバックの発生)を回避できるものの数と割合を示す。これより、プログラムによって効果は異なるが、4割以上のデータハザードの発生を回避し、チェックポイント生成の実現コストを削減した。

表 1

プログラム	データ数	予測可能データ数	動的実行命令数
milc	3	3 (100%)	83M
soplex	427	197 (46%)	35-329K
povray	50	46 (92%)	500-600K
sphinx3	2329	958 (41%)	3-5M

(7) 以上、本研究は、(a) 従来はコンパイラでチェックポイントを自動生成することが不可能であった状況に対して、プロセッサ自身が動的にチェックポイントの生成とロールバック制御を行う方式を開発した点、及び(b) メモリデータに対するデータ値予測機構の開発とその効果を定量的に示した点、で新規性の高いものであり、スレッドレベル並列処理技術の発展に大きく貢献できたといえる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計15件)

Hiroaki Hirata, Atsushi Nunome, Kiyoshi Shibayama, Speculative Memory: An Architectural Support for Explicit Speculations in Multi-threaded Programming, Proceedings of the 15th International Conference on Computer and Information Science, 2016 (to appear), 査読有

Yuki Shoji, Atsushi Nunome, Hiroaki Hirata, Kiyoshi Shibayama, A Large-Scale Speculation for the Thread-Level Parallelization, International Journal of Computer and Information Science, Vol. 17, No. 1, pp. 24-32, 2016, 査読有

小路勇氣、布目淳、平田博章、柴山潔、スレッドレベル並列投機実行のためのデータ値予測機構、第14回情報科学技術フォーラム講演論文集、Vol. 1、pp. 243-244、2015、査読無

Shingo Shimano, Atsushi Nunome, Hiroaki Hirata, Kiyoshi Shibayama, An Information Propagation Scheme for an Autonomous Distributed Storage System in iSCSI Environment, Proceedings of the 3rd International Conference on Applied Computing and Information Technology, pp. 149-154, 2015, 査読有

Yuki Shoji, Atsushi Nunome, Hiroaki Hirata, Kiyoshi Shibayama, A Large-Scale Speculation for the Thread-Level Parallelization, Proceedings of the 3rd International Conference on Applied Computing and Information Technology, pp. 169-175, 2015, 査読有

Sekai Ichii, Saki Tashiro, Atsushi Nunome, Hiroaki Hirata, Kiyoshi Shibayama, Hardware Transactional Memory with Delayed Committing, Proceedings of the 3rd International Conference on Applied Computing and Information Technology, pp. 161-168, 2015, 査読有

Atsushi Nunome, Hiroaki Hirata, Kiyoshi Shibayama, A Distributed Storage System with Dynamic Tiering for iSCSI Environment, International Journal of Networked and Distributed Computing, Vol. 3, No. 1, pp. 42-50, 2015, 査読有

Atsushi Nunome, Hiroaki Hirata, Kiyoshi Shibayama, A Distributed Storage System with Dynamic Tiering for iSCSI Environment, Proceedings of IIAI International Conference on Advanced Applied Informatics, pp. 644-649, 2014, 査読有

Sekai Ichii, Atsushi Nunome, Hiroaki Hirata, Kiyoshi Shibayama, A Lazy-Updating Snoop Cache Protocol for Transactional Memory, Proceedings of IIAI International Conference on Advanced Applied Informatics, pp. 636-643, 2014, 査読有

Sekai Ichii, Atsushi Nunome, Hiroaki Hirata, Kiyoshi Shibayama, A Lazy-Updating Snoop Cache Protocol for Transactional Memory, International Journal of Computer and Information Science, Vol. 15, No. 1, pp. 31-40, 2014, 査読有

中務国男、布目淳、平田博章、柴山潔、リターンアドレスの改ざん検出機能を備えたマイクロプロセッサアーキテクチャ、電子情報通信学会論文誌 D, Vol. J97-D, No. 3, pp. 614-624, 2014, 査読有

日高信、布目淳、平田博章、柴山潔、コンピュータ将棋における直近の決定履歴を用いた合議アルゴリズム、第 12 回情報科学技術フォーラム講演論文集、Vol. 2、

pp. 391-392、2013、査読無

一井世界、布目淳、平田博章、柴山潔、トランザクショナルメモリを実現するスヌープキャッシュの遅延更新プロトコル、第 12 回情報科学技術フォーラム講演論文集、Vol. 1、pp. 387-388、2013、査読無

吉川唯、布目淳、平田博章、柴山潔、関数リターンとの相関を利用する分岐予測方式、第 12 回情報科学技術フォーラム講演論文集、Vol. 1、pp. 383-384、2013、査読無

上杉晴信、布目淳、平田博章、柴山潔、非局所的な入れ子構造のループに対するスレッドレベル並列性の抽出可能性、第 12 回情報科学技術フォーラム講演論文集、Vol. 1、pp. 387-388、2013、査読無

[学会発表](計 13 件)

Hiroaki Hirata, Speculative Memory: An Architectural Support for Explicit Speculations in Multi-threaded Programming, International Conference on Computer and Information Science, 2016.6.26-29 (scheduled), Okayama Convention Center

小路勇氣、スレッドレベル並列投機実行のためのデータ値予測機構、第 14 回情報科学技術フォーラム、2015.9.16、愛媛大学

Shingo Shimano, An Information Propagation Scheme for an Autonomous Distributed Storage System in iSCSI Environment, International Conference on Applied Computing and Information Technology, 2015.7.13, Okayama Convention Center

Yuki Shoji, A Large-Scale Speculation for the Thread-Level Parallelization, International Conference on Applied Computing and Information Technology, 2015.7.13, Okayama Convention Center

Saki Tashiro, Hardware Transactional Memory with Delayed Committing, International Conference on Applied Computing and Information Technology, 2015.7.13, Okayama Convention Center

Atsushi Nunome, A Distributed Storage System with Dynamic Tiering for iSCSI Environment, International Conference on Software Engineering Research, Management and Applications, 2014.9.3, Kitakyushu International Conference Center

Sekai Ichii, A Lazy-Updating Snoop Cache Protocol for Transactional Memory, International Conference on Software Engineering Research, Management and Applications, 2014.9.3, Kitakyushu International Conference

Center

一井世界、トランザクショナルメモリを実現するスヌープキャッシュプロトコル、電子情報通信学会 2014 年総合大会学生ポスターセッション、2014.3.20、新潟大学

濱田貴弘、スレッドレベル並列投機実行のためのチェックポイントリスタート方式、電子情報通信学会 2014 年総合大会学生ポスターセッション、2014.3.20、新潟大学

日高信、コンピュータ将棋における直近の決定履歴を用いた合議アルゴリズム、第 12 回情報科学技術フォーラム、2013.9.4、鳥取大学

一井世界、布目淳、平田博章、柴山潔、トランザクショナルメモリを実現するスヌープキャッシュの遅延更新プロトコル、第 12 回情報科学技術フォーラム、2013.9.6、鳥取大学

吉川唯、布目淳、平田博章、柴山潔、関数リターンとの相関を利用する分岐予測方式、第 12 回情報科学技術フォーラム、2013.9.6、鳥取大学

上杉晴信、非局所的な入れ子構造のループに対するスレッドレベル並列性の抽出可能性、第 12 回情報科学技術フォーラム、2013.9.6、鳥取大学

6. 研究組織

(1) 研究代表者

柴山 潔 (SHIBAYAMA, Kiyoshi)

京都工芸繊維大学 情報工学・人間科学系教授

研究者番号： 70127091

(2) 研究分担者

平田 博章 (HIRATA, Hiroaki)

京都工芸繊維大学 情報工学・人間科学系准教授

研究者番号： 90273549

布目 淳 (NUNOME, Atsushi)

京都工芸繊維大学 情報工学・人間科学系助教

研究者番号： 60335320