

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 8 日現在

機関番号：22604

研究種目：基盤研究(C) (一般)

研究期間：2013～2016

課題番号：25330068

研究課題名(和文) 運用中の環境を考慮した安定的な超高信頼性デジタル回路の構成法

研究課題名(英文) Design of the super high reliability digital circuit in consideration of operation environment

研究代表者

三浦 幸也 (Miura, Yukiya)

首都大学東京・システムデザイン研究科・教授

研究者番号：00254152

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：本研究課題では、LSIの使用中に使用環境に起因したLSIの誤動作への対策方法と劣化による性能低下の推定方法を開発した。

(1) 電源ノイズによるフリップフロップへの動作を解析し、メモリと同様にビット反転の誤動作が発生することを確認した。またその発生メカニズムを明らかにし、誤動作を防止する回路構成法を開発した。

(2) 2種類のリング発振器を使用したLSIの劣化推定方法を開発した。本方法では、トランジスタレベルから回路レベルまでの劣化の推定が可能になった。

研究成果の概要(英文)：In this project, we have developed countermeasures for malfunctions of LSIs and an estimation method for performance degradation by aging, which are caused by environments of LSI usage.

(1) Behaviors of flip-flops (FFs) by power supply noise are analyzed first, and then, we identified that the error of the bit-flip like memories occurs. We also clarified mechanisms of error occurrences, and then developed circuit structures of FFs to prevent error occurrence.

(2) We developed a method for estimating aging of LSIs by using two kinds of ring oscillators. The method could estimate aging from the transistor level to the circuit level.

研究分野：ディペンダブルコンピューティング

キーワード：ディペンダブルコンピューティング ノイズ 誤動作 同期式回路 フリップフロップ 高信頼化設計

1. 研究開始当初の背景

情報通信技術は、安全でかつ質の高い社会生活を提供する上で必要不可欠な基盤技術であり、その技術を実現するシステムは、長期に渡り安全・安定で信頼性が高いことが要求される。またバッテリー駆動の携帯用電子機器の普及に伴い、それらが多様な環境で安定に動作することも要求されている。LSI (大規模集積回路) は各種システム・機器の主要な部品であり、特に低消費電力で高性能を提供するために低電圧動作・高周波動作が可能で LSI が多用されている。

従来、LSI の品質・信頼性は製造出荷時の検査で保証されていたが、LSI の微細化、高速化、低電圧化に伴い、LSI の使用中 (システムの運用中) に使用環境に起因して LSI の誤動作や性能低下を引き起こすことが問題になっている。このため、LSI 回路内の電源ゆらぎ (電源ノイズ) や回路劣化の影響を受けない LSI 回路構成 (設計法) は、超高信頼性 LSI を実現するための重要な課題となっている。

LSI 回路の微細化、低電圧化、高速化が進むにつれて、回路の動作に与える電源ノイズの影響が問題となっている。この電源ノイズには IR-drop や同時スイッチングノイズなどが存在し、従来から回路動作の信号遅延を引き起こすことが知られている。また SRAM においては既に電源ノイズによりビット反転が生じるエラー事例が報告されている。今後更に LSI 回路の微細化、低電圧化、高速化が進むとフリップフロップ (FF) においても上記の問題が顕著となり、対策が必要となる可能性が高い。そこで、FF における電源ノイズによる動作解析とその対策手法の開発が必要となる。

また CMOS の微細化が進むにつれて NBTI、PBTI、CHC と呼ばれる MOS トランジスタの経年劣化が LSI の性能を低下させる主な要因となってきている。これらの劣化によって MOS トランジスタの動作速度が低下して信号伝搬の遅延が大きくなり、最終的に LSI が誤動作 (故障) に陥る。よって回路内の任意の場所の劣化による遅延時間の増加を推定することが必要となる。

2. 研究の目的

本研究では、LSI の使用中における高信頼化技術を開発するために、以下の 2 点について研究を行った。

(1) 電源ノイズを対象にした回路動作の解析とノイズ耐性のある高信頼性フリップフロップ回路の構成法の開発。

(2) トランジスタレベルから回路レベルまでの LSI の劣化量の推定法の開発。

3. 研究の方法

(1) 電源ノイズによる動作解析と高信頼性フリップフロップ回路の開発

まず初めに SRAM の電源ノイズの影響について解析し、FF に対する電源ノイズの影響との関連について調べた。次に記憶素子の最小単位の回路であるラッチ回路における電源ノイズの影響について解析を行い、得られた結果から FF のシミュレーション条件として考慮すべき点について検討した。回路シミュレーションを用いて複数種類の FF 回路において、電源ノイズの影響についての動作解析を行い、得られた結果から FF 回路の動作にエラーが発生した場合の原理、原因の考察を行った。また、得られた結果と考察をもとに、電源ノイズによる FF 回路の誤動作への対策手法を開発した。

回路動作の解析には回路シミュレータを使用し、また回路パラメータには Predictive Technology Model (PTM) の 45nm と 16nm のデバイスパラメータ、フリップフロップ回路には NanGate の 45nm と 15nm のオープンセルライブラリを使用した。

(2) LSI の劣化量の推定法の開発

LSI 内部の劣化を推定するために 2 種類のリング発振器 (RO) を使用し、これらの発振周波数 (周期) から、LSI の劣化を推定する方法を開発した。

使用する 2 種類の RO は、標準のセルライブラリで用意されているゲートから成り、制御信号を入力することで発振状態と非発振状態を切り替えることができるように設計されている。2 種類の RO を発振周期測定時以外は非発振状態にしておくことで、RO を発振状態にした時に PMOS トランジスタが NBTI の劣化による影響を受けず、NMOS トランジスタのみが劣化する回路構造 (NMOS 劣化 RO) と、NMOS トランジスタが PBTI や CHC の劣化による影響を受けず、PMOS トランジスタのみが劣化する回路構造 (PMOS 劣化 RO) に設計している。

まず 2 種類の RO の発振周期からトランジスタ 1 個あたりの遅延の増加量を推定し、この値をもとにして LSI 内部で使用されるゲートの遅延時間を求めた。その値を任意のパスに適用することにより測定回路を埋め込まずにパスの劣化による伝搬遅延時間の増加の推定が可能となった。また、劣化によって増加したトランジスタのしきい値についても推定が可能になった。

50nm の MOS トランジスタのパラメータを使用し、電源電圧を 1V に設定した回路シミュレーションを行った。劣化度合いはしきい値の増加で表現し、本評価ではしきい値を、220mV から 300mV まで 5mV 刻みで増加させた。

4. 研究成果

(1) 電源ノイズによる動作解析と高信頼性フリップフロップ回路の開発

電源ノイズ挿入時のラッチ回路の動作の傾向は、電源ノイズによる出力信号の電圧値の低下や遅延が生じるのみという場合がほとんどであった。しかし、この電圧値の低下が FF 回路におけるマスターラッチの出力に生じた場合、特にマスター動作からスレーブ動作に回路動作が切り替わるタイミング（クロック信号の立上がりまたは立下りのタイミング）で生じた場合に、スレーブラッチに正しい値が伝わらなくなるエラー発生の可能性があることが判明した。そこで、FF 回路での動作確認を行う上で考慮する点として、ノイズを挿入する範囲について FF 回路の全体に挿入する場合だけでなく、マスターラッチ側のみにも挿入する場合についても動作確認を行う必要があるとの結論を得た。

次に電源ノイズによる FF 回路の動作解析の結果、2種類の誤動作（エラー）が確認された。

SRAM におけるビット反転のエラーと同様にマスターラッチで保持している値がビット反転するエラーの発生：

電源ノイズ発生中に、論理値 1 を保持しているノードの電圧が中間値に低下する。その後、ノイズが無くなるタイミングでそのノードの電圧が元の電圧値まで戻らずに論理値 0 に変化し、これにより次段ゲートの出力が 0 1 に変化することで、マスターラッチのループ部分でビット反転が生じる。このエラーの主な原因として、2つのことが考えられる（図 1）。1つ目はマスターラッチ側のループ部分を構成するゲートのトランジスタのしきい値のばらつきの方向が、ビット反転が生じやすい方向にばらついているためであると考えられる。2つ目はノイズが無くなるタイミングでの電源電圧の変化によって論理値 0 を保持しているノードに生じる電圧上昇が影響していると考えられる。このノードに生じる電圧は、電源電圧の変化により VDD に接続している PMOS トランジスタのゲートソース間の寄生容量を介して電源からノードに電流が流れることで発生している。そのため、挿入する電源ノイズの振幅が大きいほどそのノードに生じる電圧も大きくなる。

電源ノイズによりマスターラッチの出力の電圧値が低下し、スレーブラッチが誤った値を取り込むエラーの発生：

このエラーでは、まず電源ノイズの影響によってスレーブラッチに接続するノードの電圧値が低下する。この低下した電圧値をスレーブラッチの入力ゲートが論理値 0 として認識することにより、このゲート出力が通常

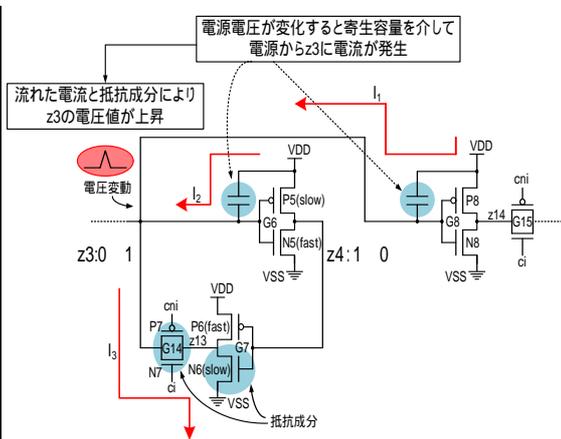


図 1 ビット反転のエラー例

よりも早いタイミングで立ち上がる（論理値 1 に変化）。これによって、スレーブラッチ側が取り込み状態から保持状態へと切替わる瞬間（保持状態に切替わるよりも前に）スレーブラッチ内のノードの電圧が完全に H レベルに上昇してしまい、これが原因でスレーブラッチが誤った論理値を取り込み、結果として出力値が半クロック早いタイミングで変化する。

電源ノイズによる FF 回路の誤動作への対策：

ビット反転が生じるエラーでは、回路内に流れる電流量と上昇電圧値、およびトランジスタのしきい値のばらつきがエラーの発生に関係していることが、解析の結果から判明した。またスレーブラッチが誤り値を取り込むことには、スレーブラッチの入力ゲートのしきい値が関係している。このことからエラーの発生に関係しているゲートのトランジスタのサイズを変更することで、電源ノイズによる電流量、上昇電圧、駆動力を調整し、エラーを発生しにくくすることが可能であると考えた。4種類の FF 回路においてゲートサイズを変化させることでノイズ耐性が向上することを確認した。また電流量を減少させ、かつ駆動能力を向上させる FF 回路の新しい構造を考案し、電源ノイズに耐性のある FF 回路を開発した。またその有効性を回路シミュレーションにて確認した。

(2) LSI の劣化量の推定法の開発

本研究で使用する 2 種類の RO は PMOS トランジスタと NMOS トランジスタの一方だけが劣化の影響を受け、1 周期の期間に n 個の MOS トランジスタが劣化の影響を受けて伝搬遅延時間が増加する。

使用した 2 種類の RO のうち NMOS 劣化 RO を図 2 に示す。図 2(a) はゲートレベルの回路図であり、図 2(b) は MOS トランジスタレベルの回路図である。この RO は制御信号線 12 に論理値 1 を入力すると発振状態となり、論理値 0 を入力すると非発振状態となるように構

成されている。発振時に使用される MOS トランジスタは図 2(b)に示してある P11, N11, N12 である。非発振時にオン状態となる MOS トランジスタは P12, N11 であり, P11 はオフ状態であるため発振時に NBTI の影響を受けない。そのため, この RO (NMOS 劣化 RO, PMOS 非劣化 RO) を使用すると, NBTI による影響のない発振周期を測定することが可能である。ただし, N11 は PBTI や CHC による劣化が進行する。なお, 図 2(a)は非発振状態の NMOS 劣化 RO の出力値を表している。また同様に, NOR ゲートで構成した RO を使用することで PMOS 劣化 RO (NMOS 非劣化 RO) の機能を実現できる。

図 2 の RO において, NMOS トランジスタ 1 個あたりの劣化による増加遅延時間 Δt_{dn} は, ある時刻の NMOS 劣化 RO の周期 T_n と RO の初期 (劣化のない出荷時) の発振周期 T_{ninit} から, (a)式で求めることができる。

$$\Delta t_{dn} = (T_n - T_{ninit}) / (n \cdot k) \quad (a)$$

ここで, k はゲート内のトランジスタの接続 (回路構成) によって決まる係数である。同様に PMOS トランジスタの劣化 Δt_{dp} も同様に求めることが可能である。

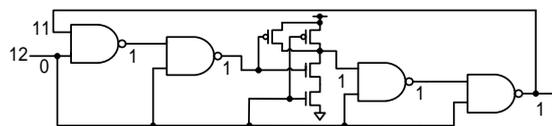
図 3 に CMOS LSI の劣化推定の手順を示す。提案する劣化推定法では, まず LSI 内部に組み込んだ 2 種類の RO の周期 T_n, T_p を測定する (図 3-1)。ただし, T_{ninit} と T_{pinit} が不明な場合は MOS トランジスタのパラメータと RC 計算モデルを使って求める値を使う (図 3-2)。これらの RO の測定値と初期値を使って (a)式から Δt_{dn} と Δt_{dp} を求める (図 3-3)。

次に, MOS トランジスタのしきい値の増加量 ΔV_{th} の推定を行う。まず, MOS トランジスタのしきい値を変数として持つ Δt_d の計算モデルから, $V_{th} = f(\Delta t_d)$ の関数を作成する (図 3-4)。図 2-3 で求めた Δt_{dn} と Δt_{dp} を代入して LSI 内部の V_{th} を求め, その値と劣化がないときの V_{th} の差分を求めることで, ΔV_{th} を推定する (図 3-5)。

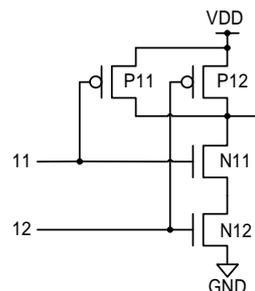
次に, 求めた Δt_{dn} と Δt_{dp} を, LSI 内部で使われているゲートの遅延時間に変換する (図 3-6)。変換対象の各種ゲート用の計算モデルは事前に作成しておいたものを使用する。ただし, ゲート 1 段あたりの遅延時間の計算には, ゲートの入力値, ゲートサイズ, 負荷容量, 入力信号の立上り / 立下り時間, 等を考慮したフィッティング係数を用いる。そして変換した各種ゲートの増加遅延時間を LSI 内部の任意のパス内のゲートに適用することによって, 任意のパスの最大増加遅延時間 Δt_{pp} の推定を行う (図 3-7)。

開発した劣化推定法の有効性を回路シミュレーション (Hspice) の結果と比較して確認した。

まず MOS トランジスタ 1 個あたりの増加遅延時間 Δt_{pdn} と Δt_{pdp} の推定においては, NMOS トランジスタの Δt_{dn} を 0.13ps (3.17%) 以下の誤差で, また, PMOS トランジスタの Δt_{dp}



(a) 非発振時の RO



(b) トランジスタ回路

図 2 NMOS 劣化 RO

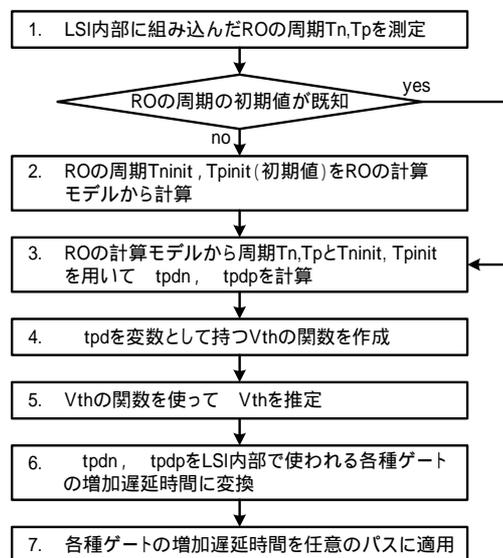


図 3 劣化推定手順

を 0.083ps (4.61%) 以下の誤差で推定できた。

次に, 220mV から 300mV まで 5mV 刻みでしきい値を増加させたときの RO のシミュレーション結果と (a)式を使って Δt_{dn} と Δt_{dp} を求め, これらの値を $f(\Delta t_d, V_{th}) = 0$ の関数に代入して V_{th} を求め, そこから ΔV_{th} を算出した。提案法では, NMOS トランジスタの ΔV_{th} を 1.7mV (0.57%) (400 日/30 年相当) 以下の誤差で推定でき, また, PMOS トランジスタの ΔV_{th} を 1.1mV (0.37%) 以下の誤差で推定できた。

次に, 2 入力ゲートおよび 3 入力ゲートから成る 2 種類の 2 ビット加算器をシミュレーション上に実装し, この回路内のパスの増加遅延時間と提案法により求めた Δt_{pp} との比較を行った。推定したパスの最大増加遅延時間 Δt_{pp} は, シミュレーションを用いて測定した増加遅延時間に対して, -20.28ps ~

+8.99ps (誤差-17.10%~+5.92%)の範囲で遅延時間の推定を行えた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計3件)

Y. Miura and T. Yamamoto, "Simulation-based Analysis of FF Behaviors by Power Supply Noise," Proc. IEEE International On-Line Testing Symposium, 2017, 査読有 (掲載決定).

Y. Miura and T. Ikeda, "A Method for Aging Estimation of CMOS Circuits Using Ring Oscillators," Information Technology Letters, Forum on Information Technology, RC-010, pp.75-80, 2015, 査読有.

Y. Miura and T. Ikeda, "A Method of LSI Aging Estimation Using Ring Oscillators," Proc. IEEE European Test Symposium, DOI:10.1109/ETS.2015.7138765, 2015, 査読有.

[学会発表](計2件)

山本拓弥, 三浦幸也, "電源ノイズによるFF回路の動作への影響に関する研究," 電子情報通信学会ディペンダブルコンピューティング研究会, DC2015-96, pp.61-66, 2016, 機械振興会館(東京都港区), 査読無.

池田龍史, 三浦幸也, "リング発振器を用いたLSIの劣化推定法," 電子情報通信学会ディペンダブルコンピューティング研究会, DC2014-11, pp.7-14, 2014, 機械振興会館(東京都港区), 査読無.

6. 研究組織

(1)研究代表者

三浦幸也 (MIURA, Yukiya)

首都大学東京・システムデザイン研究科・教授

研究者番号: 00254152