

**科学研究費助成事業 研究成果報告書**

平成 29 年 5 月 31 日現在

機関番号：25403

研究種目：基盤研究(C) (一般)

研究期間：2013～2016

課題番号：25330072

研究課題名(和文) ストカスティックロジック回路のテスト手法と信頼度/演算精度設計に関する研究

研究課題名(英文) Study on Test and Design for Reliable and Accurate Stochastic Logic Circuits

研究代表者

市原 英行 (Ichihara, Hideyuki)

広島市立大学・情報科学研究科・准教授

研究者番号：50326427

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：一時故障に高い耐性をもつデジタル回路として、確率的に演算を行うストカスティックロジック(SL)が注目されている。本研究では、2つの観点から様々なストカスティックロジック回路の設計手法に関する研究を行った。1つの観点は、SL回路の高精度・低面積・高速化であり、3つの設計手法を提案した。例えば、提案したデジタルフィルタ回路設計法では、演算精度を保ったまま面積を従来の約1/3の回路を設計することができる。もう1つの観点は、信頼性であり、2つの設計手法を提案した。これらの手法では、積和演算や初等演算を行うSL回路の故障に弱い部分の故障耐性を高めることができる。

研究成果の概要(英文)：Stochastic logic (SL), which is an approximate computation with probabilities, has attracted attention owing to its high fault tolerance. In this study, we have proposed several effective design methodologies for SL circuits from the two points of view. One point is accuracy, area size and acceleration of SL circuits. Based on this point, three methods has been developed. For example, a design method for SL-based digital filter circuits can produce about 1/3 smaller circuits without losing their accuracy, compared with a conventional design method. The other point is reliability; we derived two methods for designing reliable SL circuits. These proposed methods can improve the reliability of weak parts in SL circuits for multiply-accumulate operation and some primary operations.

研究分野：ディペンダブルコンピューティング

キーワード：ディペンダブルコンピューティング ストカスティックコンピューティング 論理回路設計 フォールトトレランス

# 様式 C-19、F-19、Z-19(共通)

## 1. 研究開始当初の背景

(1)大規模集積回路 (LSI) の微細化, 高集積化によって, 高機能で高速な LSI を設計製造できるようになった一方で, LSI の製造時故障やソフトエラー (放射線の影響による一時的な誤り) の増加による LSI の信頼性の低下が問題となっている. このような問題に対してストカスティックロジックに基づく LSI (SL-LSI) が注目を集めている. ストカスティックロジックでは, 一般的な演算回路で行われている決定論的な演算ではなく, 数値を確率で表現することで確率的な演算を行う. 図 1 は, 数値をビットストリーム中の 1 の出現確率で表現し,  $p=4/8$  と  $q=2/8$  の積  $pq=1/8$  を求めている様子を示している. このビットストリームはストカスティック数と呼ばれる. SNG は数値を対応するストカスティック数に変換する回路であり, 逆変換は 1 の個数を数えるカウンター (CNT) で行っている.

(2) ここで例えば,  $p=4/8$  を表現するストカスティック数が 00110011 であれば, 演算結果は  $pq=0/8$  となり正しくないが (これが確率的な演算である), 十分な長さで適切な乱数系列 (SNG の中に乱数発生器がある) を用いれば十分に精度の高い演算を行える. このように演算が確率的な演算であること, そして用いられる演算器が決定論的な演算回路に比べて極端にシンプル (図 1 では乗算は AND ゲート 1 つ) であることにより, SL-LSI は製造時の故障やソフトエラーに強い耐性をもつことが報告されている [Qian 2011].

(3) SL-LSI の設計手法に関しては十分な研究がされていない. 特に SL-LSI の信頼性や演算精度を向上するための研究の余地は多いと思われる.

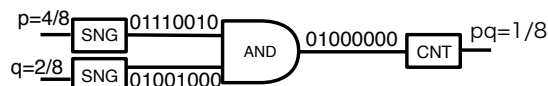


図 1: AND ゲートによるストカスティックロジックに基づく乗算の様子.

## 2. 研究の目的

### (1) SL-LSI のためのテスト手法の開発

一般的な LSI のテストでは, 出力値が期待される値と一致しているかどうかで正常と異

常を判定している. この方法をそのまま SL-LSI のテストに応用すると, ストカスティックロジックのメリットである「値を確率で表現している」というメリットが十分活かされない. これは, 不本意なテストコストの増加や, 過剰テスト (正常な LSI として利用できるものを不良品と判断すること) による歩留まりの低下, さらには不必要なテスト支援回路を LSI に搭載することによるチップ面積の増加というデメリットを引き起こしてしまう. この問題を避けるため, ストカスティックロジックの性質に基づいて, SL-LSI に適したテストパターンやテスト支援回路の特性を明らかにし, SL-LSI にとって適切なテスト実行方法を明確にする.

### (2) SL-LSI の故障時の高信頼化を指向した設計手法

ストカスティックロジックは, 一時的な故障 (ソフトエラー) に耐性を持つが, 故障によっては演算精度が低下してしまうケースがある. 例えば, 図 1 の演算部分 (AND ゲート) の一時故障はそれほど大きな影響を持たないが, SNG や CNT の故障は影響が大きいと考えられる. よって精度が高い SL-LSI を作るためには, このような故障に弱い部分にも耐故障性を持たせ, 故障時も高精度を保証するような設計が必要である. この問題に対して, 故障時の精度を考慮した SL-LSI アーキテクチャや設計手法を提案する.

### (3) ストカスティックロジック回路の低面積化・高精度化・高速化 (研究計画の一部変更により H26 年度より目的化)

SL-LSI がそもそも持つ問題点として, 周辺回路の面積が大きいこと, 十分な精度を得るためには乱数生成の調整が必要なこと, さらには演算時間が長くなることが挙げられる. ここでは, SL-LSI の低面積化・高精度化・高速化を目的とした設計手法を提案する.

## 3. 研究の方法

(1) 研究目的で述べた 3 つの目的を達成するために, まずは回路面積や演算精度, 耐故障性に関するデータを得ることが必要だと考え, 実験環境を整えるところから研究を始めた. 実験環境として, 設計した回路の演算精度を調べることができる回路シミュレータ, そして, 回路面積や動作速度を測定するための FPGA による回路実動作環境を構築した. この環境は研究会で報告した (学会発表⑬).

(2) 実験環境を用いて, 3 つの研究目的を並行して研究を進めた. 各目的は小さなサブテーマに分割し, 学生の研究テーマとすることで,

## 様式 C-19、F-19、Z-19(共通)

申請者と学生で共同して研究を進めてきた。なお、当初は研究目的(1)と(2)だけであったが、研究を続けていく上で SL-LSI の低面積化・高精度化・高速化がそもそも重要な課題であることに気づき、研究目的(3)を H26 年度に設定した。

### 4. 研究成果

#### (1) SL-LSI の論理縮退故障に対する演算精度解析 (研究目的(1)に対する成果)

信号線の論理縮退故障 (信号線が論理値 0 または 1 に固定してしまう故障) が stochastic コンピューティング回路に与える影響について考察を行った。stochastic ロジックの研究では一時故障に対する耐性の解析は良く行われているが、縮退故障に対してはほとんど行われていない。しかし、目的(1)の SL-LSI のテスト手法の開発のためには、縮退故障に対する耐性の解析は必須である。研究では実験的に縮退故障時の回路の振る舞いを分類し、その影響度を調べた。その結果、以下のポイントが明らかになった。

- ① 確率で計算を行う SL-LSI であっても、予想どおり SNG や CNT には非許容故障が多く存在していた。
- ② ガンマ補正を行う SL-LSI に対して故障シミュレーションを行うことにより、同機能の 2 進数回路に比べてそのエラーの大きさを許容できない故障の数が少ないことがわかった。つまり、SL-LSI の縮退故障に対する耐性はある程度高いことがわかった。
- ③ SL-LSI における許容故障は、SNG 内部と演算回路内部の 0 または 1 に近い定数を扱う部分に存在することがわかった。

この成果は、テスト手法の開発、さらには耐故障設計法の開発に役に立つ情報であると考えられるが、H26 年度から研究目的(3)を追加したため (研究計画の変更)、本研究期間内にテスト手法を提案するまでには至らなかった。この成果自体は、国内の研究会で発表した (学会発表⑩)。

#### (2) 線形有限状態機械を用いた stochastic ロジック回路における耐故障状態割当て設計法の提案 (研究目的(2)に対する成果)

SL-LSI の実現手段として、線形有限機械 (FSM) を用いた設計法がある。この FSM の状態割当てを工夫することで、耐故障性を高める手法を提案した。FSM の状態を保持するメモリは一般的に stochastic ロジックといえども故障に弱い部分である。この故障に対する脆弱性を、状態割当てを工夫することで緩和する。この手法を用いることで、面積や遅延のペナルティ無く、状態割当てを工夫しない場合の最悪ケースに比べて、4~10 倍耐

性を向上できることがわかった。この成果は、国内研究会で発表し (学会発表⑥)、国際ワークショップで発表を行った (学会発表④)。さらに状態割当てアルゴリズムを国際会議で発表する予定である (学会発表①)。

#### (3) stochastic 反復による積和演算アーキテクチャの提案 (研究目的(2)に対応)

これまでに提案されている積和演算を目的とした SL-LSI では、stochastic 数を一時的に 2 進数に変換して一部の演算や一時記憶を行っている。これはハードウェアサイズの面では有効であるが、耐故障性の観点から見ると一時故障に非常に弱い構造である。この問題に対して、我々は全ての演算を stochastic 数のまま行う、stochastic 反復による積和演算アーキテクチャを提案した。このアーキテクチャは、ハードウェアサイズは多少大きくなるものの、一時故障に弱い 2 進数レジスタや 2 進数演算回路が存在しなくなるため、一時故障に対する耐故障性が向上する。計算機実験では、従来のアーキテクチャに比べて、提案アーキテクチャは 2~5 倍のハードウェアサイズの増加で、2~10 倍の耐故障性向上ができることがわかった。この成果は国内で発表している (発表論文①)。

#### (4) stochastic ロジックに基づくデジタルフィルタ回路の低面積化・高精度化 (研究目的(3)に対応)

研究目的(3)に対する成果として、stochastic ロジックに基づくデジタルフィルタ回路の低面積化や高精度化手法を提案した。具体的な提案手法は以下のとおり。

- ① SL-LSI では SNG 内に乱数生成器 (例えば線形フィードバックシフトレジスタなど) が必要である。一般的には複数の SNG が利用されるため、乱数生成器も複数必要となるが、演算精度の観点からはお互いに独立している (別のハードウェアである) ことが求められる。これは乱数発生器が回路に占める面積の多くを占めること意味し、stochastic ロジックは低面積で実装できるものの、システム全体から見れば面積が小さくできない要因の 1 つであった。この問題に対して、演算精度を落とすことなく、乱数発生器を共有する方法を提案した。この手法では巡回シフトと呼ばれる信号線結線法を採用することで、同じ乱数生成器でも異なる乱数列を生成できるようになる。これと、加算器として利用されるマルチプレクサの特性を組み合わせることで回路の面積を 1/2~1/3 に削減することが可能となった。
- ② さらにフィルタを構成するマルチプレ

## 様式 C-19、F-19、Z-19(共通)

クサツリーの構造が演算精度に与える影響に着目し、回路面積を小さく保ったまま誤差を最小化するためのマルチプレクサツリー設計アルゴリズムを提案した。

これらの成果は、国内外の研究会で発表し(学会発表⑫, ⑪, ⑨), 最終的には IEEE Transaction on Emerging Topics in Computing に採録された(雑誌論文①)。

### (5) 連続ビット系列の動的共有によるストカスティックロジックの高速化(研究目的(3)に対する成果)

ストカスティック演算の高速化のために、ビット系列をオーバーラップする方法を検討した。例えば図2に示すように2つのストカスティック数を重ねて表現することで、短い系列(14ビット)で精度の高い演算を行うことができる(従来の方法で同じ演算を行うためには20ビット必要)。この方法は、特定の演算に対してのみ適応可能であるが、単純な多重化よりも面積効率のよい高速化が可能であることがわかった。国内の研究会で発表を行っている(発表論文⑧)。

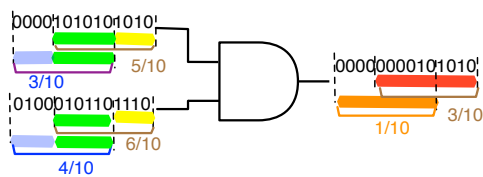


図2: ビット系列の動的共有

### (6) 乱数発生器を持たないストカスティックロジック回路の提案(研究目的(3)に対する成果)

一般的にストカスティックロジック回路は、他の論理回路と同時に使われる事が多い。例えば、画像処理のエッジ検出を行うストカスティックロジック回路は、画像の入出力を行う周辺回路や、画像の輝度を変更するガンマ補正やサイズを変更する前処理回路と同時に使われる。この特性を利用して、ストカスティックロジック回路とは別の論理回路を利用して乱数発生を行う手法を提案した。この手法は SNG 内の乱数発生器をすべて無くすことが可能となり、大幅な回路の削減が期待できる。また、対象とする論理回路から演算精度を高めるために適切な信号線を選択するアルゴリズムも提案している。提案手法を使うことで、演算精度を保ったまま平均で60%の回路の面積を削減することができることがわかった。この成果は2件の国内会議(発表論文⑦, ③), 1件の国際ワークショップ(発表論文⑤)で発表した。

### <引用文献>

[Qian 2011] Qian, W., Li, X., Riedel, M. D., Bazargan, K., & Lilja, D. J. (2011). An Architecture for Fault-Tolerant Computation with Stochastic Logic. Computers, IEEE Transactions on, 60(1), 93-105.

### 5. 主な発表論文等

#### [雑誌論文](計1件)

- ① Hideyuki Ichihara, Tatsuyoshi Sugino, Shota Ishii, Tsuyoshi Iwagaki, Tomoo Inoue, "Compact and Accurate Digital Filters Based on Stochastic Computing," Trans. on Emerging Topics in Comp., Sep 2016. (査読有)  
DOI: 10.1109/TETC.2016.2608825

#### [学会発表](計13件)

- ① Hideyuki Ichihara, Motoi Fukuda, Tsuyoshi Iwagaki and Tomoo Inoue, "State Assignment for Fault Tolerant Stochastic Computing with Linear Finite State Machines," Proc. ITC-Asia, Sept. 2017 (to appear). (査読有, 台北(台湾))
- ② 杉野達美, 市原英行, 岩垣剛, 井上智生, "ストカスティック反復による積和演算アーキテクチャ," 信学技報, vol. 116, no. 478, VLD2016-130, pp. 157-162, 2017年3月. (査読無, 沖縄県青年会館(沖縄・那覇))
- ③ 藤葉麻紀, 久保田直弥, 市原英行, 岩垣剛, 井上智生, "ストカスティックコンピューティングのための論理回路の内部信号を利用した乱数生成について," FTC研究会, 2017年1月. (査読無, ANA ホリデイ・インリゾート宮崎(宮崎))
- ④ Motoi Fukuda, Hideyuki Ichihara, Tsuyoshi Iwagaki, Tomoo Inoue, "Impact of State Assignment on Error Resilient Stochastic Computing with Linear Finite State Machines," Digest of Papers 17th IEEE Workshop on RTL and High Level Testing, Nov 2016. (査読有, 安芸グランドホテル(廿日市・広島))
- ⑤ Naoya Kubota, Hideyuki Ichihara, Tsuyoshi Iwagaki, Tomoo Inoue, "Stochastic Number Generation with Internal Signals of Logic Circuits," Proc. SASIMI, Oct 2016. (査読有, 京都リサーチパーク(京都))
- ⑥ 福田基, 市原英行, 岩垣剛, 井上智生, "耐ソフトエラーを指向したストカスティックコンピューティングのための有限状態機械の状態割当てについて," 信学技報, pp. 7-12, 2016年6月. (査読無, 機械振興会館(東京))
- ⑦ 久保田直弥, 市原英行, 岩垣剛, 井上智

## 様式 C-19、F-19、Z-19(共通)

- 生, "ストカスティック数生成のための論理回路の内部信号値を利用した乱数列," 電子情報通信学会総合大会講演論文集, 2016年3月. (査読無, 九州大学伊都キャンパス (福岡))
- ⑧ 高森研輔, 市原英行, 岩垣剛, 井上智生, "連続ビット系列の動的共有によるストカスティックコンピューティングの高速化," 信学技報, vol. 115, no. 449, DC2015-89, pp. 19-24, 2016年2月. (査読無, 機械振興会館 (東京))
- ⑨ Hideyuki Ichihara, Shota Ishii, Daiki Sunamori, Tsuyoshi Iwagaki, Tomoo Inoue, "Compact and Accurate Stochastic Circuits with Shared Random Number Sources," ACSI, Jan 2016. (査読無, 九州大学医学部百年講堂 (福岡))
- ⑩ 福田基, 市原英行, 岩垣剛, 井上智生, "ストカスティックコンピューティングにおける論理縮退故障の演算精度に対する影響," FTC研究会, 2015年7月. (査読無, 椿館 (青森))
- ⑪ 杉野達美, 市原英行, 岩垣剛, 井上智生, "ストカスティックコンピューティングに基づくデジタルフィルタ回路の演算精度と面積に関する考察," 機能集積情報システム研究会, 2015年6月. (査読無, 広島市立大学サテライトキャンパス (広島))
- ⑫ Hideyuki Ichihara, Daiki Sunamori, Shota Ishii, Tsuyoshi Iwagaki, Tomoo Inoue, "Compact and Accurate Stochastic Circuits with Shared Random Number Sources," Proc. IEEE International Conference on Computer Design, pp. 361-366, Oct 2014. (査読有, ソウル (韓国))
- ⑬ 砂盛大貴, 大石卓也, 石井章太, 市原英行, 岩垣剛, 井上智生, "ストカスティックコンピューティングによる画像処理のFPGA実装," 機能集積情報システム研究会, 2013年11月. (査読無, 山口大学常盤キャンパス (宇部・山口))

[図書] (計 0件)

[産業財産権]

○出願状況 (計 0件)

○取得状況 (計 0件)

[その他]

### 6. 研究組織

(1)研究代表者

市原 英行 (ICHIHARA HIDEYUKI)

広島市立大学・大学院情報科学研究科・准教授

研究者番号：50326427