

科学研究費助成事業 研究成果報告書

平成 28 年 5 月 19 日現在

機関番号：11301

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25330279

研究課題名(和文)脳型計算機用ナノシナプスデバイスの開発

研究課題名(英文)Development of a nanosized synapse device for brain computers

研究代表者

佐藤 茂雄 (Sato, Shigeo)

東北大学・電気通信研究所・教授

研究者番号：10282013

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：脳型計算機の開発に向けて、高集積化のために不可欠なフローティングゲートメモリと縦型MOSトランジスタから構成されるナノシナプスデバイスの設計・試作・動作検証、ニューロン回路や学習回路との整合性の検証を行うことを目的として研究を行った。その結果、まず、フローティングゲート電極用ポリシリコン薄膜形成プロセス、ならびに縦型MOSトランジスタ製作プロセスの開発を行い、各種プロセス条件の最適化を行った。また、こうしたプロセス条件を用いて製作されるナノシナプスデバイスの特性を予測・評価し、大規模神経回路への応用における有効性と問題点を検証した。

研究成果の概要(英文)：To develop a practical brain computer, we have studied a nanosized synapse device composed of a floating-gate memory and a vertical MOS transistor, which is necessary for huge integration, and its compatibility with neuron and learning circuits. As a result, we have developed poly Si thin film deposition process for floating gate electrodes and fabrication process of vertical MOS transistors, and optimized each process parameters. Furthermore, we estimated the performance of a nanosized synapse device and confirmed its effectiveness and problems in application to large scale neural networks.

研究分野：神経回路

キーワード：脳型計算機 ニューロチップ シナプスデバイス フローティングゲートメモリ

1. 研究開始当初の背景

最先端 Si-LSI の微細加工技術では、人間の脳に近いレベルでの集積化が可能となっている。しかしながら実世界に対応し実時間処理を行うような計算機は未だ実現されていない。その原因はフォン・ノイマン型計算機の非効率性にあると考えられる。ブール代数を基礎とするフォン・ノイマン型計算機は、プログラミング言語を用いてアルゴリズムを記述することで任意の演算を実行することが可能であり、汎用性を有する。しかし、トランジスタは単にスイッチとして利用されるため、ハードウェアの利用効率は決して高くない。

Si-LSI の限界が見え始めている近年、次世代の計算機の候補として脳型計算機が注目を集めている。我々を取巻く情報量がある値より多くなると、フォン・ノイマン型計算機に比べ脳型計算機の方がより少ないリソースでより多くの情報を処理できるという指摘がある。また単に効率的であるだけでなく、脳型計算は学習によって外部環境に自在に適応できるという特長を有している。これをうまく活用すれば消費電力の低減も可能であり、低炭素高度情報化社会において必要不可欠な機能を実現できる。さらに、将来において、脳型計算により人の思考過程を模擬することが期待されており、インターフェースを含め人に優しい計算機を実現できると考えられる。

2. 研究の目的

脳型計算機の実用化のためにはハードウェア実現が必要不可欠であるが、ニューロンの集積化はまだ不十分であると言える。高集積化のためには、ニューロン数の 2 乗の素子数が必要なシナプス素子を、いかに小さく実現できるかが重要な鍵となる。これまで申請者らは非単調ニューロンや確率的ロジックを使ったニューロチップの試作を行い、一貫して脳型計算機の LSI 実現に取り組んできた。特に、シナプス荷重値の記憶に関してはフローティングゲートを用いた不揮発性アナログメモリの開発を行い先駆的な成果を挙げている。これらの成果を発展させ、新しいナノシナプスデバイスの開発を行う。

つまり、脳型計算機の開発に向けて、人の脳に迫る集積化のために重要な鍵となる不揮発性ナノシナプスデバイスを開発すること、及びこうしたシナプスデバイスを用いて構成される脳型計算機を設計することが本研究の目的である。一般的にニューロン N 個に対してシナプス $N \times N$ 個が必要であり、シナプスの微細化が集積化のための最重要課題である。本研究では、フローティングゲートメモリと縦型 MOS トランジスタから構成される微細ナノシナプスデバイスの実現に向けた各種要素技術の開発と、脳型計算機の設計について研究を行った。

3. 研究の方法

本研究では、フローティングゲートメモリと縦型 MOS トランジスタから構成されるナノシナプスデバイスの実現に向けて、フローティングゲートメモリ及び縦型 MOS トランジスタの試作・評価、ナノシナプスデバイスの設計・試作・動作検証、ニューロン回路や学習回路との整合性の検証などについて研究を行った。

4. 研究成果

まず、フローティングゲート電極用ポリシリコン薄膜形成プロセス、ならびに縦型 MOS トランジスタ製作プロセスの開発を行い、各種プロセス条件の最適化を行った。また、こうしたプロセス条件を用いて製作されるナノシナプスデバイスの特性を予測・評価した。残念ながら、一部要素プロセスの開発が完了せず、デバイス試作には至らなかったものの、予測される動作特性から大規模神経回路への応用における有効性と問題点を検証した。

次に、大規模神経回路用 1000 入力ニューロン回路の設計を行い、電子回路シミュレーションによりアナログ動作の有効性を明らかにした。自動的に動作マージンを最大化する機構を有する多数決回路をベースに、大きなファンインを有するニューロン回路の設計を構成した。離散値シナプスを組み込んだ場合の動作を調べ、ニューロン回路として所望の動作が得られることを確認した。加えて、本ニューロン回路に提案のナノシナプスデバイスと組み込んだ場合の動作特性を検証した。

また、脳型計算機の具体的応用に向けて、確率的ロジックを用いて、単一神経細胞モデルである Izhikevich モデルの電子回路設計を行い、提案ナノシナプスデバイスの利用方法について考察を行った。確率的ロジックは確率的にコード化されたパルス列を用いて各種演算を行う方法であり、AND ゲートで乗算を実現できるため、回路実現に必要なトランジスタ数を大きく節約することができる。本研究では、まず確率的ロジックを用いて微分方程式をシミュレートする方法を提案し、その応用として、Izhikevich により提案されたニューロンモデルをシミュレートする確率的ロジックを利用したデジタル回路を提案した。数値シミュレーションの結果から、提案回路がオリジナルモデルと同様に動作することを確認した。

さらに、運動視により平面の移動速度を検出する神経回路モデルである川上モデルの集積回路設計を行い、提案ナノシナプスデバイスの利用方法について考察を行った。物体の動きや空間的位置関係を把握する空間認識は、歩行ロボットや自動運転車等の実現に不可欠である。本研究では、空間認識の一例として、運動視による空間認識の第一ステップである局所運動検出を実現する LSI

を VDEC (RHOMO. 18um) の設計規則に従い設計した。RTL シミュレーションにより正しい局所運動検出結果が得られることを確認し、また配線遅延を考慮して動作周波数を見積もった。また、網膜上の局所領域を通過する線分の方位と速度(局所運動)の情報を統合することで、接近する平面の方位と衝突までの時間(Time To Collision :TTC)の検出を行う LSI を TSMC65um の設計規則に従い設計した。設計にあたって課題となる細胞間の膨大な結線を時分割方式で仮想的に実現し、2mm 角のチップ上に MST 野細胞に対応する Processing Element を 64 個集積した。これら LSI を構成するデジタルメモリを、提案ナノシナプスデバイスで置き換えた場合の、集積度の向上や消費電力の低減などの効果について考察を行った。

5. 主な発表論文等

[雑誌論文](計7件)

秋間学尚, 佐藤茂雄, 「運動視により局所運動を検出する神経回路網モデルの LSI 化」, 日本神経回路学会誌, 査読無, 22, 2015, 152-161, 10.3902/jnns.22.152 .

Wu Li, Shigeo Sato, Hisanao Akima, and Masao Sakuraba, "Hydrogen Atom Desorption Induced by Electron Bombardment on Si Surface," ECS Transactions, 査読有, 69, 2015, 35-38, 10.1149/06931.0035ecst .

Naofumi Ueno, Masao Sakuraba, Shigeo Sato, "Surface Reaction in Thin Film Formation of $\text{Si}_{1-x}\text{Ge}_x$ Alloys on Si(100) by Electron-Cyclotron-Resonance Ar Plasma Chemical Vapor Deposition without Substrate Heating", ECS Transactions, 査読有, 64, 2014, 99-105, 10.1149/06406.0099ecst .

Naofumi Ueno, Masao Sakuraba, Junichi Murota, Shigeo Sato, "Epitaxial Growth of $\text{Si}_{1-x}\text{Ge}_x$ Alloys and Ge on Si(100) by Electron-Cyclotron-Resonance Ar Plasma Chemical Vapor Deposition without Substrate Heating," Thin Solid Films, 査読有, 557, 2014, 31-35, 10.1016/j.tsf.2013.11.023 .

Shigeo Sato, Hisanao Akima, Koji Nakajima, Masao Sakuraba, "Izhikevich neuron circuit using stochastic logic," Electronics Letters, 査読有, 50, 2014, 1795-1797, 10.1049/el.2014.3627 .

Yusuke Abe, Shuji Kubota, Masao Sakuraba, Junichi Murota, and Shigeo Sato, "Epitaxial Growth of Heavily B-Doped Si and Ge Films on Si(100) by Low-Energy ECR Ar Plasma CVD without Substrate Heating," ECS Transactions, 査読有, 58, 2013, 223-228, 10.1149/05809.0223ecst .

Naofumi Ueno, Masao Sakuraba, Junichi Murota, and Shigeo Sato, "Formation and

Characterization of Strained $\text{Si}_{1-x}\text{Ge}_x$ Films Epitaxially Grown on Si(100) by Low-Energy ECR Ar plasma CVD without Substrate Heating," ECS Transactions, 査読有, 58, 2013, 207-211, 10.1149/05809.0207ecst .

[学会発表](計6件)

守谷 哲, 秋間学尚, 川上 進, 矢野雅文, 中島康治, 櫻庭政夫, 佐藤茂雄, 「局所運動を統合して平面の空間認識を行う神経網モデルの LSI 化」, 電子情報通信学会総合大会, 2016 年 03 月 15 日~18 日, 九州大学(福岡県福岡市)。

佐藤茂雄, 秋間学尚, 中島康治, 櫻庭政夫, 「確率的ロジックを用いた Izhikevich ニューロン回路の設計」, 電子情報通信学会ニューロコンピューティング研究会, 2015 年 11 月 20 日~21 日, 東北大学(宮城県仙台市)。

秋間学尚, 守谷 哲, 川上 進, 矢野雅文, 中島康治, 櫻庭政夫, 佐藤茂雄, 「大脳皮質視覚野において局所運動を検出する神経回路網モデルの LSI 化」, 電子情報通信学会ニューロコンピューティング研究会, 2015 年 06 月 23 日~25 日, 沖縄科学技術大学院大学(沖縄県恩納村)。

守谷哲, 秋間学尚, 川上進, 矢野雅文, 中島康治, 櫻庭政夫, 佐藤茂雄, 「運動視により局所運動を検出する神経網モデルの LSI 化」, 電子情報通信学会総合大会, 2015 年 3 月 10 日~13 日, 立命館大学(草津市)。

Hisanao Akima, Yasuhiro Katayama, Koji Nakajima, Masao Sakuraba, Shigeo Sato, "Majority neuron circuit having large fan-in with non-volatile synaptic weight," 2014 Int. Joint Conf. on Neural Networks (IJCNN 2014), 2014 年 06 月 06 日~11 日, 北京(中国)。

秋間学尚, 片山康弘, 佐藤茂雄, 櫻庭政夫, 中島康治, 「大規模 fan-in を有するニューロンを実現する多数決回路」, 第 4 回コンピューテーショナル・インテリジェンス研究会, 2013 年 12 月 04 日~05 日, 九州大学(福岡市)。

[図書](計0件)

[産業財産権]

出願状況(計0件)

取得状況(計0件)

[その他]

ホームページ

<http://www.sato.riec.tohoku.ac.jp>

6. 研究組織

(1)研究代表者

佐藤 茂雄 (SATO SHIGEO)

東北大学・電気通信研究所・教授

研究者番号: 10282013

(2)研究分担者

中島 康治 (NAKAJIMA KOJI)
東北大学・電気通信研究所・教授
研究者番号：60125622

小野美 武 (ONOMI TAKESHI)
東北大学・電気通信研究所・助教
研究者番号：70312676

秋間 学尚 (AKIMA HISANAO)
東北大学・電気通信研究所・助教
研究者番号：40707840

(3)連携研究者

無し