

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 6 日現在

機関番号：13501

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25390065

研究課題名(和文) 水素ラジカルを用いた高品位Ge/Si基板ヘテロ構造形成技術の開発

研究課題名(英文) Formation technology development of high quality Ge/Si heterostructures using hydrogen radical

研究代表者

中川 清和 (NAKAGAWA, Kiyokazu)

山梨大学・総合研究部・教授

研究者番号：40324181

交付決定額(研究期間全体)：(直接経費) 4,000,000円

研究成果の概要(和文)：分子線成長を用いてSi(100)基板の上に基板温度300℃でGeを300nm成長し、平坦かつ単結晶のGe/Siヘテロ構造を形成した。透過電子顕微鏡によりGeとSiの格子不整合に伴う多量の転位が観測された。ヘテロ構造上にCVD法によりSiO₂膜を300℃で100nm堆積し、Ge蒸発防止膜を形成し、その上にWを100nm堆積して、Wを熱源とした加熱を行い、透過電子顕微鏡観察を行った結果、800℃、700℃での0.2秒程度の加熱では、GeとSiのミキシングが生じず、また貫通転位密度を10分の1程度に減少できた。この基板の上にp-MOSFETを作製し、正孔移動度380cm²/Vsを確認した。

研究成果の概要(英文)：300nm thick Ge layers were grown on Si(100) substrates at 300 °C using an MBE apparatus and single-crystal Ge/Si heterostructures were formed. Dislocations originated from the lattice mismatch between Ge and Si were observed by a transmission electron microscope. 100nm thick SiO₂ films were deposited at 300 °C with by CVD method on the heterostructures, and 100nm thick W films, which act as a heat source during hydrogen radical irradiation, deposited on the top by a RF sputter apparatus. Transmission electron microscope observations have revealed that mixing of Ge and Si layers didn't occur by 700 or 800 °C for around 0.2 second heating using hydrogen radical heating. We have fabricated p-MOSFETs on the Ge/Si(100) heterostructures and confirmed the high device performance with the effective hole mobility of 380cm²/Vs.

研究分野：半導体素子工学

キーワード：GeSiヘテロ構造 ラジカル水素加熱 GeチャネルFET

1. 研究開始当初の背景

集積回路における研究開発は主に素子の微細化による高集積化と高速化によってなされてきたが、現在では短チャネル効果が顕在化し、微細化により移動度が低下して素子性能が劣化するまでに至っている。この問題を打破するために集積回路基板として Ge や SiGe 混晶薄膜を Si 上に成長したヘテロ構造が注目を集めている。これは Si 基板と Ge、SiGe 薄膜の結晶格子定数の違いによる応力を利用してバンド構造を変調し、有効質量の低下により高移動度を目指すものである。しかし、結晶格子定数の違いは薄膜内の素子形成領域にも転移などの格子欠陥や表面荒れを生じ、予期された素子性能が得られていない。

我々は、マイクロ波励起水素ラジカルによる選択急速加熱現象を見出した。減圧下の水素ガスにマイクロ波を照射することで高密度水素ラジカルを形成し、遷移金属や Ge 等の半導体に照射すると急激に温度が上昇し 10 秒程度で 1000 程度に達する現象である。本技術は従来法とは全く異なったものであり、ラジカルからのエネルギーの授受により加熱されるもので、表面物質に依存する表面反応であることを明らかにしている。この技術の最大の特徴は、対象物の必要領域のみを選択的かつ急速に加熱し、さらに急速降温をも可能とするものである。

本研究では、Ge on Si 基板の構造を形成し、Ge の表面近傍から Si 基板に向かって融点近傍まで加熱し冷却することで結晶性および表面モフォロジーを向上させ、高移動度を実現するヘテロ構造形成技術を開発することにある。

2. 研究の目的

高品質 Ge 結晶層を Si 結晶基板上に形成する新しいヘテロ構造の作製法を開発し、結晶性評価および電界効果トランジスタ試作・評価を行う。

我々が見出したマイクロ波励起水素ラジ

カルによる選択的高温加熱技術を用いて、Si 結晶基板上に成長した Ge 結晶層の表面を急速に融点近傍まで加熱・冷却し、Si と Ge の格子不整合に伴う欠陥、表面荒れを低減する技術開発を行う。また、本加熱の機構解明を行い、開発技術のブラッシュ・アップを図り、超高移動度が期待される高品質 Ge (SiGe) / Si 結晶基板というヘテロ構造の作製・結晶性評価および電界効果トランジスタ試作評価を行う。

3. 研究の方法

Si 基板上の一部に高品質 Ge を作製し、Ge チャネルの p-MOS と Si チャネルの n-MOS をつくりわけることで CMOS の飛躍的な性能向上を見込める。しかし、Si 基板上に良質な Ge 薄膜を形成することは大変難しく、成長温度が高い場合 Si から受ける圧縮応力を開放するためアイランド構造をとり、成長温度が低い場合には転位等の欠陥が多数入ってしまう。

我々は、低温で Ge を Si 基板上に形成し、導入された欠陥密度を減らすことを試みた。ここで重要となってくるのは Ge 層内の欠陥を減らすため、Ge のみに応力をかけることである。この課題解決を図るため我々は、水素ラジカルによる遷移金属の急速・急冷熱処理技術に注目し研究を推進した。

まず、MBE 装置を用いて、洗浄した Si (100) 基板に Ge 薄膜を成膜した。その後、Ge と W の反応防止を目的とし SiO₂ のバリア層を 300 で 100 nm 形成した。形成した SiO₂ 層の上に W をスパッタリング法により 75 nm 堆積させた。

加熱時は、Si と Ge の相互拡散の抑制を目的とし 0.1 sec という短時間での加熱処理を行った。(1) Ge 層に与える処理温度の影響、(2) Ge 薄膜の膜厚変化による欠陥への影響を調べ、最適条件を求めて(3) Ge チャネル p-MOS FET を作製した。

4. 研究成果

(1) Ge 層に与える処理温度の影響

加熱処理前の W/SiO₂/Ge/Si

まず、比較のために、Si 上に Ge を成長させただけの試料の観察を行った。図 1 に STEM の明視野像を示す。欠陥は認められるが、結晶粒界などは認められず、Ge は Si 上にエピタキシャル成長していることがわかる。

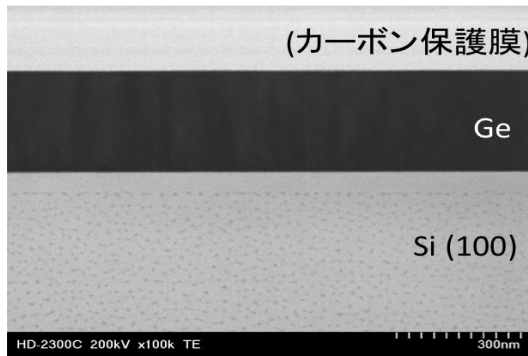


図 1 加熱処理前の W/SiO₂/Ge/Si の断面 STEM 像

加熱前 Ge/Si の試料に対して EDX による定量分析を行った結果を図 2 に示す。

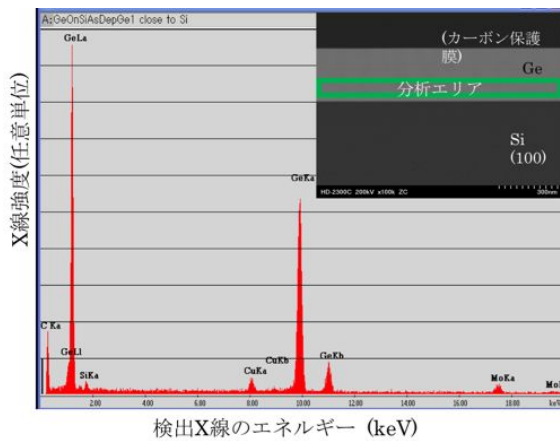


図 2 加熱前の Ge/Si の EDX 定性分析結果

Ge と Si の相互拡散は起こらず、均一な Ge 薄膜が形成されていることが確認できた。

1000 (約 0.1 秒)加熱後 W/SiO₂/Ge/Si の試料

次に約 1000 (約 0.1 秒)加熱後 W/SiO₂/Ge/Si の試料の STEM 明視野像観察を行った結

果を図 3 に示す。

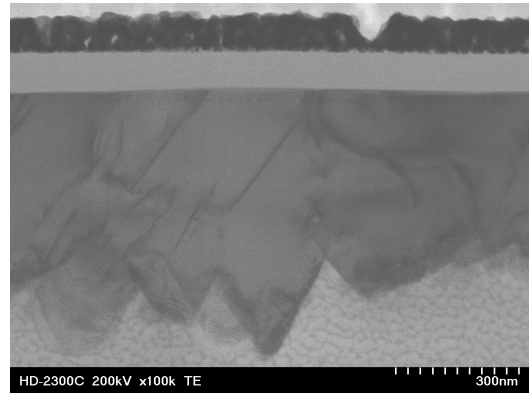


図 3 1000 (約 0.1 秒)加熱後 W/SiO₂/Ge/Si の明視野像

わずかに 1 秒の加熱で Si と Ge の相互拡散が進行していることがわかる。また、Ge 薄膜内には多くの欠陥も確認された。

1000 加熱後の試料の EDX 定性分析を行った。

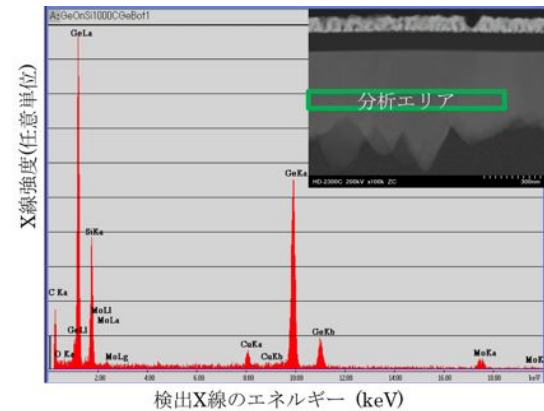


図 4 図示した領域の EDX 分析

図 4 より Si と Ge が観測され、ミキシングが生じていることがわかる。分析エリアを変えて観察した結果、純 Ge 領域は存在せず、Si と Ge の相互拡散が顕著であることがわかった。

約 900 (約 0.1 秒)加熱後 W/SiO₂/Ge/Si の試料においても同様の結果を得た。

700 (約 0.1 秒)加熱後 W/SiO₂/Ge/Si の試料

約 700 で 0.1 秒の急速加熱を行った試料の STEM 明視野像観察を行った結果を図 5 に

示す。

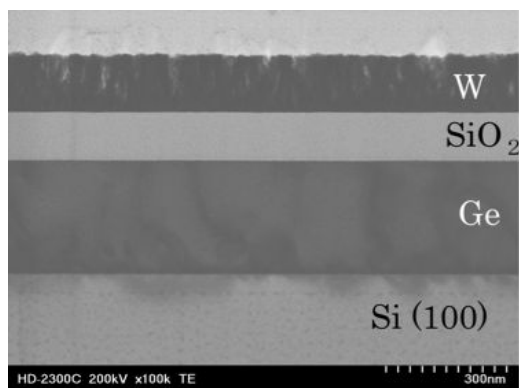


図5 700 (約0.1秒)加熱後W/SiO₂/Ge/Siの明視野像

この図より、GeとSiの界面は平坦に保たれていることが確認でき、Ge層内に結晶粒界はなく、転位も加熱前の試料、1000 で加熱した試料と比較すると激減していた。

またEDXの定量的線分析(line profile)を行った結果を図6に示す。縦軸が原子パーセント、横軸が距離である。Si基板部、純Ge部分、SiO₂の部分と明確にわかれており、SiとGeの相互拡散は抑制できていることが確認できる。

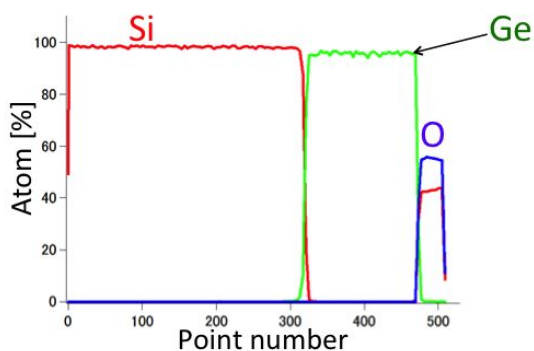


図6 EDX 定量的線分析

また、約 800 (約 0.1 秒) 加熱後 W/SiO₂/Ge/Si の試料においても同様の結果を得た。

STEM 明視野像よりも格子欠陥に敏感な TEM 明視野像の観察結果を以下に示す。図7が加熱前の試料、図8が700 加熱後の試料である。加熱前 Ge 表面近傍に多数あった欠陥が700 の加熱により、激減していることがわかる。700 で急速加熱を行ったことにより、Ge/Si 構造のGeのみに応力がかかり欠陥が動

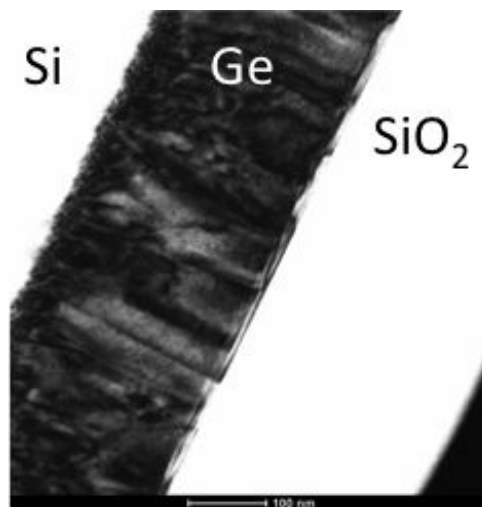


図7 加熱前の TEM 明視野像

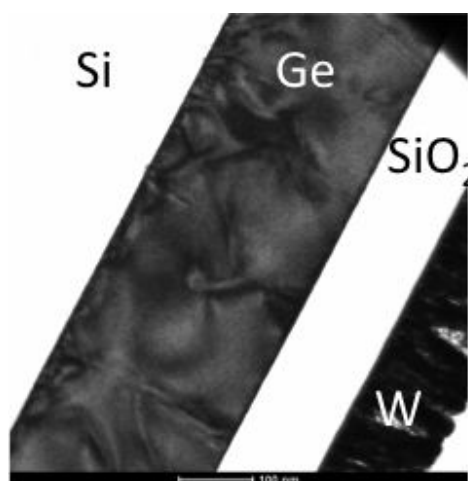


図8 加熱後の TEM 明視野像

きやすくなり欠陥が効率よく抜けていったため、欠陥が激減するという結果が得られたのではないかと考えている。

(2) Ge 薄膜の膜厚変化による欠陥への影響

Ge 薄膜により歪みエネルギーが変化し、表面近傍での欠陥密度が変わるのではないかと考え、Ge 膜厚変化させ欠陥密度の調査をおこなった。今回は膜厚として 50 nm, 100 nm, 300 nm, 400nm のものを作製し比較を行った。この際、加熱温度は 750 、加熱時間は 0.1 秒で加熱を行った。

その結果、Ge 膜厚による欠陥濃度の依存性は確認されなかった。

また、加熱回数によって欠陥が減少するのではないかと考え、0.1 sec の急速加熱を 1

回、3回、5回と行った。Geの膜厚は300 nmで固定した。その結果、加熱回数を変化させたことでは欠陥濃度に大きな変化は見られなかった。

(3) Geチャンネルp-MOS FETの作製

本研究ではゲート酸化膜としてTEOSによる堆積酸化膜を用いた。Ge膜の上にそのまま酸化膜を堆積させるとGeの表面偏析現象から酸化膜の界面準位密度が高くなってしまいう傾向がある。そこで、界面準位密度を低く抑えることを目的としSi-cap層を形成した。

Si-cap層導入に際して、Ge膜成長時にSi-cap層を形成しそのまま加熱を行った試料Aと加熱後にSi-cap層を形成した試料Bの2パターンの試料を作製した。

イオン注入装置を用いて不純物の注入を行った。注入不純物はボロンである。ドーズ量は 2.0×10^{15} 個/cm²、ビーム加速電圧は40 kV、試料温度が上昇することによるレジストの焦げ付きを避けるためビーム電流は20 μ A以下とした。また、活性化アニールは600 °C、1hで行った。

p-MOSを作製し実効移動度の算出を行った。素子サイズはすべての試料においてゲート幅W=150 μ m、ゲート長L=100 μ mとした。図9に構造Aのp-MOSFETのI-V曲線を示す。V_gは10~-60 Vである。

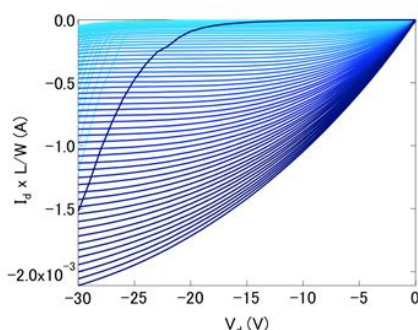


図9 試料構造AのI-V曲線

また、図10に構造Bのp-MOSFETのI-V曲線を示す。

I-V、C-V測定の結果より移動度の算出を行った。結果を以下に示す。

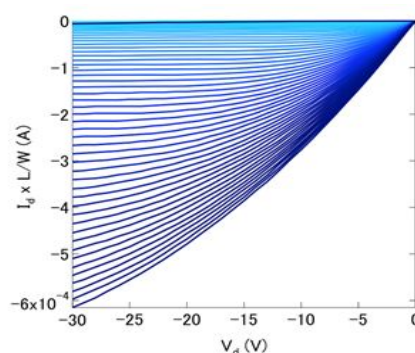


図10 試料構造BのI-V曲線

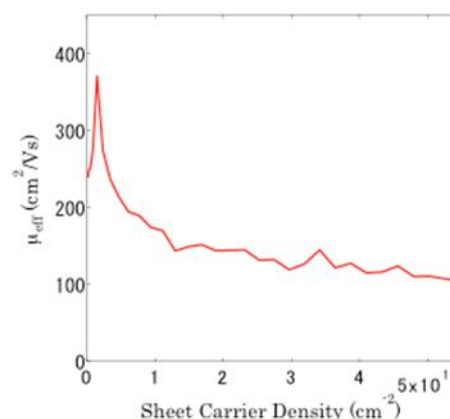


図11 試料構造Aの実効移動度とキャリア濃度の関係

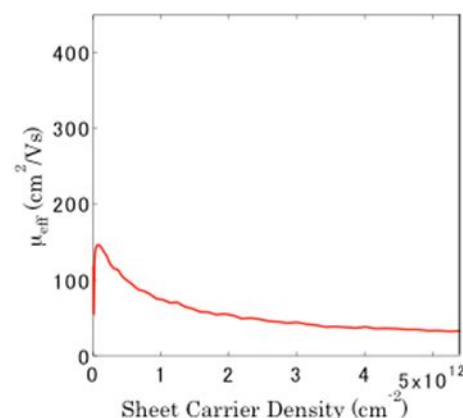


図12 試料構造Bの実効移動度とキャリア濃度の関係

試料構造Aの試料でSiチャンネルのp-MOS(移動度200 cm²/V・s)より2倍程度の高移動度を得ることができた(図11)。

しかし、試料構造Bでは移動度はSiと同程度のものとなってしまった(図12)。移動度が低くなってしまった原因として考えられるのは、Si-cap再成長の際、基板クリーニ

ングが不十分で界面準位密度が増加し、移動度が低下してしまったのではないかと考えている。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 1 件)

T. Arai, H. Nakaie, K. Kamimura, H. Nakamura, S. Ariizumi, S. Ashizawa, K. Arimoto, J. Yamanaka, T. Sato, K. Nakagawa, T. Takamatsu

Selective Heating of Transition Metal Usings Hydrogen Plasma and Its Application to Formation of Nickel Silicide Electrodes for Silicon Ultralarge-Scale Integration Devices
Journal of Materials Science and Chemical Engineering, 査読あり vol. 4, pp. 29-33.

<http://dx.doi.org/10.4236/msce.2016.41006>

〔学会発表〕(計 6 件)

上村和貴、中家 大希、荒井哲司、山本 千綾、有元圭介、山中淳二、佐藤哲也、中川清和、高松利行

Si-ULSI 用の電極形成のための熱処理技術の開発、第 63 回応用物理学会春季学術講演会、2016 年 3 月 21 日、東工大大岡山キャンパス

上村和貴、中家 大希、荒井哲司、山本 千綾、有元圭介、山中淳二、佐藤哲也、中川清和、高松利行

Ge/Si ヘテロ構造の結晶性向上に向けた熱処理技術の開発、第 76 回応用物理学会秋季学術講演会、2015 年 9 月 15 日、名古屋国際会議場

佐藤哲也、中川清和、高松利行、澤野憲太郎

水素ラジカルによる W、Ni の選択加熱を用いた a-Si の固相成長法と TFT の作製、第 62 回応用物理学会春季学術講演会、2015 年 3 月 13 日、東海大学湘南キャンパス

上村和貴、荒井哲司、有元圭介、山中淳二、佐藤哲也、中川清和、高松利行、澤野憲太郎
水素ラジカルによる遷移金属の選択加熱とそのデバイス応用、第 75 回応用物理学会秋季学術講演会 2014 年 9 月 17 日、北海道大学

札幌キャンパス

中家大希、上村和貴、荒井哲司、有元圭介、山中淳二、佐藤哲也、中川清和、高松利行、澤野憲太郎

水素ラジカルによる遷移金属の選択加熱を用いた多結晶 Si 膜形成とデバイスプロセス応用、第 61 回応用物理学会春季学術講演会、2014 年 3 月 18 日、青山学院大学相模原キャンパス

中家大希、荒井哲司、有元圭介、山中淳二、佐藤哲也、中川清和、高松利行、澤野憲太郎、白木靖寛

水素ラジカルを用いた遷移金属の選択加熱現象による薄膜トランジスタ用多結晶 Si 形成、第 74 回応用物理学会秋季学術講演会、2013 年 9 月 17 日、同志社大学

〔その他〕

ホームページ等

<http://www.inorg.yamanashi.ac.jp/ccst/laboratories/nakagawa-lab/index.htm>

6. 研究組織

(1) 研究代表者

中川 清和 (NAKAGAWA KIYOKAZU)
山梨大学・大学院総合研究部・教授
研究者番号：40324181

(2) 研究分担者

山中 淳二 (YAMANAKA JUNJI)
山梨大学・大学院総合研究部・准教授
研究者番号：20293441
佐藤 哲也 (SATO TETSUYA)
山梨大学・大学院総合研究部・准教授
研究者番号：60252011