

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 15 日現在

機関番号：12608
研究種目：基盤研究(C) (一般)
研究期間：2013～2015
課題番号：25420322
研究課題名(和文)再成長ソースを有する三次元構造InGaAs MOSFET

研究課題名(英文)3D InGaAs MOSFET with regrown source/drain

研究代表者

金澤 徹 (Kanazawa, Toru)

東京工業大学・理工学研究科・助教

研究者番号：40514922

交付決定額(研究期間全体)：(直接経費) 3,900,000円

研究成果の概要(和文)：将来の集積回路応用へ向けた高速・低消費電力トランジスタの実現へ向けた取り組みを行った。高電子移動度を有するInGaAsチャネル、リーク電流を抑制するマルチゲート構造、高い電流注入能力を有する再成長ソースを有する電界効果トランジスタを提案し、素子作製を行った。さらなる特性改善へ向けて再成長およびフィン型チャネル作製の条件を調査した。これにより、トランジスタのチャネル長は16 nmまで縮小され素子特性が向上した。

研究成果の概要(英文)：This work was performed to realize the high-speed and low-power transistors for future logic applications. We proposed and fabricated the metal-oxide-semiconductor field-effect transistor with InGaAs channel for high electron mobility, multi-gate structure for low leakage current and regrown source for high current injection. For further improvement of the device performance, conditions of the regrowth and fabrication process of fin channels were investigated. As a result, the channel length of the transistor was scaled down to 16 nm and the improved performance was obtained.

研究分野：電子デバイス

キーワード：MOSFET 化合物半導体 MOVPE マルチゲート

1. 研究開始当初の背景

高度情報社会の基盤を支える集積回路の性能向上のためには、回路を構成する基本要素である電界効果トランジスタ(FET)の駆動能力を向上させることが必要とされる。近年ではこれに加えて高速化・高集積化に伴う熱密度の増加や、環境・エネルギー問題への配慮から、デバイス低消費電力化の重要性が飛躍的に高まりつつある。

InGaAsを初めとしたIII-V族化合物半導体は、従来FETのチャンネルとして用いられてきたSiと比較して電子の移動度が高く有効質量が小さいため、低電圧における高電流動作のための潜在的な利点を有する。集積回路用III-V族MOSFETに関しては、国際半導体技術ロードマップ(ITRS)にロードマップが掲載され、IEDM 2011の基調講演においても言及される等、その導入が現実味を帯びつつある状況となっていた。前述のITRSにおいては2024年におけるデバイス性能として、III-V族マルチゲート構造で2.7 A/mmのドレイン電流を0.56 Vという低電圧で達成することが要求されている。

過去、高濃度にドーピングされたn-InPをソースとして用いたInGaAs MOSFETにおいてチャンネル長50 nmの構造で、ソース-ドレイン間圧0.5 Vにおいて2.4 mA/μmの電流を報告しており、InGaAsチャンネルと高濃度ドーピングソースを用いることでオン電流に対する要求を満たし得ること示していた。

一方で、オフ特性に着目した場合上記のデバイスにおいてドレイン誘起障壁低下(DIBL)はチャンネル長500 nm程度においても500 mV/Vを超える値となっており、短チャンネル効果の影響が大きいという問題があった。短チャンネル効果は待機時の消費電力を決定するリーク電流と密接な関係があり、閾値電圧の低下も含め応用上の最も大きな課題となっていた。

InGaAsチャンネルにおける短チャンネル効果低減を実現した例としては他の研究機関からの報告において、フィン上に形成したりセス構造およびイオン打ち込み法を用いて形成したソース構造を用いたマルチゲートデバイスが有効であることが報告されていた。一方で電子の供給能力(ソース配置・キャリア濃度)の観点から見ると、駆動能力の面で改善の余地があり、より高い電流密度を実現可能な構造が期待されていた。

2. 研究の目的

本研究課題においてはイオン打ち込み法($\sim 1 \times 10^{19} \text{ cm}^{-3}$)と比較して、高いキャリア濃度($\sim 5 \times 10^{19} \text{ cm}^{-3}$)が実現可能で電子供給能力に優れる再成長ソース構造を用いて、立体構造型チャンネルへの高効率なキャリア供給を行い、優れたオン性能とオフ性能を両立可能なデバイス構造を実現することを目的とした。

3. 研究の方法

提案したデバイスの構造を以下の図1に示す。初期の実験としてはTCADによるシミュレーションによる本構造のメリットの理論的裏付け、現行のプロセスを用いたデバイス構造の試作を行った。その後、素子特性を向上させることを目的として、各プロセスに関する研究開発を以下の様に分割して行った。

- (1) 高アスペクト比フィン構造形成
- (2) 立体型チャンネルへの再成長層形成
- (3) ゲートスタック形成

これらを統合してデバイス構造を作製することを試みた。

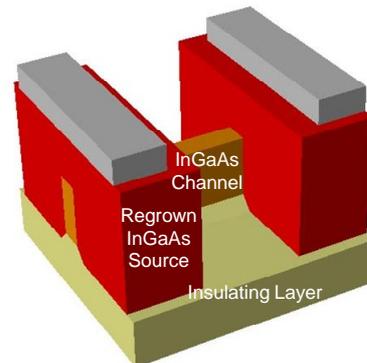


図1 再成長ソース/ドレインを有するマルチゲートFET構造の模式図

4. 研究成果

(1) TCADを用いた特性の検討

3D TCADシミュレータを用いて提案構造と従来の平面型デバイス構造および上部エピタキシャル層からキャリア注入を行うマルチゲート構造に関してデバイス特性の比較を試みた。ゲート電圧0 Vにおけるオフ電流を0.1 μA/μmと設定した。SiO₂換算等価絶縁膜厚(EOT)は0.65 nmとし、立体型チャンネルについては幅20 nm、高さ50 nmとして外周でドレイン電流を規格化している。

平面型素子との比較ではサブスレッショルド領域での立ち上がり劣化が抑制され、低閾値電圧での動作が可能となっている。また、上部注入との比較では高ゲート電圧時の電流が改善し、ソースにおけるキャリア枯渇の抑制効果が確認された。

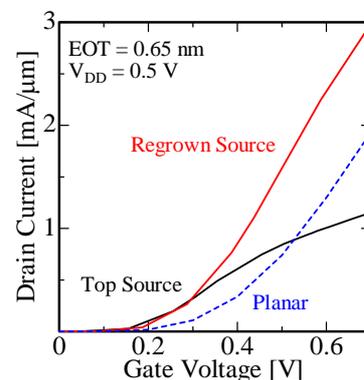


図2 TCADを用いた電流特性比較

これにより従来構造に対して提案した構造を用いることのメリットを明らかとすることが出来た。

(2) デバイス構造の試作

フィン構造に対して過去の平面型再成長デバイスと同様のドライエッチングにより形成した SiO₂ マスクを用いた再成長プロセスによりデバイス構造の試作を行った。高さ 50 nm のフィン構造を再成長層が覆っていることが確認でき、提案して構造が形成可能であることを示した(図 3)。図 4 に示す様にチャンネル長 40 nm までのデバイスにおいてゲート電圧によるドレイン電流の制御が可能であることが示された。一方で再成長層へのコンタクトに起因する寄生抵抗が大きい事、短チャンネル効果の抑制が十分ではないという問題が明らかとなった。

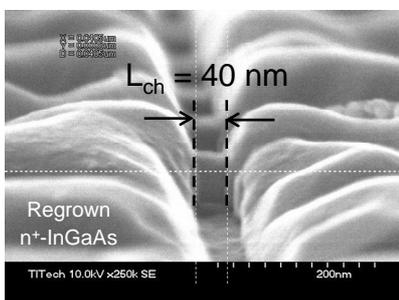


図 3 再成長層により囲まれたフィン型チャンネル構造

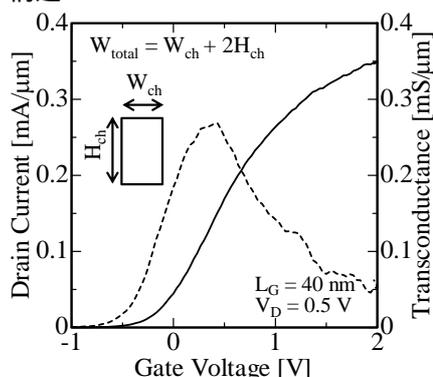


図 4 再成長 S/D フィン型 FET の電流特性

(4) Fin 幅削減のためのプロセス開発

オフ特性が十分に改善されなかった原因の一つとして、試作デバイスのフィン幅の縮小が不十分であったことに着目した。TCAD シミュレーションよりオフ特性の改善には 20 nm までフィン幅を削減する必要があることが明らかとなった。これを実現するため、水素セルシスキオキサン(HSQ)への電子線露光により形成したマスクを用いたフィン構造のドライエッチングおよび制御性に優れたドライエッチングのダメージを除去可能なウェットデジタルエッチングを用いたフィン幅縮小というプロセスを導入した。

図 5 に新たなプロセスを用いて作製したフ

イン構造の SEM 像を示す。チャンネル InGaAs 層の最下部において 19 nm と所望のフィン幅が形成されていることが確認できる。

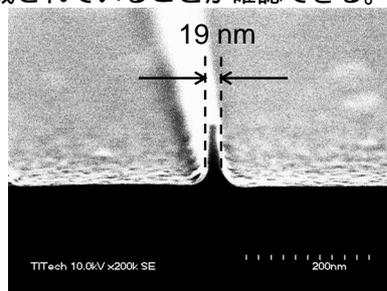
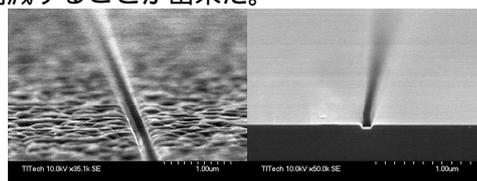


図 5 幅 20 nm 以下で作製されたフィン構造

(4) 抵抗削減のための再成長条件改善

オン電流が低くなった原因としては再成長層の結晶欠陥及び凹凸に起因する高いコンタクト抵抗率が支配的であると見込まれたため、これを改善するための取り組みを行った。

従来の InAlAs 上への再成長においては InAlAs 表面の酸化による結晶欠陥の発生や表面の荒れが避けられなかったため、成長表面を半絶縁性 InP 基板と変更することで図 6(b) に示す様に良好な再成長層表面モフォロジーを得ることが出来た。これに伴いコンタクト抵抗率についても InAlAs 上の場合の 100 分の 1 以下に減少し、寄生抵抗を大きく削減することが出来た。



(a) InAlAs 上 (b) InP 上

図 6 成長表面の変更による S/D 平坦化

(5) 提案構造による極短チャンネル動作

改善されたフィン構造形成および再成長プロセスを用いてデバイスの作製を行った。作製した素子の断面 SEM 像及び、伝達特性を図 7, 8 に示す。

断面 SEM からチャンネル長を見積もると 16 nm と見積もられ、これは III-V 族のマルチゲート FET としては世界的に見ても極めて短いチャンネル長であり、本プロセスで極短チャンネル素子形成が可能であることを示した。

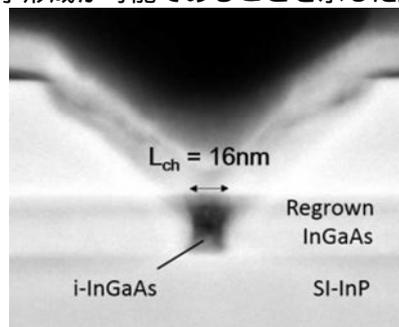


図 7 チャンネル長 16 nm 素子の断面観察像
上記チャンネル長 16 nm の素子において 10³

のオンオフ比が得られており十分とはいえないものの、従来構造と比較して短チャネル効果の抑制が確認できる。ドレイン電流についてもプロセス/構造の変更により過去のデバイスと比較して二倍に増加している。

以上より、ソースにおける注入キャリアの枯渇を抑制し、寄生抵抗を削減するための素子構造を、極短チャネルかつ高いアスペクト比の立体型チャネル構造で作製するための要素技術を開発し、素子の動作を実証することが出来た。これらは今後高電流かつ高い制御性を有する III-V MOSFET の開発に向けて意義のある結果といえる。

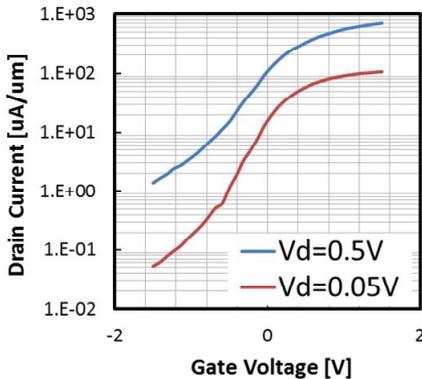


図 8 チャネル長 16 nm 素子の電流特性

一方でゲート絶縁膜容量および界面の品質が十分ではないため、短チャネル効果が表れており、サブスレッショルド領域の傾きも十分に急峻ではない点、およびチャネル側壁の荒さに起因すると思われるチャネル輸送特性の劣化により電流が期待する水準には達していない点が課題であり今後これらを改善するための取り組みが必要であるといえる。

(6) $\text{HfO}_2/\text{Al}_2\text{O}_3$ 絶縁膜による容量向上

前述のとおり現在用いている 5 nm 厚の Al_2O_3 ゲート絶縁膜は優れたオフ特性を実現するためには絶縁膜容量・界面準位密度ともに十分な特性を持っているとは言えない。さらなる性能の向上のためには、ゲート容量を増加させ駆動能力および制御性を向上させることが必要となる。

絶縁膜を従来の Al_2O_3 から $\text{HfO}_2/\text{Al}_2\text{O}_3$ の二層構造としてゲート容量の改善を目指した。絶縁膜成膜前の低出力 N_2 プラズマ処理により InGaAs 表面の As_2O_3 酸化物を削減し、電極形成後の H_2 雰囲気中アニールを組み合わせることで、 Al_2O_3 絶縁膜と比較して電氣的容量が 70%以上増加するとともに、ミッドギャップ付近の界面トラップ密度についても $10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ まで削減されることを示した。

これをマルチゲート素子のゲート絶縁膜に用いることでオフ特性の改善と伝達コンダクタンスの向上が期待される。

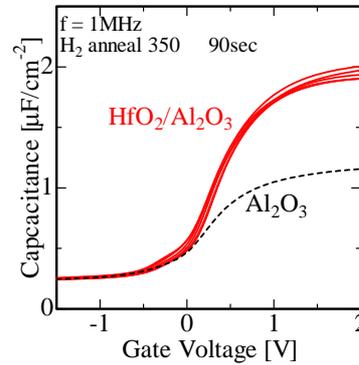


図 9 $\text{HfO}_2/\text{Al}_2\text{O}_3$ 絶縁膜の C-V 特性

(7) 積層型チャネル構造への展開

フィン構造に対してさらに制御能力を向上させる縦方向積層型ナノワイヤチャネルを用いたゲートオールアラウンド型構造の作製を見込んで、積層型チャネル構造の試作を行った。図 10 に示すように InP/InGaAs の積層構造を用いて InP を選択的にエッチングすることで、三層に積層された InGaAs チャネルを形成することが出来た。

今後、本研究課題で確立された n-InGaAs 再成長技術によるソース/ドレインを導入して極短チャネルデバイスを作製することでさらなる特性の改善が見込まれる。

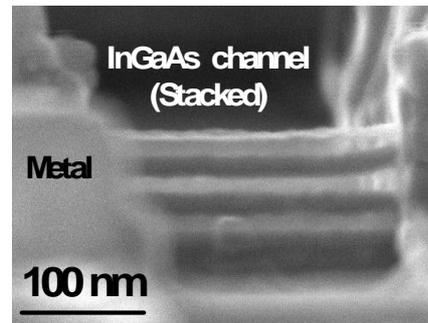


図 10 積層型チャネル構造の試作

5. 主な発表論文等

〔学会発表〕(計 12 件)

木下 治紀、木瀬 信和、行待 篤志、金澤 徹、宮本 恭幸、Operation of 16-nm-InGaAs channel multi-gate MOSFETs with regrown source/drain、Compound Semiconductor Week(CSW/IPRM) 2016、TuD4-2、26-30 June 2016、Toyama (Japan)

宮本 恭幸、金澤 徹、米内 義晴、大澤 一斗、三嶋 裕一、藤松 基彦、大橋 一水、祢津 誠晃、岩田 真次郎、InGaAs channel for low supply voltage、2015 Int. Conf. Solide State Devices and Materials (SSDM)、M-1-1、27-30 Sept. 2015、Sapporo (Japan)

木下 治紀、祢津 誠晃、三嶋 裕一、金澤 徹、宮本 恭幸、Fabrication of InGaAs

channel multi-gate MOSFETs with MOVPE regrown source/drain, Topical Workshop on Heterostructure Microelectronics(TWHM)、7-6 Aug. 2015、Takayama (Japan)

木下 治紀、祢津 誠晃、三嶋 裕一、金澤 徹、宮本 恭幸、再成長ソース・ドレインを有するマルチゲート MOSFET の作製プロセス、電磁用法通信学会電子デバイス研究会、ED2015-44、24-25 July 2015、金沢

祢津 誠晃、金澤 徹、宮本 恭幸、Improvement of Interface Property of $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ Using Nitrogen Plasma Cleaning and Hydrogen Annealing、Int. Conf. Indium Phosphide and Related Materials(IPRM) 2015、28-2 June-July 2015、Santa Barbara、(USA)

三嶋 裕一、金澤 徹、木下 治紀、上原 英治、宮本 恭幸、InGaAs channel tri-gate MOSFETs with regrown source/drain、72nd Device Research Conference (DRC)、22-25 June 2014、Santa Barbara (USA)

宮本 恭幸、金澤 徹、米内 義晴、大澤 一斗、三嶋 裕一、入澤 寿史、小田 穰、手塚 勉 Growth Process for High Performance of InGaAs MOSFETs、72nd Device Research Conference (DRC)、22-25 June 2014、Santa Barbara (USA)

金澤 徹、三嶋 裕一、木下 治紀、上原 英治、宮本 恭幸 MOVPE 再成長ソースドレインを有する InGaAs トライゲート MOSFET、電子情報通信学会電子デバイス研究会、ED2013-115、16-17 Jan. 2014、東京

6 . 研究組織

(1)研究代表者

金澤 徹 (KANAZAWA, Toru)

東京工業大学・大学院理工学研究科・助教

研究者番号： 40514922