

科学研究費助成事業 研究成果報告書

平成 28 年 6 月 9 日現在

機関番号：15401

研究種目：基盤研究(C) (一般)

研究期間：2013～2015

課題番号：25420332

研究課題名(和文) デジタル・高速・超低消費電力マンハッタン/ユークリッド距離検索連想メモリの研究

研究課題名(英文) Research on digital, high-speed, ultra-low power-consumption,
Manhattan/Euclidean-distance-search associative memory

研究代表者

Mattausch Hans J. (Mattausch, Hans Juergen)

広島大学・ナノデバイス・バイオ融合科学研究所・教授

研究者番号：20291487

交付決定額(研究期間全体)：(直接経費) 4,000,000円

研究成果の概要(和文)：携帯応用での実時間物体認識のために重要、以前に現実的な解決策は無かった、低消費電力、完全デジタル及びワード並列の最小距離検索に向けて、ユークリッド距離のクロック数マッピング手法を検討した。正方形計算回路及びクロック数の最小化により、信頼性の高い高速な集積回路を開発した。16次元の32参照ベクトル用の180nmのCMOS試作品は、先端マイクロプロセッサよりも1万倍高い効率、1.2マイクロ秒の検索時間と8.8ミリワットの消費電力を示した。更に、概念を画像中の物体認識に拡張した。65nmのCMOS試作品は、最高の前作よりも8.7倍良いビデオ画像あたり0.94ミリジュールでの実時間物体検出を達成した。

研究成果の概要(英文)：Clock-number mapping of Euclidean distance was investigated for low-power, fully-digital and word-parallel realization of minimum-distance search, which is important for object recognition in mobile applications. Previously, a practical solution for this problem was unknown. By minimizing square-calculation hardware and clock-cycle number for all search cases, a reliable and high-speed integrated-circuit solution was developed. A 180 nm CMOS prototype for 32 16-dimensional reference vectors demonstrated fast search time of 1.2 micro seconds and low power dissipation of 8.8 mW, meaning 10000 times higher energy efficiency than with advanced microprocessors (Intel i7-3970x). The concept was extended to SURF feature-vector extraction and sliding-window technique for object recognition in images. Another 65 nm CMOS prototype achieved real-time object detection in VGA (640x480 pixels) videos at 0.94 mJ energy consumption per frame, which is 8.7 times better than the best previous work.

研究分野：工学

キーワード：電子デバイス・集積回路 パターンマッチング 特徴抽出 連想メモリ 認識 VLSI

1. 研究開始当初の背景

パターンマッチングや最近傍探索(1NN)は、多くの高度なアプリケーションのために不可欠である。たとえば、画像やビデオで物体認識、データベース検索、セキュリティシステムにおける認証、またはコードブックベースのデータ圧縮。特に、携帯端末用 IC の実装は、短い処理時間、低消費電力、高シリコン面積効率および高い検索信頼を必要とする。任意の参照ベクトル次元およびベクトル数へのスケーラビリティも重要である。上記の要件のために望ましいハードウェアの実装はワード並列連想メモリである。ハミング距離検索のための効率的な連想メモリ構成は知られている。しかし、ほとんどの実用的な用途では、より複雑なマンハッタン(MD)またはユークリッド(ED)距離尺度が必要である。プロジェクトの開始時までの世界の研究者の研究成果は、組み合わせたデジタル・アナログ法(MD、ED)及びデジタルソート方法(MD)を含まれる。但し、EDは正確な特徴ベクトルの距離であるが、MDは、この距離のための近似値だけであるので、実用的なアプリケーションでのEDの利用がより望ましいである。残念ながら、実的に最も重要な最小ED距離検索のために、効率的なワード並列のデジタルソリューションは知られていない。

2. 研究の目的

ユークリッド距離のクロック数マッピング概念に基づく、低消費電力、完全デジタルとワード並列の最小距離検索連想メモリに関する研究をモバイルアプリケーションでの最近傍探索及びベクトル量子化を実現するために行う。特に、ユークリッド距離検索のため、初めての実用的な完全デジタルかつワード並列連想メモリを開発する。

- (1) アルゴリズム、アーキテクチャと回路のソリューションを詳細的に開発する。特に、正方形計算回路及び検索のためのクロック数の最小化により、高い面積効率及び高速な最小距離検索を実現する集積回路を目指す。
- (2) 開発されたアルゴリズムとその回路実現に対して、実現可能性及び期待される性能を180nmのCMOSプロトタイプ実装を用いて基本的に検証する。
- (3) 高度な65nmまたは45nmのCMOSプロセスの実装(128参照ベクトル)により、潜在的な性能拡張を確認する。

3. 研究の方法

研究プロジェクトは、主に以下の手順で進行する予定であった。

- (1) 図1に示している、想定されたアーキテクチャのための詳細な回路開発及び回路最適化を行う。確立された従来のCMOSプロセス(例えば、180nmのデザインルール)を用いて、回路性能のシミュレーションを実施する。特に、クロックサイクルのクリテ

ィカル・パスの最適化、周波数分周器ベースカウンタの最適化、最小EDの検索のためのクロックのサイクル数削減、しきい値電圧まで電源電圧の低下可能性及び温度依存性の最適化を目指す。

- (2) 180nm CMOS技術でのテストチップの設計、製作及び評価を行う。欠陥が実験的評価で検出された場合、回路の改良や新たな回路概念の開発は、行われる。

- (3) 低消費電力及び最大クロック周波数を重視し、先端45nmまたは65nmのCMOS技術でのテストチップ設計を行う。

- (4) 先端CMOS技術で試作されたテストチップを実験的に評価する。回路とアーキテクチャのさらなる改善を、実験評価の欠陥は示された場合、実施する。

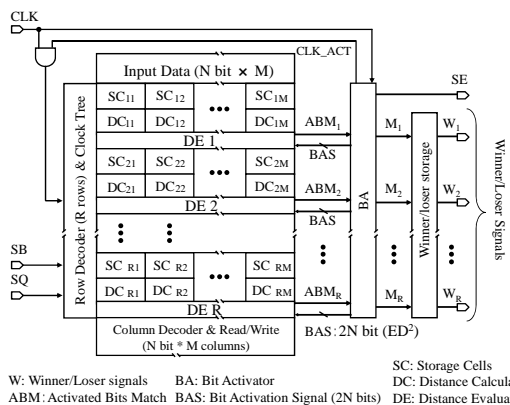


図1: マンハッタンやユークリッド距離尺度をクロックのサイクル数にマッピングすることで、ベクトル量子化のための低消費電力、完全デジタル化およびワード並列の最小距離検索を実現するアーキテクチャ概念。

4. 研究成果

- (1) 開発されてきた主な新回路は以下の二つである:(a)最小ED²距離検索の集積化を可能にするための絶対差の二乗 $AV_j^2 = |Re_{Rj} - In_j|^2$ を効率的に計算できるDC回路及び、(b)漸進的に最上位ビットから開始し、より定値ビットに進み、高速クロックベースの検索方法を実現するDE回路。

i番目の参照ベクトルのために開発されたDCとDE構造は図2のブロック図で説明されている。AVの計算のために以前に報告された非常に面積効率的な加算器ベースの回路は実装されている。AV²計算の小面積増加によって達成されている。図3に示すように、全加算器(FA)に加えて、DCの各成分ビットユニットは2マルチプレクサ(MUX)反転制御回路(RCC)ラッチおよびフリップフロップ(DFP)を、選択可能なAVまたはAV²の計算を実現するために使用する。すなわち、MDまたはEDいずれかに基づいてパターンマッチングを有効にする。部分積の加算によってAV²計算はビット数Nに比例の

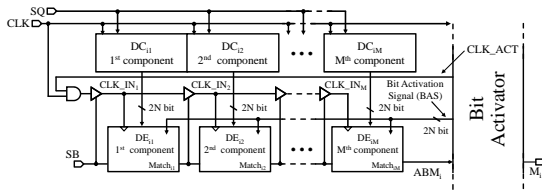
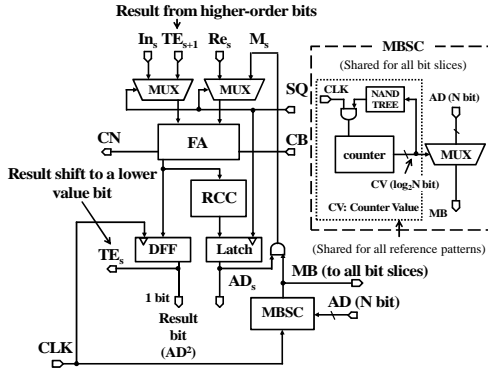


図 2 : 1 つの参照ベクトルに対する、距離計算部 (DC) および距離評価 (DE) の開発される実現結果のブロック図。



MBSC: Multiplier Bit Shift Circuit MB: Multiplier Bit CB: Carry Before
FA: Full Adder RCC: Reversal Control Circuit CN: Carry Next

図 3 : AD^2 の計算のための DC 回路の 1 ビットのスライス。

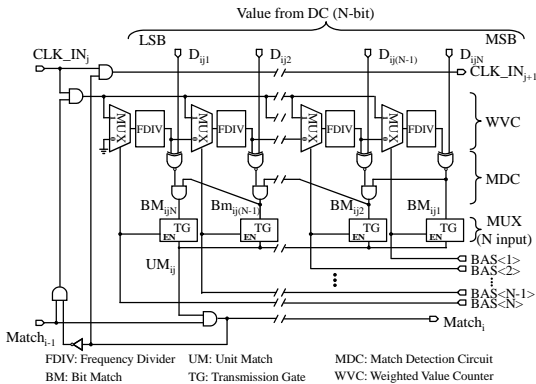


図 4 : 1 参照ベクトル成分のための DE-回路。

クロックサイクル数を要する。中間及び最終結果は DFF に格納されている。

図 2 に示すように、高速クロックベースの検索のための第二の重要な回路は、 DE_{ij} 回路とビットアクティベーター (BA) により実現されている。この回路は検索を最上位ビットから開始し、徐々に全高い値ビットに対してマッチング参照ベクトルを見つけた後、ビット順位の低下ビットに進む。図 4 は、加重値カウンタ (WVC)、一致検出回路 (MDC) およびマルチプレクサ (MUX) を用いて実現される DE の一成分 DE_{ij} を示す。WVC は、検索の前に 0 に初期化される。低消費電力の 2 の分周器 (FDIV) は DE_{ij} の各カウンタビット s ($s = 1$ から N まで) を実装するために使用されている。BA 回路を実現するためのブロック図が図 5 に示されている。

(2) 図 6 は、180nm の CMOS で製造された連想メモリのプロトタイプの写真及び性能データを示している。このプロトタイプ

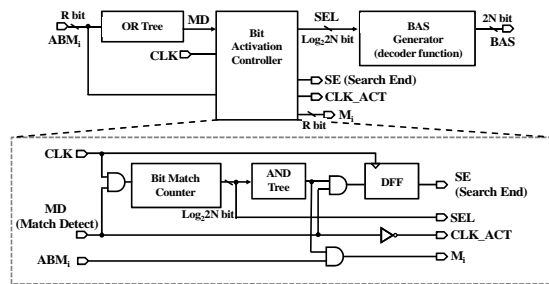
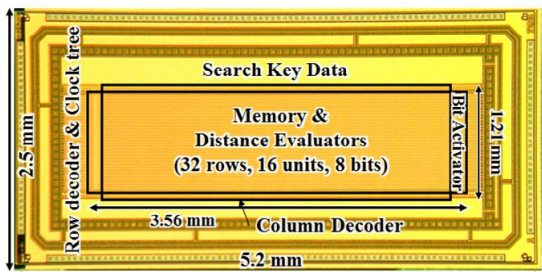


図 5 : ビットアクティベーター (BA) のブロック図。

は 32 参照ベクトル (16 コンポーネント、各コンポーネン 8 ビット) に対して、ワードパラレル ED ベースの最小距離検索をフルカスタム設計で実現している。プロトタイプのコア断面積が 4.31 平方ミリメートルである。さらなる設計と測定されたパフォーマンスデータは、図 6 の表に示されている。プロトタイプは完全に正しく機能している。測定された最大クロック周波数は、すべての 8 ビットのベクトル成分が使用される場合、 $VDD = 1.8V$ で 47 MHz、 $VDD = 1.5V$ で 36 MHz および $VDD = 1.2V$ で 24 MHz である。

先進の 32nm の CMOS 技術を利用しているマイクロプロセッサ (インテル i7-3970x、アトム 330) と比較して、プロトタイプはそれほど高度でない 180nm の CMOS 技術を使用している。加えて、かなり小さいシリコン面積消費が (正確なマイクロプロセッサ面積は知らされていない) 達成されている。

はるかに低い検索の信頼性を持っているデジタル・アナログ法のアーキテクチャと比較して、約 1.6、1.9、および 2.5 のパワー遅延積の改善要因は、それぞれ、1.8、1.5、および 1.2 V に等しい VDD の場合得られた。開発されたユークリッド距離検索連想メモリに関しての得られた実験検証結果、さらに回路やアーキテクチャの改善を行うは不要と判断した。



Technology	180 nm CMOS
Supply voltage	1.8V
Function	Min. Euclidian-distance search
Organization	32-word, 16-unit, 8-bit
Max operation speed (1.8 V)	47 MHz
Mean search time (1.8V)	1.19 μ s (5.77 μ s @ worst case)
Power consumption (1.8V)	8.75 mW (@47 MHz)
Area	4.31 mm ²

図 6 : 180nm の CMOS で製造された連想記憶のダイ写真および仕様。

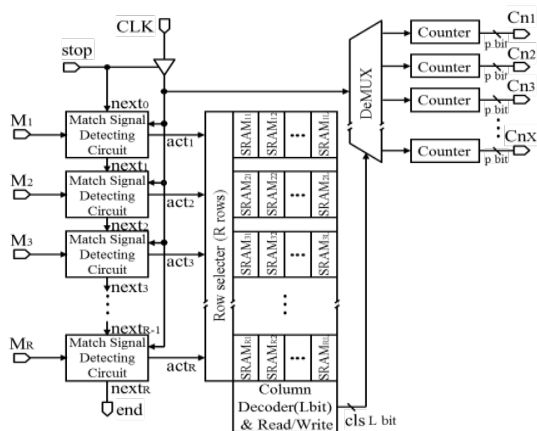


図 7 : 多くの異なる認識アプリケーションを可能にする、k 近傍探索方法の実装のための拡張回路。

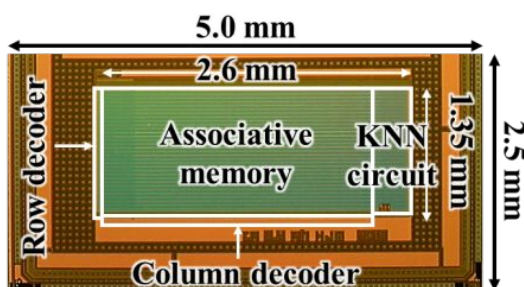


図 8 : k 近傍探索方法の実装のための拡張回路を用いて、180nm の CMOS で作成された、ユークリッド距離の k 近傍検索連想メモリのプロトタイプ。

(3) 開発したユークリッド距離検索連想メモリの拡張は、k 最近傍探索認識を有するために行われている。この課題の VLSI 集積化は以前に不可能だった。k 最近傍探索認識のユークリッド距離検索連想メモリの拡張項目は初期の研究計画に含まれていなかったが、多くの実用的なアプリケーションの実装のために重要である。図 7 は、開発した追加の拡張回路を示している。この回路は、連想メモリの出力信号 M_i に取り付けられ、 $k=15$ の最も近い参照ベクトルの検索までにプログラミング可能性を有する。図 8 に示す 180 nm の CMOS 試作チップは 5 ミリワットの低消費電力で実時間認識速度を実現する。この性能はモバイル応用に適切である。

先進の 65nm CMOS 技術で試作チップの設計では、画像中の物体認識のための SURF 特徴ベクトル抽出に対するさらなる拡張がスライディングウィンドウ (SW) 手法に基づいて、行われている。設計されたプロトタイプの全体的なアーキテクチャのブロック図が図 9 に示されている。図 9 では、PNNS (部分的な最近傍検索) 及び SWSCF (セルベースの特徴を抽出に加えて SW 手法での画像走査) が認識部の主な機能ブロックである。SURF 特徴抽出回路のより詳細なブロック図が図 10 に示されている。

(4) 画像内の物体認識のため拡張された、SW ベース SURF 特徴ベクトルの抽出回路を

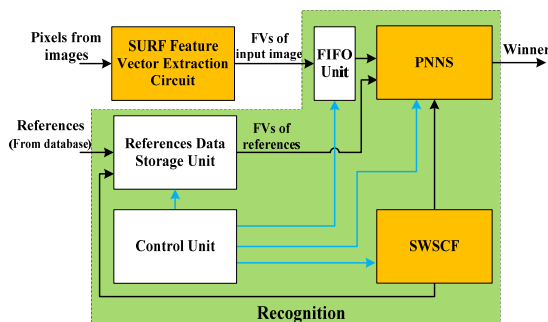


図 9 : 開発された、セル特徴に基づいた認識を有する連想メモリのブロック図。セルベース SURF ディスクリプタの抽出および画像認識のためのスライディングウィンドウ (SW) 手法は実装されている。

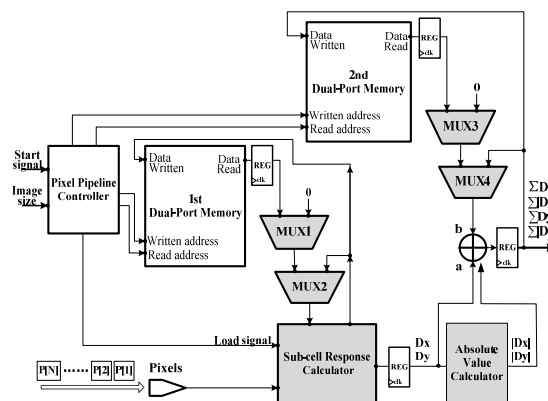


図 10 : 固定次元での SURF ディスクリプタのベクトル構築のための特徴抽出回路。パイプラインのアーキテクチャを用いて、各セルの 4 次元特徴成分 (D_x , $|D_x|$, D_y , $|D_y|$) を SW の特徴ベクトルのために生成する。

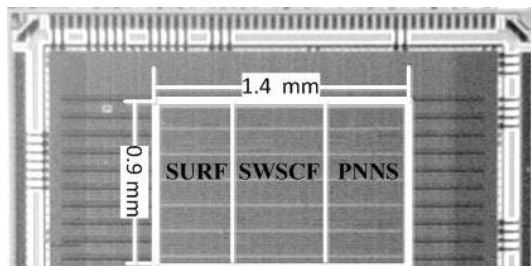


図 11 : 65nm 低消費電力 CMOS プロセスで製造された、SURF 特徴ベクトル抽出や SW 技術を有する拡張回路を持つ、プロトタイプのユークリッド距離検索連想メモリの写真。

持つ、ユークリッド距離検索連想メモリの試作チップを、設計し、65nm の CMOS 低消費電力技術で製造した。作製したプロトタイプの写真は図 11 に示されている。このプロトタイプは完全に機能しているし、1.0 V の通常の電源電圧から 0.5V の低い電源電圧までにリアルタイム画像認識速度で動作する。1.0V の通常の電源電圧では、リアルタイムのオブジェクト検出を VGA の画像サイズ (640 × 480 ピクセル) までに実行することは可能である。VGA フレームあたりの 0.94mJ エネルギー消費量は非常に小さい値であり、最も先進的な他研究と比べて 8.7 倍改善された。

160×90ピクセルまでのリアルタイム画像処理は0.5Vの電源電圧の場合が検証されたし、ピクセルあたりの42pJエネルギー消費は確認された。この成果は最高の他研究と比べて45倍優れている。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 5件)

1. F. An, K. Mihara, S. Yamasaki, L. Chen, and H.J. Mattausch, “Highly flexible nearest-neighbor-search associative memory with integrated KNN classifier, configurable parallelism and dual-Storage Space”, Jpn. J. Appl. Phys., Vol. 55, No. 4 SI, 04EF10 (2016.4), DOI: 10.7567/JJAP.55.04EF10, 査読有
2. X. Zhang, F. An, L. Chen, and H.J. Mattausch, “Reconfigurable VLSI implementation for learning vector quantization with on-chip learning circuit”, Jpn. J. Appl. Phys., Vol. 55, No. 4 SI, 04EF02 (2016.4), DOI: 10.7567/JJAP.55.04EF02, 査読有
3. F. An, L. Chen, T. Akazawa, S. Yamasaki, and H.J. Mattausch, “k Nearest Neighbor Classification Coprocessor with Weighted Clock-Mapping-Based Searching”, IEICE Trans. on Electronics, Vol. E99-C, No. 3, 397-403 (2016.3), 査読有
4. F. An, T. Akazawa, S. Yamazaki, L. Chen, and H.J. Mattausch, “VLSI Realization of Learning Vector Quantization with HW/SW Co-design for Different Applications”, Jpn. J. Appl. Phys., Vol. 54, No. 4 SI, 04DE05 pp.1-5 (2015.4), DOI: 10.7567/JJAP.54.04DE05, 査読有
5. T. Akazawa, S. Sasaki, and H.J. Mattausch, “Associative Memory Architecture for Word-Parallel Smallest Euclidean Distance Search Using Distance Mapping into Clock-Number Domain”, Jpn. J. Appl. Phys., Vol. 53, No. 4 SI, 04EE16 (2014.4), DOI: 10.7567/JJAP.53.04EE16, 査読有

[学会発表](計 18件)

1. F. An, K. Mihara, S. Yamazaki, L. Chen, and H.J. Mattausch, “Word-parallel Associative Memory for k-Nearest-Neighbor with Configurable Storage Space of Reference Vectors”, Proc. IEEE Asian Solid-State Circuits Conference (ASSCC’2015), 197-200, 10 Nov. 2015, Xiamen, China, 査読有
2. F. An, K. Mihara, S. Yamasaki, L. Chen, and H.J. Mattausch, “Associative Memory for Nearest Neighbor Search with High Flexibility of Reference-Vector Number Due to Configurable Dual-Storage Space”, Ext. Abst. 2015 Int. Conf. on Solid State Devices and Materials (SSDM’2015), 144-145, 29 Sept. 2015, Sapporo, Japan, 査読有
3. F. An, T. Akazawa, S. Yamazaki, L. Chen, and H.J. Mattausch, “A Coprocessor for Clock-Mapping-Based Nearest Euclidean Distance Search with Feature Vector Dimension Adaptability”, Proc.

- IEEE Custom Integrated Circuits Conference (CICC’2014), DOI: 10.1109/CICC.2014.6946096, 16 Sept. 2014, San Jose, USA, 査読有
4. S. Yamasaki, T. Akazawa, F. An, and H.J. Mattausch, “Digital Word-Parallel Low-Power Recognition SoC for Mobile Equipment Based on Nearest Euclidean Distance Search and KNN Classification”, Ext. Abst. 2014 Int. Conf. on Solid State Devices and Materials (SSDM’2014), 104-105, 10 Sept. 2014, Tsukuba, Japan, 査読有
 5. T. Akazawa, S. Sasaki, and H.J. Mattausch, “Word-Parallel Coprocessor Architecture for Digital Nearest Euclidean Distance Search”, Proc. 39th European Solid-State Circuits Conference (ESSCIRC’2013), 267-270, 16-20 Sept. 2013, Bucharest, Romania, 査読有

[産業財産権]

出願状況(計 6件)

1. 名称:再構成可能なk近傍法連想メモリ
発明者:H.J. Mattausch, 他
権利者:広島大学
種類:特許
番号:2015-034716
出願年月日:2015年02月25日
国内外の別:国内
2. 名称:LVQニューラルネットワーク
発明者:H.J. Mattausch, 他
権利者:広島大学
種類:特許
番号:2015-034063
出願年月日:2015年02月20日
国内外の別:国内
3. 名称:k近傍法カウンタベース
連想メモリ
発明者:H.J. Mattausch, 他
権利者:広島大学
種類:特許
番号:2015-016977
出願年月日:2015年01月30日
国内外の別:国内
4. 名称:再構成可能な連想メモリ
発明者:H.J. Mattausch, 他
権利者:広島大学
種類:特許
番号:2014-036698
出願年月日:2014年02月27日
国内外の別:国内
5. 名称:柔軟パターン次元の連想メモリ
発明者:H.J. Mattausch, 他
権利者:広島大学
種類:特許
番号:2014-022398
出願年月日:2014年02月07日
国内外の別:国内

6. 名称：k近傍アルゴリズム連想メモリ
発明者：H.J. Mattausch, 他
権利者：広島大学
種類：特許
番号：2013-154887
出願年月日：2013年07月25日
国内外の別：国内

6. 研究組織

(1)研究代表者

マタウシュ ハンスユルゲン (Mattausch
Hans J.)

広島大学・ナノデバイス・バイオ融合科学
研究所・教授

研究者番号：20291487